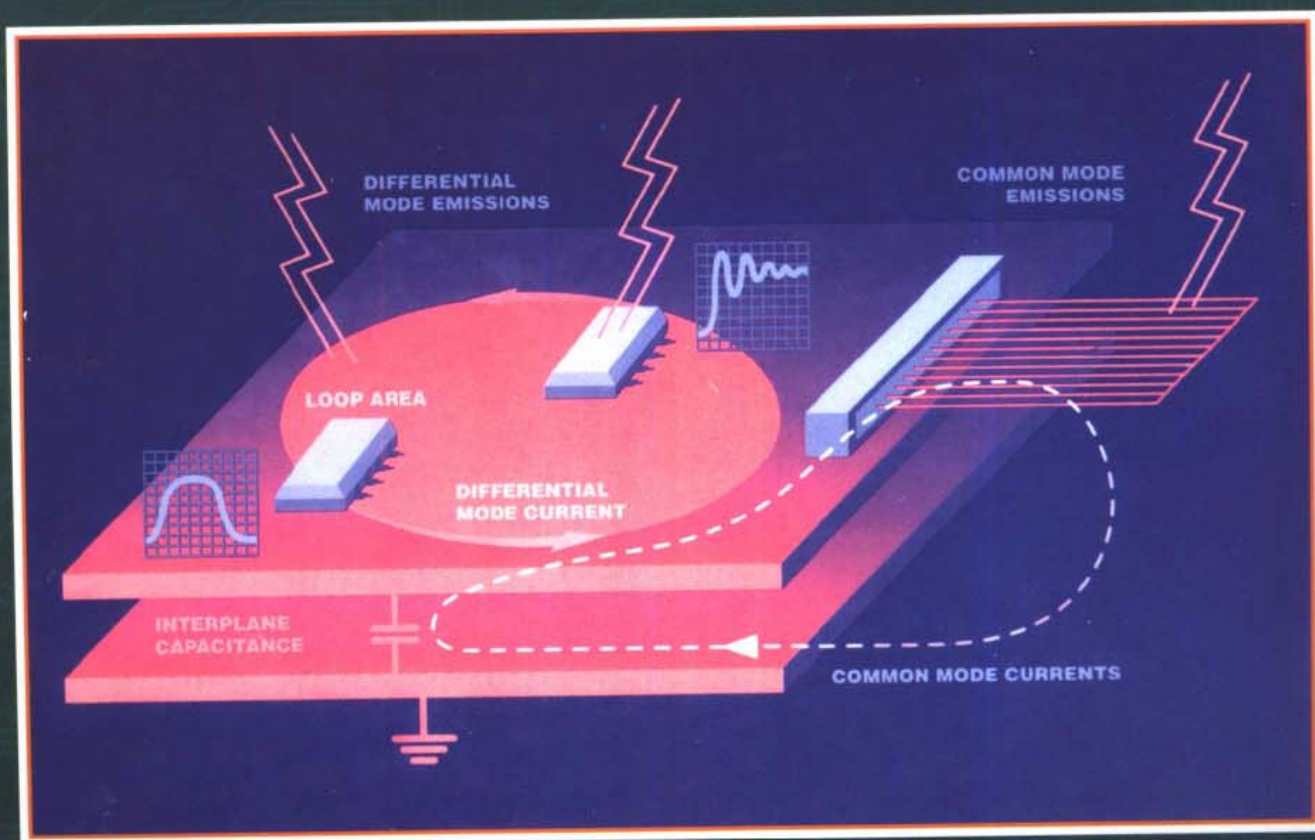


电磁兼容 和印刷电路板

理论、设计和布线

- Mark I. Montrose 著
- 刘元安 李书芳 高攸纲 译
- 刘元安 审校



版权声明

EMC and the Printed Circuit Board: Design, Theory, and Layout Made Simple

© 1999 by the Institute of Electrical and Electronics Engineers, Inc, 345 East 47th Street, New York, NY 10017 - 2394

All rights reserved No part of this book may be reproduced in any form, nor may it be stored in a retrieval system or transmitted in any form, without written permission from the publisher.

前 言

本书是一本与《Printed Circuit Board Design Techniques for EMC Compliance》相配套的书。当这两本书一起使用时,将同时涉及到时域和频域的问题,可以说覆盖了 PCB 设计的各个方面。必须认识到,如果 PCB 在时域内不能达到预期的要求,那么频域相关性也就不可能获得,特别是应该注意到要与国际 EMC 要求相一致。时域和频域两方面的问题应同时考虑到。

这本书适用的读者应该和《Printed Circuit Board Design Techniques for EMC Compliance》一样:即那些涉及逻辑设计和 PCB 布局的工程技术人员,测试工程师和技师,从事机械、加工、制造和兼容调试工作的人员,EMC 顾问以及负责对硬件工程设计进行监察的人员。

不管是哪类工程人员,一个工程设计组在进行设计时,不能只是考虑产品可以在合适的时间内制造出来就行了,还要考虑到在设计、测试、集成安装以及生产过程中费用应该最小。最常见的是,过分强调功能性上要满足市场的特殊需要,而忽视了对产品 EMC 标准的法律性要求以及产品的安全要求。如果产品经不起 EMC 标准的测试,就必须进行重新设计。这种重新设计过程极大地增加了费用,这些费用不仅是增加投入工程设计的人力(还有行政上司在内),还包括新线路板的布局与工艺、新样品的制作材料、系统集成组装测试、为尽快出新产品而购买新的元件(很昂贵)、新测试装置以及制作新产品的相关文件。重新设计的代价还有产品市场份额的减少、产品供货慢、消费者对公司的信誉(满意度)降低、股票价格降低、惊恐的加剧以及其他方面。作为一个顾问,个人经历使得我有数次机会目睹一些启动资金少的小公司发生过的这种情况。

我主要关心的是,支持并建议以很小的花费就能设计出高技术含量的产品。在 PCB 设计中执行严格的技术方案的办法可以节省开支,增强产品性能,增加产品的可靠度,实现第一次出厂就可达到辐射与抗干扰要求,而且产品性能达到预期的效果。

工作于这个工业行业,使我有机会参与这种“艺术”的设计过程。虽然我的关注点是将来产品的技术,但请不要忘记这样一个事实,即简单且低技术含量的电子产品正越来越多地被生产出来。尽管这本书的切入点是为了高标准的产品,但理解 EMC 高要求的基本概念就可以使任何正在设计中的 PCB 通过 EMC 标准测试。注意这里的关键词是“基本概念”。当设计者不理解这个基本概念的含义时,那么产品在兼容性和功能性方面将发生的灾难就正等着他了。

当管理者发现产品生产出来之后没有通过 EMC 标准的测试,已经开始导致产品不能销售出去,这个时候才想起请一个 EMC 顾问来,这时寻求高效已为时晚矣。通常的情况是不到出现大的问题的时候就不提前做准备。我看到过一些小的公司为了尽快地生产出某种产品而把所有的资本都投入到该产品上,然而因产品生产出来之后不合乎 EMC 标准的要求而不得不再从零开始的情况,最后公司被迫倒闭。那些受托把资金投入产品的 EMC 方面的掌管公司财务的人员每年都会被不同的公司雇佣。而一个财会人员如果不懂得作为一个硬件设计师或 PCB 设计者应该在哪方面需要资金投入,那他就会毁掉这个公司。

有的时候,公司的决策者会认为对一个价值 1000 美元的产品再增加一个价值 0.5 美元的器件(如滤波器)花费太多。那么工程人员就可能为了避免用这个成本不昂贵的滤波器而被迫对产品进行重新设计。对一个包含数百个电路单元的产品,重新设计过程可能会花费公司数万美元(包括新的电磁兼容的测试过程)。虽然财务人员会因为降低了设计出的 PCB 的价格而获得红利,但回报与投资的高比率却无法达到。如果不是不得已,我不赞成增加过多的设计花费。高技术的 PCB 产品现在需要使用附加的电源与接地面、滤波元件等等,这些在功能性和电磁兼容性方面都是开销。

在这本书的特定章节出现了各种不同术语的详细定义。在我们进行讨论之前,遵循的一个重要程序是按次序。EMC 代表电磁兼容性。这意味着电器必须能在设定的环境中正常工作。我们可能存在着因为仪器之间不能相互兼容而发生电磁干扰(EMI)的问题。仪器的电磁兼容问题解决了,但它又产生了 EMI。按照通常的使用方法,EMC 指为获得在电磁场方面能兼容的仪器或系统而涉及的所有方面。而 EMI 表示这种情况或事件,即仪器之间不能共存、有干扰、不满足 EMC 要求。EMI 指涉及到频谱的各种情况。无线电频率干扰(RFI)最初是指无线电仪器之间引起的不能共同兼容工作问题。在 20 世纪 70 年代至 80 年代 RFI 术语不再使用,因为它不能代表像电磁脉冲(EMP)、闪电、静电放电(ESD)等现象。然而过去的几年里,无线电频率干扰(RFI)已经又出现在我们的词汇之中。但应该注意这个取自单词字头的词 RFI,因为它在 EMC 领域的意义是不明确的。

我的两本关于 EMC 和 PCB 的书的主要不同点如下:

《Printed Circuit Board Design Techniques for EMC Compliance》是为那些必须在设定的预算费用和合理的时间表内设计出产品并装载销售出去的人员编写的。这本书说明了 PCB 中存在着电磁干扰问题,书中简要地解释了为什么会发生 EMI 问题,并指出了怎样在 PCB 布线的过程中解决设计中存在的缺陷。本书不对怎样引起 EMI 以及为什么会引起 EMI 问题进行详细的理论探讨。

已经有一些涉及与 EMC 相关各个方面的大学课本(列在参考书部分)。更多的出版物是以简要的方式给出 EMC 的相关概念,让读者详细地了解 EMC 理论,而这些理论只涉及极少的数学分析。因为很多主管人员和一些工程技术人员不关心为什么会发生这样一些事情。《Printed Circuit Board Design Techniques for EMC Compliance》一书中已经编排了一些成功事例。

本书是《Printed Circuit Board Design Techniques for EMC Compliance》的姊妹篇,本书的适用者是那些要了解 PCB 设计过程中怎样会发生以及为什么会存在 EMI 现象的设计人员。这些设计师可能并不直接负责实际线路板的布线问题,但他们可能要对最终的产品质量进行检查。工程师们总是要理解技术上的概念。这本书的完成可以使得读者以最少的数学知识,来很容易地理解这样一个通常并不出现在大学或其他的教学环境中的教学课题。

在这本书中我们对时域(信号的性能和质量)和频域方面的 EMC 问题都进行了考虑。PCB 中存在的信号可以从两个方面进行观察研究。在这两个不同域中得到的结果的正确性没有什么不同,而且我们只能从这两个域中来研究信号。当然,在不同域中使用的测试仪器是不同的。在第 2 章中,用简化的物理知识和最少量的数学分析解释了为什么会同时存在两个不同的域的问题。本书的理论以一种让人非常容易理解的形式给出,使得读者能只用有限的时间就可以阅读这样一本关于 EMC 和 PCB 的书,并对其内容进行研究。尤其是对读者在办公室有工作要做的时候,这本书最为适用。

本书的关注点严格限定在 PCB 方面。对于像外壳防护技术(箱式屏蔽)、电缆的内部与外部连接方法、供电电源的设计以及利用 PCB 做子部件的系统级的部件组装技术等问题在本书中不做深入讨论。再次指出,对于系统级的设计,其 EMC 方面的一些非常好的参考资料在本书的参考文献部分中已经列出。

这本书的动机是源于我参加的大量的研讨会以及我在美国、欧洲、亚洲的一些学生。这些学生问:“在 PCB 内是怎样发生电磁干扰的,又为什么会发生电磁干扰的呢?”。认识到有必要填补目前在世界范围内的公开出版的文献中还没有一本这方面书(在本书的写作过程中)这个空缺,我要把读者引入到一个被认为是黑色魔幻艺术的工程领域。那些不认真对待电磁兼容问题的人把电磁安全问题交给 EMC 工程师来做。对于怎样申请 PCB 的重新设计制作,以及怎样快速地找出 PCB 的缺点而顺利通过特定的电磁兼容测试,只有 EMC 工程师知道这些方面的各种诀窍。在 EMC 测试过程中,在外界压力之下不得不执行 EMC 标准的做法是一种权宜之计。工程师从一开始就应该考虑到这些 PCB 设计合理性。高明的理念应该是,在 PCB 设计周期中改变过去的设计习惯,对于 PCB 的设计不能只是考虑权宜性的做法,而应该考虑降低成本条件下的布线技术。

目 录

第 1 章 电磁兼容基本原理	1
1.1 基本定义	2
1.2 设计工程师常见的一些电磁兼容问题	3
1.2.1 规范	3
1.2.2 射频干扰	3
1.2.3 静电放电(ESD)	4
1.2.4 电力干扰	4
1.2.5 自兼容性	4
1.3 电磁环境	4
1.4 遵守规范的必要性(EMI 简史)	8
1.5 对于无保护产品的潜在 EMI/RFI 辐射等级	9
1.6 噪声耦合法	10
1.7 干扰的本质	12
1.7.1 频率和时间(傅里叶变换:时域 $\leftrightarrow$ 频域)	13
1.7.2 幅度	13
1.7.3 阻抗	14
1.7.4 尺寸	14
1.8 PCB 和天线	14
1.9 系统级 EMI 产生原因	15
1.10 对电磁辐射控制的总结	16
第 2 章 PCB 中的 EMC	17
2.1 EMC 和 PCB	17
2.1.1 导线和 PCB 走线	18
2.1.2 电阻	19
2.1.3 电容器	19
2.1.4 电感	19
2.1.5 变压器	20
2.2 电磁理论	20
2.3 电场源与磁场源之间的联系	22
2.4 麦克斯韦方程的简化——进一步说明	25
2.5 通量消除的概念(通量最小化)	27
2.6 趋肤效应和引线自感	28

2.7	共模和差模电流	30
2.7.1	差模电流	31
2.7.2	差模辐射	31
2.7.3	共模电流	32
2.7.4	共模辐射	34
2.7.5	差模和共模的转变	34
2.8	传播速度	35
2.9	临界频率($\lambda/20$)	36
2.10	抑制 RF 能量的基本原理和概念	37
2.10.1	基本原理	37
2.10.2	基本概念	37
2.11	总结	38
第 3 章	元件与电磁兼容	40
3.1	边沿速率	40
3.2	输入能量消耗	43
3.3	时钟偏移	44
3.3.1	工作周期偏移	45
3.3.2	输出到输出的偏移	45
3.3.3	部件到部件的偏移	45
3.4	元件封装	46
3.5	地电位跳跃	50
3.6	引线到引线的电容	53
3.7	接地散热器	53
3.8	时钟源的电源滤波	56
3.9	集成电路中的辐射考虑	58
3.10	总结	60
第 4 章	镜像面	61
4.1	概述	61
4.2	5/5 规则	63
4.3	镜像层怎样工作	63
4.3.1	电感	63
4.3.2	局部电感	63
4.3.3	局部互感	64
4.3.4	镜像层的实现和概念	66
4.4	接地和信号回路(没有涡流)	68
4.4.1	回路区域控制	69
4.5	纵横比——接地连接之间的距离	71
4.6	镜像层	73
4.7	镜像层损坏	74

4.8	层间跳转—通路应用	76
4.9	层分裂	78
4.10	分区法	79
4.10.1	功能子系统	79
4.10.2	静态区域	80
4.11	隔离和分区(壕)	80
4.11.1	方法一:隔离	81
4.11.2	方法二:搭桥	81
4.12	互连和 RF 返回电流	84
4.13	单面和双面板布线要点	85
4.14	网格接地系统	88
4.15	局部化的接地层	90
4.16	小结	92
第 5 章	旁路和去耦	94
5.1	谐振概述	94
5.1.1	串联谐振	95
5.1.2	并联谐振	95
5.1.3	并联 C—串联 RL 谐振(反谐振电路)	95
5.2	物理特性	96
5.2.1	阻抗	96
5.2.2	能量储存	98
5.2.3	谐振	98
5.2.4	电源和接地层的好处	100
5.3	并联电容器	102
5.4	电源层和接地层电容	103
5.4.1	隐藏电容	106
5.4.2	电源和接地层电容值的计算	106
5.5	引线长度电感	107
5.6	安装	107
5.6.1	电源板	107
5.6.2	去耦电容器	108
5.7	去耦电容的选择	111
5.8	大电容的选择	114
5.9	组件内电容的设计	116
5.10	实心电压板的通路及通路效应	117
第 6 章	传输线	119
6.1	传输线概述	119
6.2	传输线基础	121
6.3	传输线效应	122

6.4	多层 PCB 中传输线的形成	123
6.5	相对介电常数	124
6.6	布线	127
6.6.1	微带线结构	127
6.6.2	嵌入式微带线	128
6.6.3	单带状线结构	129
6.6.4	双带状线	130
6.6.5	差动微带线和带状线	131
6.7	布线考虑	132
6.8	容性负载	134
第 7 章	信号完整性与串扰	137
7.1	信号完整性的要求	137
7.2	反射和衰减振荡	139
7.2.1	信号失真的鉴定	141
7.2.2	产生衰减振荡的条件	142
7.3	计算走线长(电长走线)	144
7.4	由于不连续引起的负载	148
7.5	RF 电流分布	149
7.6	串扰	150
7.6.1	串扰的测量单位	153
7.6.2	避免串扰的设计技术	153
7.7	3-W 原则	155
第 8 章	PCB 走线终端	159
8.1	传输线效应	159
8.2	终端匹配方法	160
8.2.1	源终端	162
8.2.2	串联终端	162
8.2.3	末端终端匹配	167
8.2.4	并联终端	168
8.2.5	戴维宁网络	171
8.2.6	RC 网络	174
8.2.7	二极管网络	176
8.3	终端噪声与串扰	176
8.4	多终端效应	177
8.5	布线	180
8.6	分叉线路	181
8.7	小结——终端匹配方法	181
第 9 章	接地	183
9.1	接地的原因——概述	183

9.2	定义	183
9.3	基本接地概念	184
9.4	安全地	187
9.5	信号电压参考地	188
9.6	接地方法	189
9.6.1	单点接地技术	189
9.6.2	多点接地技术	191
9.6.3	混和或选泽接地	192
9.6.4	模拟电路接地	193
9.6.5	数字电路接地	193
9.7	控制走线间的共阻抗耦合	194
9.7.1	降低共用阻抗路径的长度	194
9.7.2	避免共阻抗路径	195
9.8	电源和接地结构中的共阻抗耦合的控制	196
9.9	接地环路	197
9.10	多点接地中的谐振	199
9.11	子卡与卡架之间的场耦合	201
9.12	接地(输入/输出连接器)	203
术语表		205
附录 A		210
附录 B		212
附录 C		215
附录 D		219

第1章 电磁兼容基本原理

本书主要是帮助工程师最大程度地减小元件、电路和系统之间的有害干扰。这些干扰不仅包括辐射和传导的射频(RF)发射,还包括静电放电(ESD)、电气过载(EOS)以及辐射和传导敏感度(抗扰性)的影响。满足这些要求将符合法律上所要求的国际国内的管理规范以及政府规章。与本书配套的一本书——《Printed Circuit Board Design Techniques for EMC Compliance》,介绍了一些设计规则并给出了一些布线概念,这些规则和概念可以帮助设计人员使用抑制技术来完成一个符合电磁兼容性的产品的设计。

工程师的一个目标就是要达到一定的设计要求,以满足一些与电磁兼容有关的国际国内的规范以及非官方的工业标准(非强制)。

本书的内容主要推荐给以下人员:

- (1) 设计和布置印刷电路板(PCB)的非电磁兼容工程师。
- (2) 必须在印刷电路板级别上解决设计中的电磁兼容问题的工程师和顾问。
- (3) 想要了解有关电磁干扰(EMI)如何在印刷电路板中存在的基本原理的设计工程师。
- (4) 希望全面了解如何将印刷电路板的设计和布置技术应用于印刷电路板的人。

这本书作为参考文献适用于任何设计工程的全过程。

有了这些考虑,读者应该了解本书是为那些在学校中从未学过应用电磁学、需要完成一个进修课程的工程师和对高速、高工艺的产品设计的实践经验很有限的工程师们所写的。众所周知,技术工艺正飞速发展着,几年前的设计技术面对当今的高速的数字化的产品设计要求已经不再有效。由于工科院校中电磁兼容方面的知识可能涉及得不够,因此国内和国际上都举办了很多的培训课和研讨会以提供这方面的信息。

由于本书的目的只是对印刷电路板如何产生 RF 能量,以及对射频能量的传播方式进行基本的介绍和分析,因此本书只进行了很少的数学分析,而相关内容也是以容易理解和运用的方式进行介绍的。

第二次世界大战以来,为了使民用和军用环境下的电子设备的性能达到可以接受的程度,控制产品的辐射变得十分必要。设计一个从原理上抑制辐射的产品比给原产品加上一个比较好的“盒子”要经济划算。密封的方案从经济上来说并不总是合适的,并且当产品的使用期超过最初的设计规格时还有可能恶化。比如,终端用户经常将设备外壳的封盖去掉以便对设备进行修理和升级。在很多情况下,金属片封套是从不变动的,尤其是那些起到隔离屏蔽作用的内部隔板。装配有底盘或底板的系统前面的金属板或面板也是如此。因此,密封措施就只是一个中间方案了。应用抑制技术对印刷电路板做恰当的布置能够提高使用电缆和内部连接器时的电磁兼容性,而屏蔽装置则不能够。除了考虑电磁兼容性之外,信号的功能关系也要考虑。如果一个产品通过了电磁兼容测试却不能按设计的那样工作,它对我们是毫无用处的。

本书就为何很多设计技术在大多数印刷电路板的设计布置中都适用这一问题给出了详细说明。希望这些技术适用于每个可能的应用或设计则是不可能的。这里介绍的概念都是基本的,并且适用于所有电子产品。当设计不同时,产品设计的基础变化是很少的,除非应用了新的元件或材料。

本书讨论的高技术、高速度的设计要求在印刷电路板级别上对电磁抑制有新的考虑。很多传统的印刷电路板设计技术对适当的信号功能性和兼容性没有作用。元器件的处理速度已经变得越来越快,其结构越来越复杂。门阵列逻辑电路和专用集成电路(ASIC)的使用代表着新的具有挑战性的机会。在保持系统功能的基础上,通过 PCB 设计和布置从根源上消除电磁干扰是可能的。

为什么要担心电磁兼容问题呢?毕竟速度才是最重要的设计参数。法律上规定了数字化产品的最大可允许的干扰电压。这些要求是基于和发射、抗扰性有关的市场经验而得出的。一般而言,印刷电路板的抑制技术能够提高信号质量和信噪比。

1.1 基本定义

下面是本书用到的基本术语:

电磁兼容性(EMC),电气和电子系统、设备和装置,在设定的电磁环境中,在规定的安全界限内以设计的等级或性能运行,而不会由于电磁干扰引起损坏或不可接受的性能恶化的能力(ANSI C64.14-1992)。

电磁干扰(EMI),即电磁兼容性不足,干扰的本质就是缺乏兼容性。电磁干扰是破坏性电磁能从一个电子设备通过辐射或传导传到另一个电子设备的过程。一般来说,这个术语特指射频信号,但电磁干扰可以在所有的频率范围内发生,从“直流到阳光”。

射频(RF),一个用于通信目的的连续电磁辐射的频率范围——一般来说就是从 10kHz 到 100GHz。这个能量可能是电子设备运行时的副产物。射频主要通过两种模式传送:

- 辐射发射(Radiated Emissions),射频能量通过电磁场媒介传播。尽管射频能量经常通过自由空间传播,也可以通过其它形式来传播。

- 传导发射(Conducted Emissions),射频能量通过发射形成传播波,一般通过电线或内部连接电缆。LCI(线路传导干扰)指的是在电流或交流干线的输入电缆中的射频能量。传导信号以传导波而不是以场的形式传播。

敏感度(Susceptibility),设备或系统受电磁干扰而被中断或破坏的趋势的估量。它是抗扰性不足引起的。

抗扰性(Immunity),设备或系统在保持预先设定的运行等级时抵抗电磁干扰能力的估量。

静电放电(ESD),有着不同静电电压的物体在靠近或直接接触时引发的静电荷转移。这个现象可视为可能导致敏感设备被破坏或功能受损的高电压脉冲。尽管闪电也是高电压脉冲,但术语静电放电 ESD 一般指安培数比较小的,特别是人为引起的事件。为了讨论方便,闪电也被包含在静电放电的种类中,因为尽管它们量级不同,它们的防护措施却非常相似。

抗辐射干扰性(Radiated Immunity),产品抵抗来自自由空间电磁能的相对能力。

抗传导干扰性(Conducted Immunity),产品抵抗来自外部电缆、输电线和 I/O 连接器的电磁

能量的相对能力。

密封(Containment),即通过将产品用金属封套屏蔽(如法拉第笼或高斯结构),或者用一个涂有射频导电漆的塑料外壳屏蔽,从而阻止射频能量漏出封壳的处理方法。反过来,我们也可以说密封就是阻止射频能量进入封壳的过程。

抑制(Suppression),不依靠其它方法,如金属外壳或底盘而减少或消除存在的射频能量的过程。抑制也可以包含屏蔽和过滤。

1.2 设计工程师常见的一些电磁兼容问题

在 EMC 的领域存在多种设计方案。这里列举的大多数方案不是显而易见的。但已有的经验表明,解决这些与信号功能性有关的电磁兼容问题需付出巨大的努力。要理解电磁兼容的必要性,必需要了解五个关键领域。理解了这五个领域我们可以将难题简化为设计技术及实现的简单运用。我们遇到的电磁兼容问题约 95%都和以下内容有关,它们将被分别讨论:控制(规范)、射频干扰、静电放电、电力干扰、自兼容性。

1.2.1 规范

规范的必要性一方面来自对用于民用和商用的电子产品的干扰的抱怨,另一方面来自对重要通信服务的保护的要求。如果没有规范,我们生活所处的电磁环境将充满干扰,而且将只有很少一部分电子设备能够继续工作。

规范保护无线电频谱并且限制来自有意发射源(如发射机)和无意发射源(大部分电子设备)产生的“寄生”辐射。大量的消费者对电视和收音机的干扰的抱怨正在增长。另外航空通信系统开始受到干扰,警察和消防单位无法使用他们的紧急无线电通信系统,商用和民用电子产品处于其他的与其邻近的电子设备的场中就会出现故障。因为这些抱怨,美国通信委员会(FCC)建立了一系列电子设备的规范,以限制污染电磁环境的干扰的数量。FCC 的做法是受了德国 Verband Deutscher Electrotechniker (VDE) 的推动,该组织从第二次世界大战后不久就开始颁布一些强制性的规范。世界上的其他国家也都已经效法 VDE 和 FCC 为数字产品开发规范。

规范不仅控制发射也控制敏感性和抗干扰性。欧洲在抗干扰性测试上处于领先地位。而在北美,在写书的同时,进行同样的测试也还仅仅是出于自愿的。

1.2.2 射频干扰

由于现有的无线电发射机的激增,射频干扰给电子系统造成了威胁。蜂窝电话、手持无线电、无线电遥控单元、寻呼机和其他类似设备现在非常普遍。造成有害的干扰并不需要很大的发射功率。典型的设备故障出现在场强为 $1 \sim 10\text{V/m}$ 的范围内。例如,一个功率为 1W 的无线电发射机在距一个电子设备 1m 远的地方有大约 5V/m 的场强,该场强的大小因测量用的频率和天线的不同而不同。在欧洲、北美和很多亚洲国家,避免射频干扰损坏其他设备已经成为对所有产品在法律上的强制性规定。

1.2.3 静电放电(ESD)

ESD工艺已经有了很大进步,在很小的几何尺寸($0.18\mu\text{m}$)上元件已经变得非常密集。这些高速的、数以百万计的晶体管微处理器的灵敏性很高,很容易受到外界静电放电影响而损坏。放电可以由直接或辐射的方式引起。直接接触的静电放电一般引起设备永久性的损坏,或者造成潜在的隐患从而在以后的某个时刻引发永久性的损坏。辐射引起的静电放电(比如由于房屋中家具的移动、建筑反射的静电放电能量或者是有人走过一块地毯)可能引起设备紊乱,导致工作不正常,但不会引起系统的永久性损坏。

静电放电被认为是一般边缘变化率小于十亿分之一秒一次的宽带高频问题,转换成频谱带宽可达到1GHz。在低于十亿分之一秒的时间内观察到静电放电现象也并不罕见。这个更快的边缘速率开始成为吉赫兹频谱带宽的问题。

为了符合欧盟的电磁兼容标准,要在抗干扰性的要求下处理静电放电问题。世界上大多数制造商认识到了这个问题,这些制造商必须将抑制和规划技术应用到产品中以确保在这一领域不会出现问题。

1.2.4 电力干扰

随着越来越多的电子设备接入电力主干网,潜在的干扰出现了。这些问题包括电力线干扰、电快速瞬变(EFT)、电涌、电压变化(高/低电平)、闪电瞬变和电力线谐波。老的产品和供电系统一般不受这些干扰的影响,而对于新的高频开关电源来说,这些干扰变得显著起来。因为开关元件一般在电压波形的波峰消耗能量,而不是整个波形。

模拟和数字设备对电力线干扰的反应不尽相同。数字电路被电力系统的尖峰信号(EFT和闪电)所影响,就像过高或过低的电压导致的故障一样。模拟器件需工作在一定的电平上,当干扰引起系统电源参考电平发生变化时,该器件正常工作所需要的电平可能受到影响。

电力线谐波已经成为一个主要的问题,特别是在欧洲。非线性负载(开关电源)在周期的峰值处而不是整个正弦波期间消耗交流电源的能量。这个变化的负载产生谐波和波形失真,从而影响电力配送网。例如,对于230V、50Hz的交流电系统,经常可以发现150Hz的三次谐波、250Hz的五次谐波,并在这些高频上消耗不同的输入电流值。

1.2.5 自兼容性

自兼容性是一个经常被忽视的问题。数字部分或电路可能干扰模拟设备,在导线之间产生串话,或者一个风扇马达可以引起数字电路的紊乱。当系统设计者了解了大部分这些问题之后,在EMI出现时,就不会产生故障了。增强对这个问题的认识,加上设计实现,从而避免内部系统故障的发生,将减少成本并使系统更加可靠。

1.3 电磁环境

一个产品必须在一个和其他电子设备兼容的特定环境中运行。为了理解产品在运行的环境中兼容的必要性,我们现在来研究一下这个环境。

从频域上看,任何周期信号(时钟)都产生一个射频能量的宽频谱。图1.1画出了一个频

率范围在 30~200MHz 的非正弦振荡器的频谱图。在研究这个图的时候,我们不仅观察到振荡器的基频(1.8432MHz),还有产生的所有通过 170MHz 窗口的谐波。可选一个低频振荡器来显示这个宽谐波频谱。这个振荡器的频谱带宽由振荡器的“边缘速率”决定,而不是由“时钟速率”决定。为什么数字脉冲信号的“边缘速率”比运行“频率”更值得关注,这将在第 3 章作详细讨论。

使用同样的振荡波形,我们研究一个很窄的频率范围。图 1.2 给出了在 88~108MHz 的频率范围内的奇次谐波和偶次谐波。

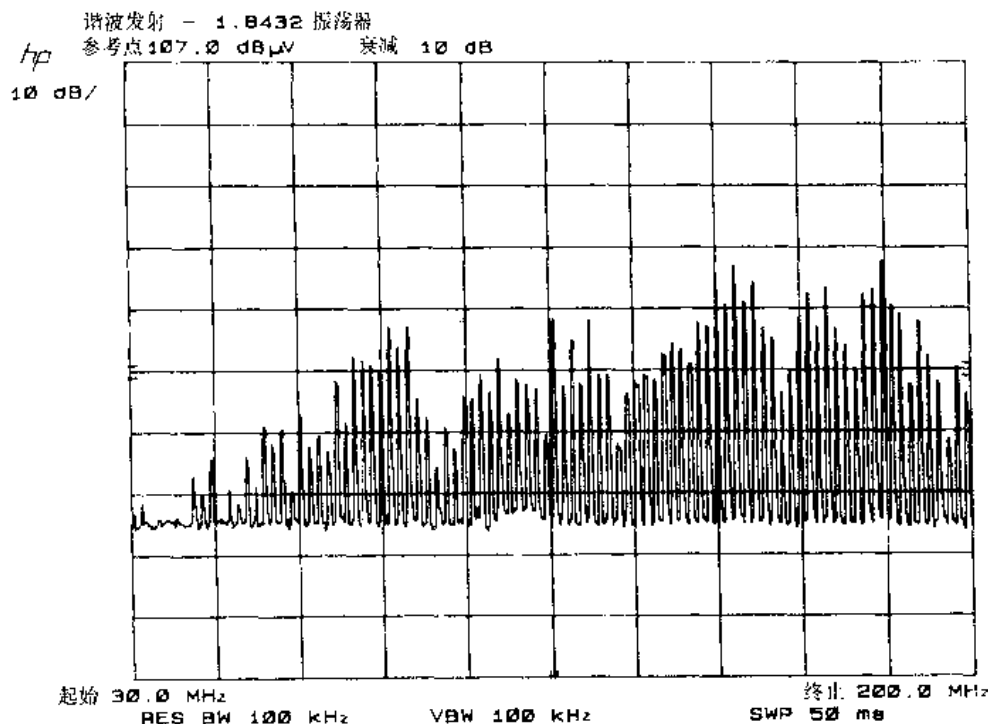


图 1.1 振荡器及相关谐波(30~200MHz)

FM 无线电频段(88~108MHz)被配置在一个预先分配的特定频率范围内。许多数字产品在这个频谱范围内产生无意的射频能量辐射,特别是低次谐波。在图 1.3 中,我们看到两条走线。上面一条表示 FM 无线电信号。在这个例子中,FM 无线电信号看起来和我们的时钟信号的特征很相似。为了帮助区分时钟谐波和 FM 无线电信号,在图 1.3 中可以看到有 10dB 的偏移,即 FM 信号比振荡波高 10dB。下面的曲线是振荡器在同样的频率范围内的结果。注意到被测量的信号是从 1.8432MHz 振荡器产生的谐波。在这种情况下,振荡器和 FM 信号之间可能存在潜在的干扰。这个情况可应用到任何通信系统,例如在非有意的辐射器(数字设备)和航空通信或者一个应急服务广播之间。

为了说明改变设计而带来的影响,图 1.4 中下面的走线代表了一个兼容的产品。仅改变一个元件,移动一条走线,或者采用不同制造商而功能相同的逻辑元件进行替换(74Fxx 替换 74LSxx),就使这个兼容产品变得不兼容了。这个结果启发那些持怀疑态度的人,他们相信如果替代设备在形式、装配和功能上相同,就可以简单地进行替换。尽管元件的功能可能是 100% 的一致,却可能会从根本上改变系统整体的电磁兼容特征。尽管功能保持一致,源驱动的边缘速率却会因制造商的不同而不同。考虑到电磁干扰,不是所有的元件都相同的。第 3

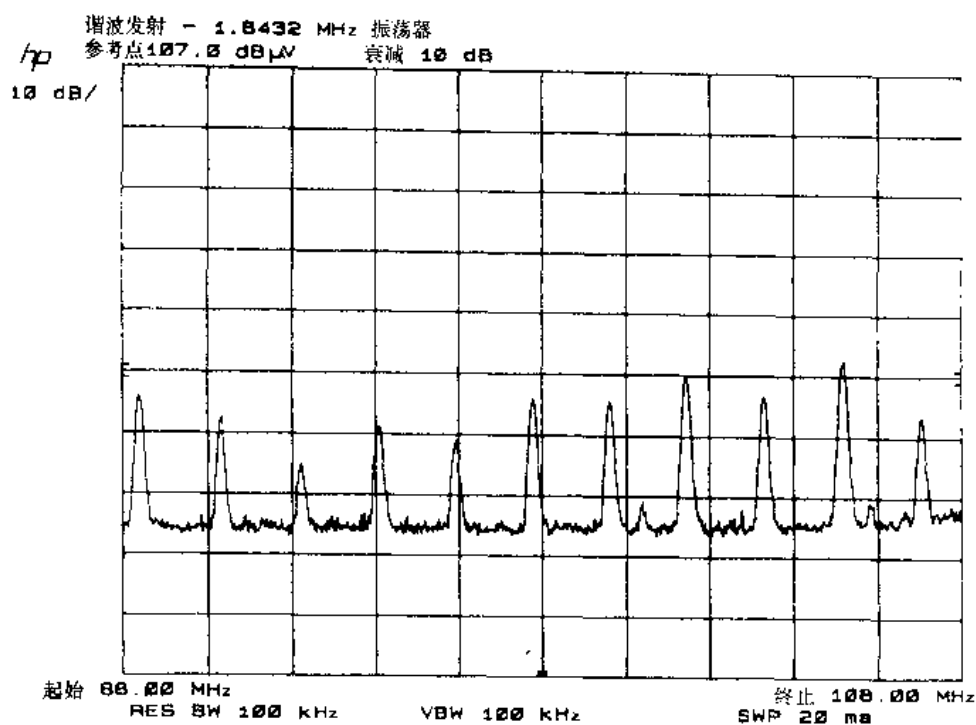


图 1.2 窄带频率范围内的振荡和谐波(88 ~ 108MHz)

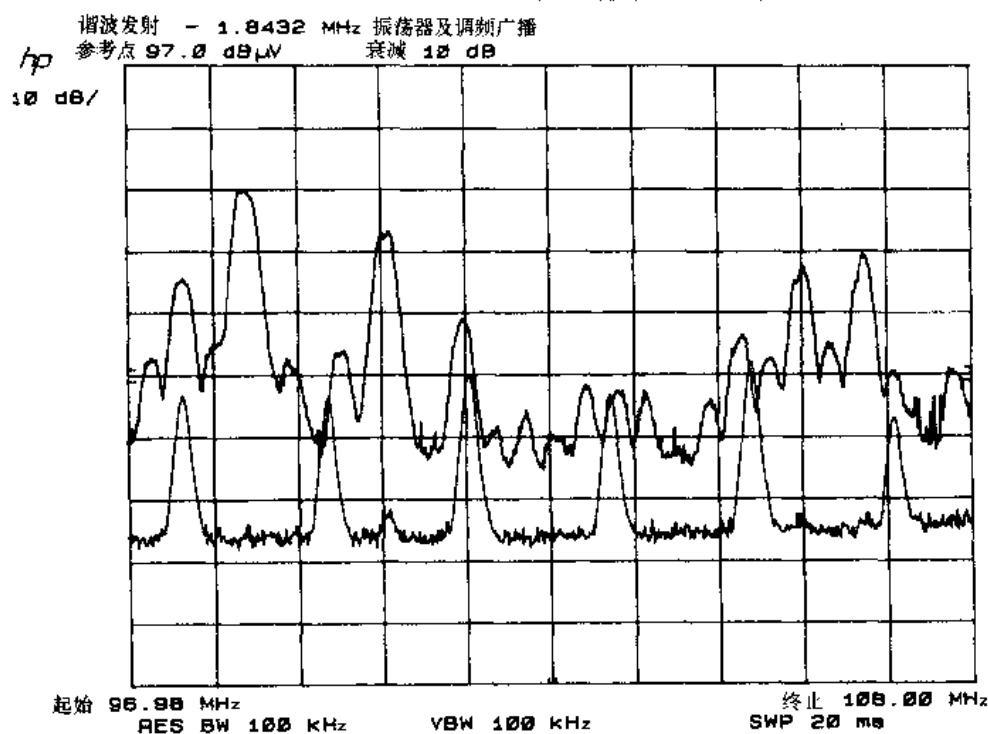


图 1.3 振荡器谐波和 FM 无线电信号的比较

(注意:为表示清楚,FM 无线电信号比振荡波高 10dB)

章就相同功能的不同元件为什么会引起及如何引起功能性和电磁干扰问题提供了详细说明。

尽管图 1.4 不容易观察,但我们还是可以区分出电路的细微改变带来的影响,特别是在图中的中频范围里。

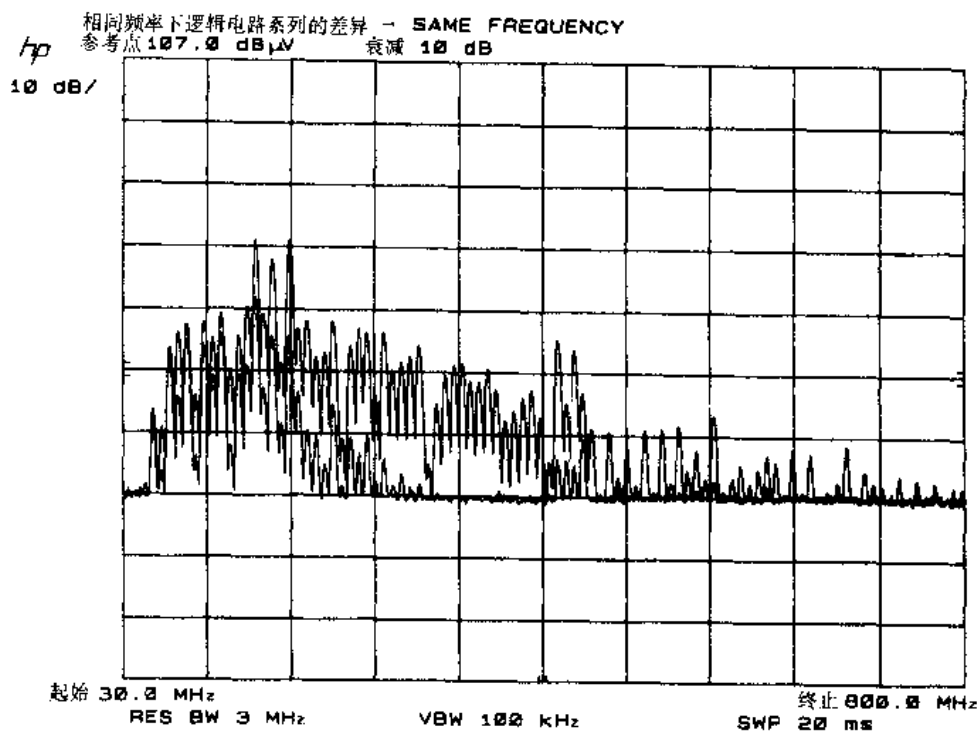


图 1.4 对与射频辐射有关的电路作简单变动的影响

设计一个能够通过法规要求的 EMI 测试的产品并不像一个人想象的那么困难。工程师经常努力设计精致的产品,但是精致有时候必须为产品的安全性、制造、成本和电磁兼容性让路。这些抽象的问题是富有挑战性的,特别是如果这个工程师不熟悉兼容性和制造要求的话。我们必须消除这些神秘感。

当一个电磁干扰问题出现时,工程师应该符合逻辑地进行情况分析。一个简单的电磁干扰模型包括 3 个要素:

(1) 必须有能量源。

(2) 必须有接收器,并且当电磁干扰强度超过允许的界限时这个能量源会使该接收器发生紊乱。

(3) 在接收器和能量源之间必须有供那些不希望有的能量传输的耦合路径。

只有所有的 3 个要素都存在时干扰才存在。如果 3 个要素中的一个不存在的话,就没有干扰。因此,工程师的任务就是决定哪一个要素是最容易消除的。一般而言,设计一个 PCB 来消除大多数射频干扰源是最经济的途径(称作抑制)。干扰源就是产生原始波形的激发源。对 PCB 进行设计以保持射频能量只在那些需要这些能量的区域出现是必须的。第 2 和第 3 个要素趋向于由密封技术处理。图 1.5 画出了这 3 个要素之间的关系,并且给出了与每个要素有关的产品列表。

对于 PCB,我们观察以下一些内容:

- 噪声源包括时钟产生电路、塑料封装内部元件的辐射、不正确的布线、电气意义上的长线、不良的阻抗控制、内部电缆连接,等等。
- 传播路径是承载射频能量的媒质,例如自由空间或者互连电缆(公共阻抗耦合)。
- 接收器可以是 PCB 上的元件,它们很容易从 I/O 电缆接收有害辐射干扰,并将这个有害能量传送到容易受损的电路和设备。

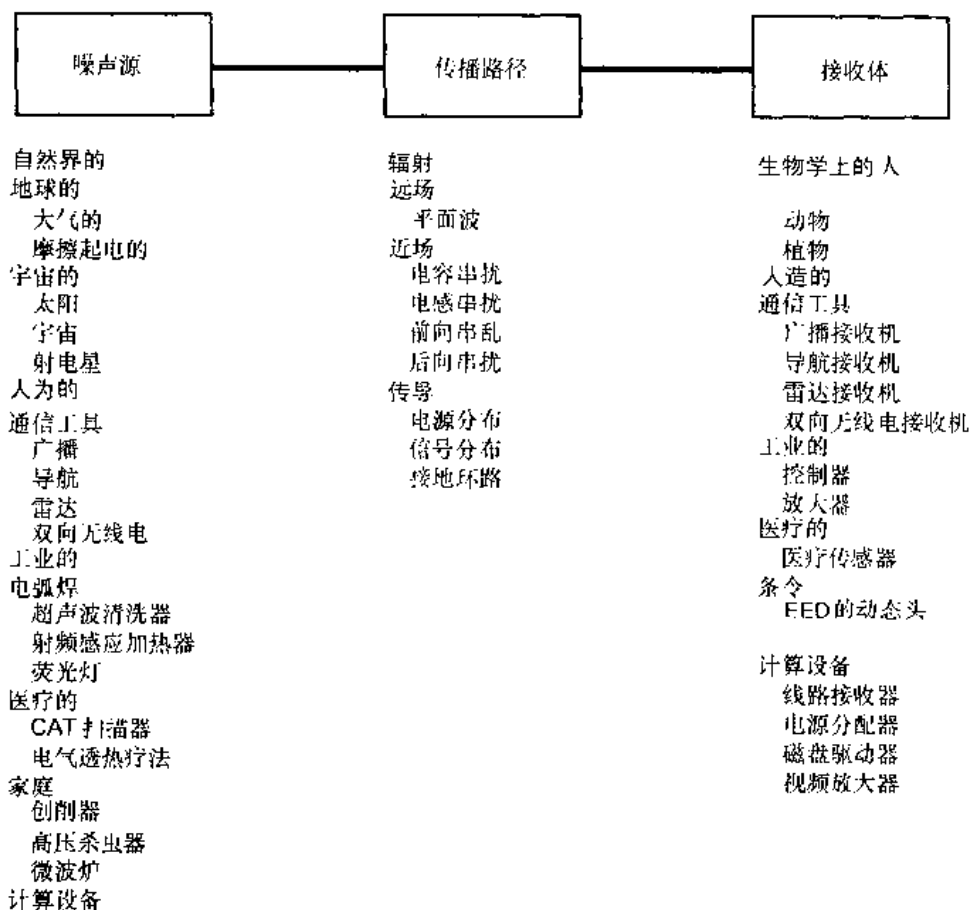


图 1.5 与电磁干扰环境三要素有关的条目

1.4 遵守规范的必要性(EMI 简史)

北美在 20 世纪 30 年代对通信系统的干扰开始关注,美国国会于是在 1934 年颁布了通信法案,并且成立了美国通信委员会,来监督和管理该法案的执行。这一措施在这段时期所观察到的有害的影响很大,以至美国政府也采取了行动。

二战期间,由于真空管的出现,EMI 成为一个严重问题。它在术语上被称作无线电频率干扰(RFI)。在这一时期,通信发射机和接收机的频谱信号随着雷达系统的发展也有了发展。由于这些设备的庞大体积和昂贵成本,绝大多数的高技术电子系统只有军方拥有。关于 EMC 的研究和信息处于国家安全部门的保密下,不为大众所知。

到 20 世纪 50 年代初,大部分的 EMC 的工作已经不再保密,除非它涉及了特定的战术或战略系统的细节问题,在 20 世纪 50 年代中期,开始召开关于 EMI 的会议,在这里,一些非保密性的内容被公布出来。第 1 次关于 EMI(RFI)的会议是 1956 年在 IEEE 和 IRE 的发起下举行的。在这段时间内,军用信号工程师组和美国空军制定了强有力的计划来处理 EMI、RFI 和 EMC 相关问题。

20 世纪 60 年代,NASA(国家航空航天管理局)开始注重 EMI 控制计划,以用于其发射运载工具和空间系统工程。政府机构和私人企业开始将消除 EMI 的技术纳入到设备中,如安全系统、HI-FI 功放等等。所有这些设备都是基于模拟技术的系统。

随着数字逻辑设备的发展,EMI 得到了更大的关注。在 20 世纪 70 年代左右,对消费电子产品中的 EMI 的研究开始进行,这些电子产品包括电视机、调幅/调频广播、医疗设备、录音录像机及类似的产品。这些产品几乎都不是数字的,但是都在向数字化转变。模拟系统比数字系统更容易受到问题的影响,因为开关或控制电路的敏感门限比高增益放大器的要高。

20 世纪 70 年代末,与 EMC 相关的问题开始成为产品的焦点,因为这些产品开始在市场上出售。这些产品包括家庭娱乐系统(电视机、录像机、便携式摄像机)、个人电脑、通信设备、数字逻辑家用设备、智能运输系统、精密的商用航天电子设备、控制系统、音频和视频播放器,以及大量的其它应用产品。在这个时期,大众开始关注 EMC 及其与它相关联的危害。

在大众开始关注与居住区使用的数字设备有关的 EMI 之后,美国通信委员会(FCC)在 20 世纪 70 年代中期到末期开始公布个人电脑和类似设备的辐射标准。因为个人电脑占据了很大的市场,商业组织开始涉足 EMC 领域,部分原因是由于军事和航天基金在这个时期逐渐减少。现在几乎所有的电子设备都是数字的,无论它是否需要这样。

电子设备的焦点目前已经从模拟转为数字。另一个推动数字设备走向规范化的因素是在数字化的早期,有一种盛行的观点认为数字设备不容易受 EMI 的影响。因为这种原始观念,现在整个商业界对数字设备事实上也对干扰比较敏感而感到震惊。

如果没有个人电脑,商业制造商不会对 EMI 的危害倾注如此多的注意力。美国食品及药物管理局(FDA)也注意到了 EMI 造成的危害。当欧共体通过其 89/336/EEC 电磁兼容指导性文件,并提出辐射和抗干扰性的强制性要求时,兼容性的问题开始成为受关注的问题。对电磁兼容性要求的另一个推动力量是电子技术在能量转换、通信和控制系统中扮演越来越重要的角色,在这些方面的主要应用是电机系统。因为许多设备现在已经电子化了,而以前不是这样,所以 EMC 出现的机会和造成的影响就要大得多。正是因为这个原因,很多人研究 EMC 问题只有 20 年,而军队、NASA 和 RF 工程师则从这个问题出现的第一天就开始研究了。

EMC 现在是所有电子产品设计中的主要因素,包括辐射和抗干扰性。数字逻辑已经下降到了 1ns 的边缘速率,而时钟频率达到了 1 GHz。

1.5 对于无保护产品的潜在 EMI/RFI 辐射等级

产品的复杂性与处理速度和其它一些因素有关。产品越复杂,就越容易辐射射频能量和受到射频能量的干扰。如表 1.1 所示,该表定义了一个矩阵,在这个矩阵中,给出了产品的尺寸和复杂度与处理速度对比情况。

表 1.1 各种产品的最大可能发射电平

处理速度	产品大小/复杂度		
	低 单板	中等 母/子板	大 多模块
低 $f < 10\text{MHz}$	低	中	大
中 $10\text{MHz} < f < 100\text{MHz}$	中	中至高	高至非常高
高 $f > 100\text{MHz}$	高	高至非常高	非常高

在表的最左角,是处理速度低于 10MHz 的产品。在表的右下角,系统快得多、更复杂。这种高技术的系统包括 RISC(精简指令集计算机)的 CPU、Pentium¹ 处理器,以及类似的产品。大部分这种产品边沿速率为次纳秒级,并工作在 100MHz 以上。

1.6 噪声耦合法

一个产品设计必须考虑两种性能水平:一是减小泄漏出外壳的 RF 能量(辐射),另一个是减小进入外壳的 RF 能量(敏感性或抗扰性)。辐射和抗扰性都要通过辐射的或者传导的途径传播。这种关系如图 1.6 所示。

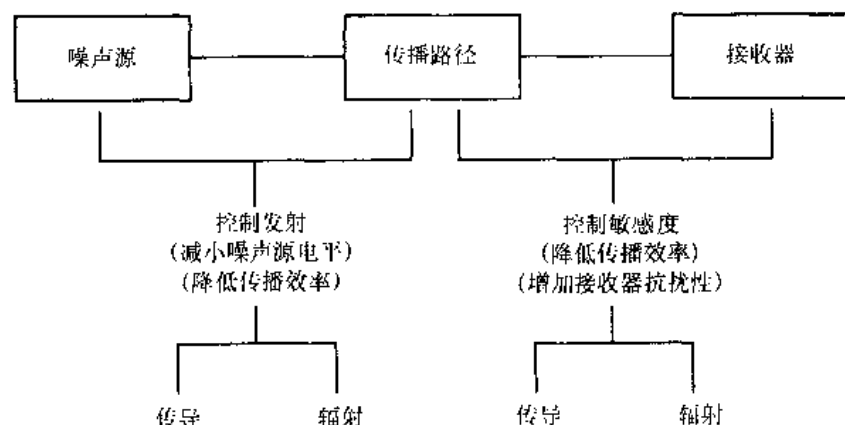


图 1.6 耦合路径

为了进一步研究耦合途径,必须认识到传播路径包括了多种传播机制。这些在图 1.7 中有详细描述,而且包括:

- (1) 从源到接收器的直接辐射(路径 1)。
- (2) 从源辐射干扰接收器的 AC 电缆和信号/控制电缆的直接 RF 能量(路径 2)。
- (3) 通过交流干线、信号电缆或控制电缆,RF 能量到达接收器(路径 3)。
- (4) 通过普通电力线或普通信号/控制电缆的 RF 能量传播(路径 4)。

除了这 4 种耦合路径,对于每种耦合路径而言还有 4 种传输机制。这 4 种机制是:

- (1) 传导耦合
- (2) 电磁场耦合
- (3) 磁场耦合(从电磁场中分离出来的子集,见图 1.7)
- (4) 电场耦合(从电磁场中分离出来的子集,见图 1.7)

如果噪声耦合机理可以确定的话,就可以采用一种合理的解决方案来降低耦合。

传导耦合是一种共阻抗耦合。当噪声源和敏感电路通过公共阻抗连接时,就会发生这种耦合。两个连接的最小化是必须的。这是因为噪声电流必须从源流到负载并流回到源。图 1.8 给出了两个环路和一个电源。每个环路的电流都必须流经电源子系统内的公共阻抗以及公共互连线,所有这些都是由共享的金属连接引起的。

注 1: Pentium 是 Intel 公司的注册商标。

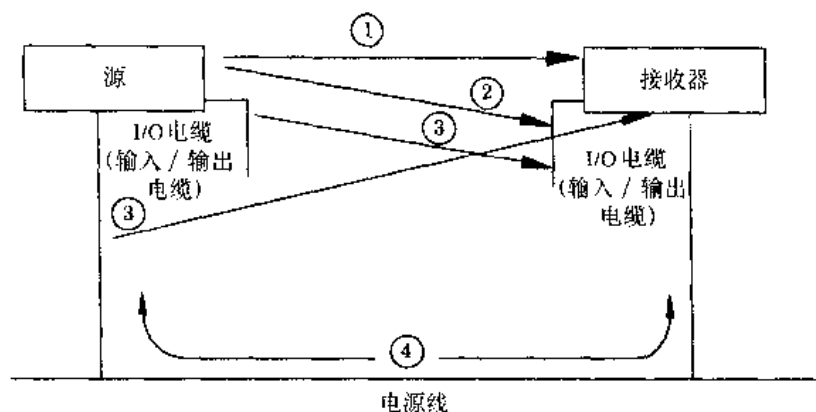


图 1.7 耦合路径机理

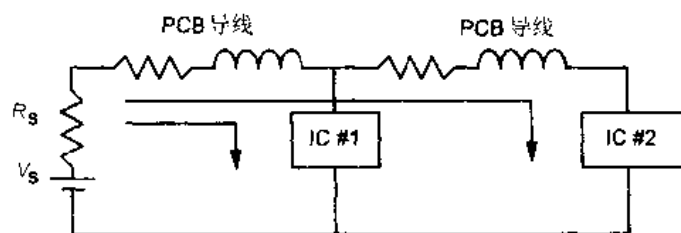


图 1.8 传导传输机理

当一个电流回路产生的一部分磁通量经过另一个电流路径形成的第2个环路时,就会出现磁场耦合。磁通量耦合由两个回路之间的互感系数表示。第2个回路感应形成的噪声电压为 $V_2 = M_{12} dI_1/dt$, 这里 M_{12} 就是互感系数, 而 dI_1/dt 就是路径上的电流变化的速率。磁通量耦合如图 1.9 所示。

电场耦合在低阻抗电路中产生。它的影响相对于其它可能出现的耦合来说要小。在一个电路中, 如果高阻抗 Z_s 和 Z_L (见图 1.10) 并联, 就会出现互电容。当一个电路产生的电通量的一部分在另一个电路的导体处结束, 就会出现电容耦合。两个电路的电通量耦合可以用互电容来表示。流进一个敏感电路的噪声电流近似为 $I = CdV/dt$ 。

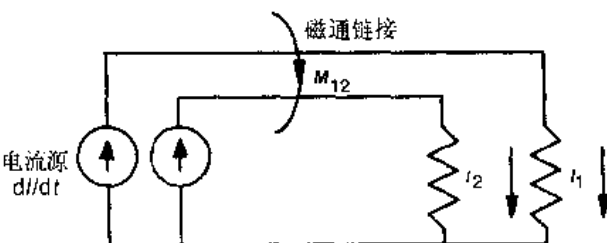


图 1.9 磁场耦合

电磁场耦合是电场和磁场同时影响电路的结合。根据源和接收器的距离, 电场(E)和磁场(H)影响可能不同, 取决于我们是在近场还是远场。这是观察到的最普遍的干扰能量传输机制。

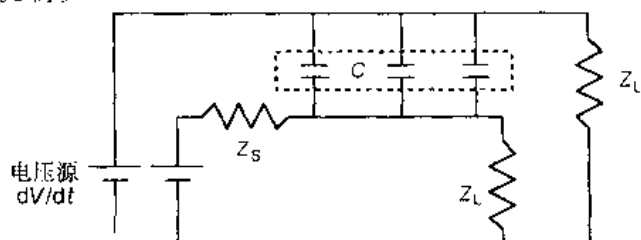


图 1.10 电场传输耦合

当处理辐射发射问题时, 最普遍的规律则是:

频率越高, 辐射耦合的效率就越高; 频率越低, 传导路径 EMI 的效率就越高。系统中耦合的概率为“1”。耦合的程度取决于频率。

最常见的噪声耦合方式是通过导体、

电线或 PCB 走线。这种导体可以从“肇事的”设备中截取 RF 噪声并将噪声传送给受害的电路。阻止这种干扰传输发生的最简单的方法就是:消除有害线路的噪声,或者阻止受害线路接收 RF 能量。

当信号沿着 PCB 走线从源向目的元件传播时,会出现什么情况呢?图 1.11 显示了一种传播路径的模型。信号线直接连接源和目的元件。使用这种电路,在邻近电路中会同时出现电感耦合(L)和电容耦合(C)。

观察图 1.11,注意到输出电容将吸取一定比例的输出驱动电流。线路的电感将削弱信号,这些信号还会耦合到邻近的线路。信号路径之间的电容不仅会通过引起串话而导致信号恶化,也会分流一部分 RF 能量。最后,负载的电容分得输入源中的一部分能量。然后,负载电容将电磁信号能量耦合到大地。

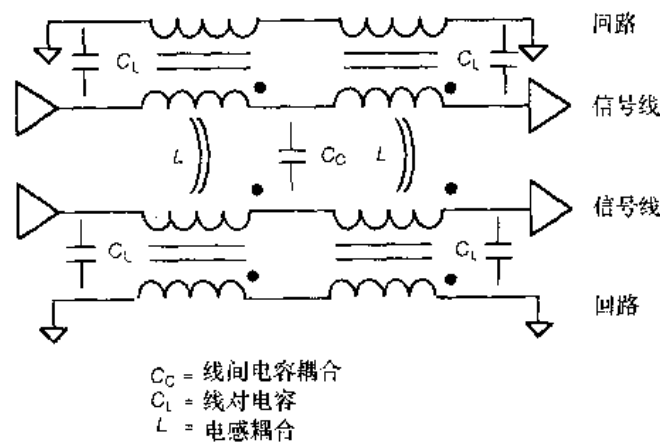


图 1.11 线路耦合模型

如果信号路径与信号的上升时间相比很长的话,就可以观察到分布效应²。能量沿着特征阻抗为 Z_0 的路径传播,到达负载。如果负载阻抗与源阻抗相同,也为 Z_0 ,所有的能量将被负载吸收。如果负载阻抗高的话,信号会被反射到源,因为信号能量不能被电路完全消耗。这种反射信号可以看作是振铃信号或过/欠发射信号。转移阻抗,无论是电感性还是电容性,都存在于内部元件中(第 3 章)。内部接地的不平衡将进一步降低传输信号的质量(第 7 章)。

1.7 干扰的本质

干扰可以被分为两类:内部和外部干扰。内部问题可能是由于伴随着传输路径的邻近电路之间的寄生耦合,以及内部组件之间的场耦合(如对磁盘驱动器的供电),信号沿着传输路径有衰减。详细说来这些问题就是信号丢失、信号沿路径反射以及与邻近信号线路的串话。

外部问题分为发射和敏感度。辐射问题主要来源于时钟或其它周期性信号的谐波。补偿的方法是将周期信号局限在一个尽量小的区域内以及阻隔与外界寄生耦合的路径。

对于外部影响的敏感度,例如 ESD 或无线频率的干扰,主要与耦合到 I/O 线上并传输到单元内部的能量有关。主要的接收器是高速输入线和敏感的相邻线路,尤其是那些边缘激励器件。

注 2:一个电长走线定义为走线中传输信号的上升时间小于信号回路的传输时间,包括从源到负载和从负载到源的时间总和。需要考虑信号振铃和反射引起的信号变化。

对于 EMC 的分析主要考虑 5 点[2]:

(1) 频率。问题在频谱的哪部分出现?

(2) 振幅。能量级别有多强,它导致有害影响的潜力有多大?

(3) 时间。出现的问题是连续的(周期信号),还是只在确定的操作循环内出现(例如,磁盘驱动器的写操作)。

(4) 阻抗。源和接收机单元的阻抗是什么?二者间传输媒质的阻抗是什么?

(5) 尺寸。导致辐射出现的发射设备的物理尺寸是多少? RF 电流将产生电磁场,电磁场可以通过底盘的裂缝透出外壳。PCB 上线路的长度与 RF 电流的传输路径有直接关系。

无论何时出现了 EMI 问题,回顾以上基于产品应用的这个列表是有益的。理解这 5 条将有助于大大消除 EMI 是如何存在于 PCB 内的神秘性。运用这 5 个知识时,要注意一项设计技术在确定的条件和环境中是有效的,但在其他的条件和环境中可能就无效了。例如,单点接地在低频应用时,是极好的;而对于无线电频率,则完全不适用,大部分的 EMI 问题存在于这一频率范围。许多工程师盲目地在所有的产品设计中使使用单点接地,而没有意识到使用这种接地方法会产生另外的和更加复杂的问题。

如何充分利用上面的列表呢?通常我们将电流源看成电压施加于一个阻抗而产生(戴维南等效)。但是,将电压看成是电流流过阻抗形成的结果,具有更多的优点(诺顿等效)。使用诺顿网,许多 EMI 问题都可以得到解答,因为使用诺顿结构可以将 EMI 问题形象化。电场耦合包括共模感应,而磁场耦合则与共模和差模电流均有关(取决于受影响的线路)。

电流优于电压有个简单的理由:电流始终沿着一条或几条路径走闭合环路。这有利于我们控制电流按照为了系统正确运行所希望的方式或直或弯曲地流动。为了控制电流流动的路径,我们必须提供一条返回到原始干扰源的低阻抗 RF 返回路径。我们也必须使干扰电流转移离开负载。为了实现这些目的,从源到负载间需要高阻抗路径,我们必须考虑所有返回电流可能流经的路径。

1.7.1 频率和时间(傅里叶变换:时域 $\leftrightarrow$ 频域)

从时间帧的方面来考虑,对设计工程师来说是很普遍的事情。但 EMI 通常在频域中研究。RF 能量是通过各种媒体传播的周期性波。对于那些不是设计为辐射器的产品,正弦波的不同波长被记做 EMI。单独在时域看,很难理解 EMI 问题(用傅里叶分析进行时域和频域转换在附录 B 里给出了详细说明)。

Baron Jean Baptiste Joseph Fourier(傅里叶,1768~1830,法国数学家和物理学家),建立了一种分析周期函数的方法。傅里叶证明任何周期性的信号可以分解为无限个正弦波,每一个都在基本频率的整数倍或者谐波上。这种通过数学算法分解谐波的方法就是傅里叶变换。傅里叶变换可以很容易地用来计算简单的波并用现代仪器显示出来。

1.7.2 幅度

幅度的影响是显而易见的:幅度越大,干扰就越大。因此,限制 RF 能量的幅度峰值也就变得很重要了,只要使之达到满足电路、装置及系统的运行需要的程度就行了。

1.7.3 阻抗

发射源和接收机的阻抗不同时的干扰问题要比阻抗相同时的严重。这是因为高阻抗源对低阻抗接收器的干扰小,相反的情况同样成立(译者注:此处可能有误)。这一规律也同样适用于辐射耦合。高阻抗和电场相关,低阻抗和磁场相关。

1.7.4 尺寸

RF 波长与物理尺寸是重要的因素。当处理 PCB 走线或器件上开槽(小孔)的大小时,就需要考虑 EMC 这方面的问题了。如果在设计中采用数字建模,那么电路分析就不再是和集总参数打交道了。

走线或所开小孔孔径的尺寸需要最小化,这与高速数字装置的电气参数有关。当传播速度成为信源到负载间传播延迟的一个重要部分时,我们应该考虑场耦合的影响。当走线长度在物理尺度上可以和某一特定频率的波长相比拟,或就时域而言,当上升时间小于信源到负载间的传播延迟时,那么连线就应当作传输线考虑。为实现信号的最佳传输,所有的传输线必须在终端接有与之特性阻抗匹配的负载。虽然这个策略主要是基于信号的完整性考虑,但也有助于对 EMI 的控制。

就 EMI 而言,我们要特别注意防止天线效应的产生,即避免走线(线)长度接近干扰源信号的有效激励长度。当走线接近干扰信号波长的某个特定波长(或波长的一部分)时,有效天线就会出现。当走线尺寸达到干扰信号的某一特定波长(或波长的一部分)时,一个高效天线就会形成。

1.8 PCB 和天线

PCB 可以通过自由空间像天线一样发射 RF 能量或通过电缆耦合 RF 能量。当我们说 PCB 像天线一样时,这样说的确切的意思是什么呢? 天线是射频通信中有效的、必不可少的部分。我们需要用天线完成有意的辐射。而大部分 PCB 是无意的辐射器,并且由国际 EMC 标准来规范,除非是设计上要求其作为一个发射机。发射机也受到管理要求的约束。如果 PCB 是一个高效的无意辐射器,且抑制技术也无效的话,就必须用密封措施。

无论是有意还是无意的,天线效率都是频率的函数。当天线由电压源驱动时,它的阻抗会有显著的变化;而当天线共振时,它呈高阻抗并且通常呈电抗特性。阻抗方程($Z = R + j\omega L$)中的电阻部分 R 称为“辐射电阻”。辐射电阻是天线在特定频率辐射 RF 能量的衡量标准。

在一个特定的频谱上,大部分天线都是高效的辐射体。这些频率基本上低于 200MHz,因为 I/O 电缆长约为 2~3m,与波长相比,有时电缆线是长线情况。在较高的频域内,由于外壳上的小孔,通常可以观测到直接从设备单元内发出的显著的辐射。

当能确定出哪里存在天线辐射时,就像在共模式电缆中的辐射一样,减小驱动电压是能应用的最简单的抑制技术。RF 电压的存在是由于以下原因:

- 电路走线阻抗(来自引线电感)
- 接地点(均匀电势的一点)

• 用以降低无意天线驱动电压的接地旁路和屏蔽

图 1.12 即为一大线示意图。天线呈现随频率变化而变化的阻抗特性。共振时,电抗元件 L 和 C 相互抵消。此时,辐射阻抗最大,RF 能量就被辐射出去。

为了减少存在于 PCB 中的无用寄生天线所造成的影响,需要进行 EMC 设计和应用抑制技术。除了使用法拉第笼(抑制 RF 发射)外,还包括在布局上建立一个良好的接地系统。RF 滤波器也可以减少无用的 RF 信号,只要按照它的设计功能进行适当选择。

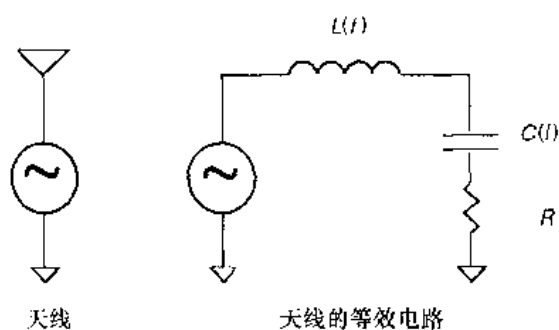


图 1.12 天线示意图

1.9 系统级 EMI 产生原因

本书论述了一些概念,这些概念或者是涉及 PCB 中 EMI 如何产生的,或者与 PCB 中 EMI 的产生有关的。在没有说明影响兼容性设计的其他方面时,该产品是不完善的,这些方面与系统级设计有关。对下列问题的详细讨论已超过本书范围;本书重点将集中在 PCB 上。另外,在参考部分还为那些对 EMC 系统级设计感兴趣的人提供了很好的资料。

与系统级的 EMC 兼容性相关的方面包括:

- (1) 封装措施的不当使用(金属与塑料封装)
- (2) 设计不佳,完成质量不高,电缆与接头的接地不良
- (3) 错误的 PCB 布局,包括:

- ① 时钟和周期信号走线设定
- ② PCB 的分层排列及信号布线层的设置
- ③ 对于带有高频 RF 能量分布成分的选择
- ④ 共模与差模滤波
- ⑤ 接地环路
- ⑥ 旁路和去耦不足

要实现系统级的抑制,通常需要以下技术:

屏蔽

衬垫

接地

滤波

去耦

适当布线

绝缘与分离

电路阻抗控制

I/O 内部互连接设计

元件包内部的 PCB 抑制技术

除了上面几项,还需要一些同时具有抑制和密封功能的复合技术以完成一个兼容性产品。根据系统的复杂性、执行速度及基于 EMC 要求需要屏蔽的地方,恰当的 PCB 布局可以降低对屏蔽的要求。

1.10 对电磁辐射控制的总结

为了减少或消除潜在的电磁辐射,必须理解几个基本的概念。下面给出了这些概念,详细的讨论将在后面的章节里进行:

- (1) 降低 RF 源的强度(电压、电流的驱动电平)。
- (2) 对高速信号使用差模和共模滤波,或者对于阻抗匹配的信号使用对称差分滤波。
- (3) 减少耦合到天线装置的能量;采用走线的自屏蔽走线方法,减少差模向共模的转换。
- (4) 降低天线辐射 RF 能量特性的效能。

为了产生电磁辐射,天线上必须要有高频电流。通过使用差模滤波和降低数字逻辑器件的边缘速率可以减小这些 RF 电流。我们还能通过提高环路的阻抗平衡来减少差分模式(DM)向共模模式(CM)转换的电流。由于我们一般不能控制外部 I/O 电缆的长度,故将天线长度减为原来的一半也能降低辐射效能。

为使 RF 能量存在,在两个不同的电路间必须有一个电势差。保持所有的金属构件(接地面、接地线、底板等)在相等的电势上,则可消除这个电势差。这种电势差常常是由于在电路和构件内部的电感引起的。不管我们的产品设计得多么好,一定数量的电感总是存在的。如果电感和电容一起加入到天线结构中,那么天线将是一个有效的辐射器。几个纳亨(nH)的电感和几个皮法(pF)的电容足以产生高频,并与 RF 辐射有关。

参考文献

- [1] Montrose, M. I. 1996. *Printed Circuit Board Design Techniques for EMC Compliance*. Piscataway, NJ: IEEE Press.
- [2] Gerke, D., and W. Kimmel. 1994. "The Designers Guide to Electromagnetic Compatibility." EDN (January 20).
- [3] Mardiguian, M. 1993. *Controlling Radiated Emissions by Design*. New York: Van Nostrand Reinhold.
- [4] Van Doren, T. 1995. *Circuit Board Layout to Reduce Electromagnetic Emission and Susceptibility*. Seminar Notes.
- [5] Hartal, O. 1994. *Electromagnetic Compatibility by Design*. W. Conshohocken, PA: R&B Enterprises.
- [6] Ott, H. 1988. *Noise Reduction Techniques in Electronic Systems*. 2nd ed. New York: John Wiley & Sons.

第2章 PCB中的 EMC

在当今的国际市场上,产品必须符合大量的由政府机构、标准化组织或志愿委员会所制定的协议和要求。北美、欧盟和世界范围内的很多国家都有强制性的规范。这些要求与 EMC 和产品的安全性能有关。EMC 指的是一个产品和其它产品共存于特定的电磁环境中,而不会引起其它产品或者自身性能下降或损坏的能力。EMC 包含两个主要的领域——辐射性和抗扰性。本章主要介绍 EMC 的这两个方面,以及 EMC 是怎样存在于 PCB 中的。

2.1 EMC 和 PCB

对 EMC 的传统看法是它是某种“巫术”;事实上,EMC 可以用数学概念来解释。一些有关的方程和公式很复杂,且已超过了本书的范围。即使采用数学分析,这些方程对于实际应用来说,也是太复杂了。幸运的是,可以建立一些简单模型来描述电磁兼容性是如何达到的,而不一定要直接解释为什么。

有许多的情况可引起 EMI,这是因为 EMI 经常是无源元件按正常规则工作的意外所造成的结果。在高频段里,一个电阻器就相当于一个电感串联上一个电阻与电容的并联结构;一个电容器就相当于一个电感、电阻和电容器的串联;而一个电感则相当于一个电阻串上一个电感与电容的并联结构。无源元件在高频和低频时的工作特性如图 2.1 所示。

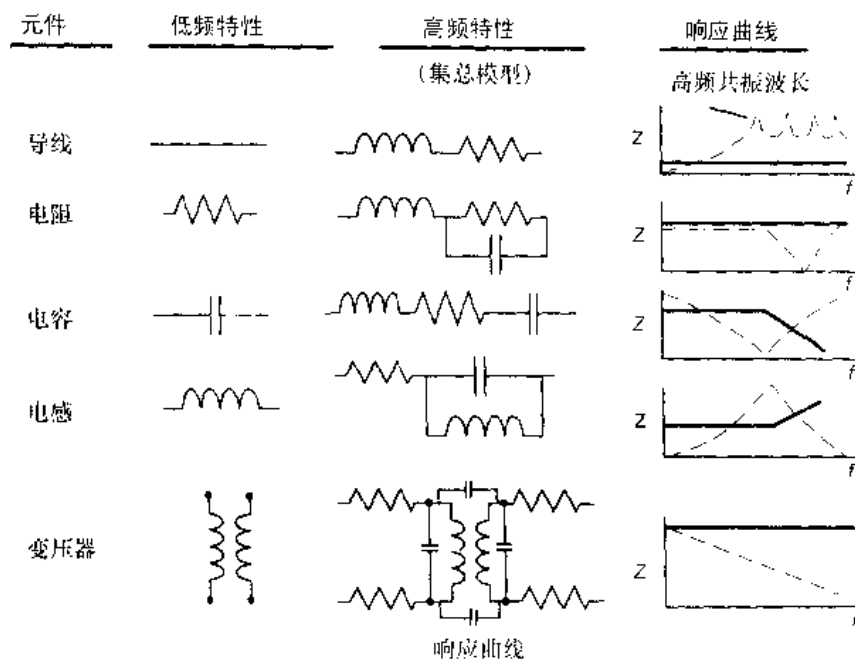
例如,当设计一个无源元件时,我们必须思考“什么时候一个电容器会失去电容特性?”这样一个问题,回答很简单,一个电容器失去电容特性,是因为在高频段由于引线电感,它改变了自己的功能特性,表现出电感特性。相反的,“一个电感什么时候失去电感特性?”的答案是,在高频段,寄生线耦合使得一个电感表现出电容特性。要想成为一个成功的设计者,就必须认识到无源元件的这一局限性。设计产品除了要满足市场功能性要求,也必须要采用适当的设计技术来适应这些隐含的特性。

这些工作特性被认为是“暗示”。数字产品工程师通常假定元件有单一频率响应。这样,选择无源元件时只是基于时域的功能特性,而不考虑频域中表现出来的特性。很多时候,如果设计者违背了如图 2.1¹ 中所示的这些规律,就会有 EMI 发生。

EMC 领域可以用这样一句话来形容:“每一件事情都不在计划之列”。这一叙述解释了为什么 EMC 领域被看作是一门“黑箱艺术”。

一旦理解了元件的隐藏的工作特性,设计出符合 EMC 要求的产品也就成为一个简单的过程。隐藏的工作特性也要考虑有源元件的切换速率和它们独特的特性,这也包括隐藏的电阻性、电容性、电感性。现在我们分别研究每一种无源器件。

注 1: 见 Daryl Gerke and Bill Kimmcl, “The Designers Guide to Electromagnetic Compatibility,” Reprinted from *EDN Magazine* (January 20, 1994.). © Cahners Publishing Company, 1994. A Division of Reed Publishing USA.



注:实线为低频时的响应曲线;虚线为高频时的响应曲线

图 2.1 电路元件在射频时的特性

2.1.1 导线和 PCB 走线

我们一般不把产品的内部连线、线缆和走线看作有效的 RF 能量辐射器。每个元件都有引线电感,从硅芯片的连接导线到电阻、电容器和电感线圈的引线。每条导线和走线都有潜在的寄生电容和电感,这些寄生元件影响着导线的阻抗并且对频率敏感。根据 LC 值(自谐振频率)和 PCB 走线的长度,在元件和走线之间可能会发生自谐振,这样就产生了一个有效的辐射天线。

在低频段,导线主要呈现电阻特性;而在高频段,则呈现电感特性。这个阻抗会改变导线(或 PCB 走线)与接地的关系,从而引导我们使用接地板和接地网格。导线和 PCB 走线之间的主要区别是:金属导线是圆的,而 PCB 走线是矩形的。金属导线的阻抗包括电阻 R 和感性电抗 $X_L = 2\pi fL$,在高频时定义为 $Z = R + jX_L \approx j2\pi fL$ 。容性电抗 $X_C = 1/2\pi fC$ 不包括在高频时导线阻抗频率响应的方程中。在 DC 和低频的应用中,导线(或走线)基本上呈电阻特性。在较高的频段里,导线(或走线)成为这个阻抗方程的重要部分。100kHz 以上,感性电抗 $2\pi fL$ 超过电阻。因此,导线(或走线)不再是一个低电阻的连接,而是一个电感。作为一个基本的常用规则,任何工作在音频范围以上的导线(或走线)均表现出电感特性,而不是纯电阻,并且可以看作是一个辐射 RF 能量的有效天线。

大部分天线都设计成工作在特定频率,对应波长的 $1/4$ 或 $1/2$,以成为一个有效的辐射器。在 EMC 领域,设计建议要求导线(或走线)小于特定频率波长的 $1/20$,以免产品成为无意的辐射源。感性和容性元件对电路的谐振非常有效。

例如,假定一条长 10cm 的走线具有 $R = 57\text{m}\Omega$, 8nH/cm (我们得到这一值的细节问题将在第 6 章讨论),那么在 100 kHz 上,我们可以得到一个 $5\text{m}\Omega$ 的感性电抗。频率在 100kHz 以上时,走线就变为电感了。电阻变得可以忽略,也不再是方程的一部分。频率为 150MHz 以上

时,这一条 10cm 的走线可以看作是一个有效的辐射体。

2.1.2 电阻

电阻是 PCB 中使用最广泛的元件,且也受 EMI 的限制。由于电阻材料的不同(碳质、碳薄膜、云母、绕线等),存在着与频域要求有关的限制。由于导线中电感过大,绕线电阻对于高频应用是不合适的;而薄膜电阻包含一些电感成分,并由于其较低的引线电感而使得其在高频应用中有时是可以接受的。

电阻最容易忽视的方面的是其封装尺寸和寄生电容。寄生电容存在于电阻的两端之间,它对极高频设计有很大的破坏,尤其是在 GHz 的范围。对于大部分的应用来讲,电阻引线之间的电容相对于电阻的引线电感还不是我们主要关心的问题。

对于电阻我们主要关注的一个方面就是可能导致设备损坏的过电压情况。如果电阻上出现了 ESD 事件,就会产生有趣的结果。如果电阻是表面安装型的,就很可能发生电弧击穿。对于带有引线的电阻,由于路径具有高电阻(高电感)特性,ESD 被阻止在电路之外,电路也就受到了电阻潜在的电容特性和电感特性的保护。

2.1.3 电容器

第五章将对电容器作详细的探讨。在这节里,只对电容器的一些隐藏属性作一个简要概括。

电容器通常用于电源总线去耦、旁路以及其它大量应用。实际的电容器直到它的自谐振频率时依然保持电容特性。当频率超过自谐振频率时,则会出现电感特性。描述公式为 $X_C = 1/(2\pi fC)$,其中 X_C 是电容阻抗(单位 Ω), f 为频率(单位 Hz), C 是电容(单位 F)。根据这个公式,一个 $10\mu\text{F}$ 的电解电容在 10kHz 时电抗为 1.6Ω ,在 100MHz 时为 $160\mu\Omega$ 。在频率为 100MHz 时,将会出现短路状态,这将导致 EMI 的出现。但是,电解电容的等效串联电感(ESL)和等效串联电阻(ESR)的值均很高,这些电气参数限制了这种特殊类型的电容在 1MHz 以下使用时的效果。

电容器的使用另一个方面取决于引线电感以及本身的结构。这个问题将在第 5 章中作详细讨论,现在不作解释。总的来说,在电容器引脚线束中的寄生电感将使电容器在其自谐振频率之上时表现为电感特性而失去原有的功能。

2.1.4 电感

在 PCB 中,电感用于对电磁干扰的控制。对于一个电感而言,电感阻抗随着频率的增加而线性增加。描述公式为 $X_L = 2\pi fL$,其中 X_L 是感抗(单位 Ω), f 是频率(单位 Hz), L 是电感(单位 H)。

例如,一个“理想”的 10mH 电感在 10kHz 时有 628Ω 的阻抗,在 100MHz 时,阻抗升为 $6.28\text{M}\Omega$,这时电感呈现为断路。如果我们想在 100MHz 时传送信号,将会出现很大的困难。像电容一样,电感的电气参数(线圈绕组之间的寄生电容)限制了它必须工作在 1MHz 以下。

现在需要着手解决的问题是当高频下电感无法工作时该如何处理。铁氧体可以解决这个问题。铁氧体材料是铁镁合金或铁镍合金。这种材料具有很高的导磁率,它可以使电感的线圈绕组之间在高频高阻的情况下产生的电容最小。铁氧体材料通常在高频情况下应用,因为

在低频时,它们主要呈电感特性,使得线上的损耗很小。在高频情况下,它们主要呈电抗特性并随着频率而改变。这些如图 2.2 所示。在实际应用中,铁氧体材料是作为射频电路的高频衰减器使用的。

实际上,铁氧体较好地等效于电阻以及电感并联组合而成。在低频下,电阻被电感短路,而在高频下,电感阻抗将变得相当高以至于迫使电流全部通过电阻。

铁氧体实际上是一个“消耗装置”,高频能量在上面被转化为热能。这只能由它的电阻特性而不是电感特性来解释。

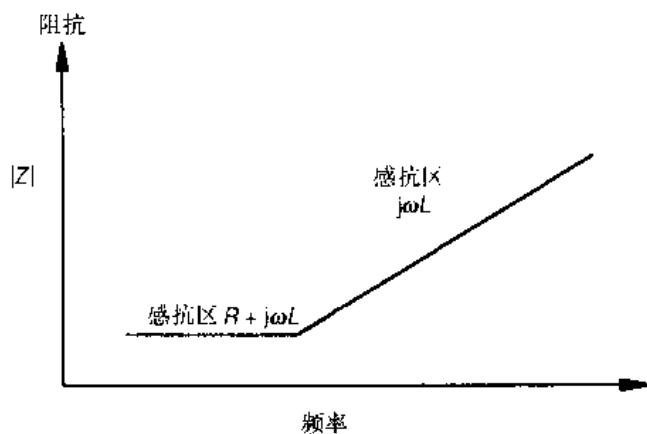


图 2.2 铁氧体材料的特性

2.1.5 变压器

变压器通常出现在供电装置、数字信号隔离装置、输入输出连接器和电源接口中。依照变压器的型号和应用不同,在初级线圈和次级线圈之间可能有一个屏蔽。这个屏蔽是接地的,用来防止初级线圈和次级线圈之间的电容耦合。

变压器也被广泛地用于提供共模(CM)隔离。这种器件依赖于差模(DM)转换器,当需要进行能量传递的时候,输入能量通过初级线圈和次级线圈之间的磁场链接从初级线圈转移到次级线圈。这样,通过初级线圈的共模(CM)电压被滤掉了。在变压器制造中的一个固有缺陷是在初级线圈和次级线圈之间有电容存在。当电路的频率升高时,电容性耦合度也同时提高,电路的隔离程度不能得到保证。如果存在有足够的寄生电容,高频射频能量(快速瞬变、ESD、闪电等等)将穿过变压器,并且在变压器另一侧的回路中造成扰动。

在研究了各种元件的隐藏工作特性之后,我们现在来研究这些隐藏特性为什么能在 PCB 中产生电磁干扰(EMI)。

2.2 电磁理论

既然我们已经知道了元件隐藏工作特性的存在,我们现在来研究在 PCB 中射频能量是如何产生的。为了理解这些元件的隐藏特性以及各分量,我们必须了解麦克斯韦方程。麦克斯韦的 4 个方程描述了电场与磁场之间的联系,它们由安培定律、法拉第定律以及高斯定律的两个推论公式导出。这些公式描述了在一个闭合环境内的场强以及电流密度,这需要高阶微积分学的知识。因为麦克斯韦方程相当的复杂,我们只是对其作一个简要的概述。对于麦克斯韦方程的详细介绍,可以参阅参考书目中列出的资料。式(2.1)中列出了详细的麦克斯韦方程。在 PCB 设计和布线中,并不需要了解麦克斯韦方程详实的知识。

为了对麦克斯韦方程进行简单讨论,需要了解一些基本的原理。字母 J 、 E 、 B 和 H 分别代表一些矢量。基本上来说:

- (1) 麦克斯韦方程描述了电荷、电流、磁场以及电场之间的相互作用。
- (2) 洛伦兹力描述了电场与磁场共同加在带电微粒上的物理作用力。

(3) 所有的物质都与其它物质有着本质的联系,这包括:

① 电导率——联系电场与电流: $J = \sigma E$ 。

② 磁导率——联系磁场与磁通量: $B = \mu H$ 。

③ 介电常数——联系关于电荷存储与电场: $D = \epsilon E$ 。

其中, J = 电流密度, A/m^2 ; σ = 电导率; E = 电场强度, V/m^2 ; D = 电通密度, 库伦/ m^2 ; ϵ = 介电常数, $8.85pF/m^2$; B = 磁感应强度, 韦伯/ m^2 或特斯拉; H = 磁场强度, A/m^2 ; μ = 磁导率, H/m^2 。

麦克斯韦第一方程是基于高斯定律的散度定理。它应用于产生静电场的电荷积累。这在导电和不导电的两个边界之间最明显。高斯定律的边界条件引出导体屏蔽腔(也称为法拉第笼), 就像一个静电屏蔽罩一样。在边界处, 电荷被保持在边界的内侧, 存在于边界外侧的电荷被排除在产生的内部场之外。

麦克斯韦第2方程说明了没有磁荷(没有磁单极子)存在, 只存在有电荷。这些电荷可能是正电荷, 也可能是负电荷。磁单极子是不存在的。磁场由电流产生。电流和电场就好像一个点发射源。磁场沿着形成该磁场的电流形成闭合回路。

第1方程: 电通量定律(通过高斯定律推出)

$$\nabla \cdot D = \rho \quad \varphi_e = \oint_s D \cdot ds = \int_v \rho dv = 0$$

第2方程: 磁通量定律(通过高斯定律推出)

$$\nabla \cdot B = 0 \quad \varphi_m = \oint_s B \cdot ds = 0$$

第3方程: 电势差定律(通过法拉第定律推出)

(2.1)

$$\nabla \times E = - \frac{\partial B}{\partial t} \quad \oint E \cdot dl = - \int_s \frac{\partial B}{\partial t} \cdot ds$$

第4方程: 电流定律(通过安培定律推出)

$$\nabla \times H = J + \frac{\partial D}{\partial t} \quad \oint H \cdot dl = \int_s (J + \frac{\partial D}{\partial t}) \cdot ds = I_{total}$$

麦克斯韦第3方程, 也叫法拉第电磁感应定律, 描述的是穿过闭合回路的磁场会产生电流。第3方程有一个伴随方程即第四方程。麦克斯韦第3方程描述了变化的磁场产生电场。磁场一般出现在变压器、线圈绕组中间, 例如电动马达、发电机等等。对电磁兼容性来说, 第3和第4方程的相互作用是一个主要的焦点。同时, 它们也描述了耦合的电场和磁场是如何以光速向外传播的。这些方程也描述了趋肤效应的概念, 这个概念预言了磁场屏蔽的作用。另外, 这一方程也描述了感应现象, 这预言了天线的原理。

麦克斯韦第4方程也可以被看作是安培定律。这个方程表明了产生磁场的源有两个: 第1个源是由运动电荷构成的电流; 第2个源是闭合回路中变化的电场。这些电场源和磁场源描述了电感和电磁作用。在两个源中, 重要的是电流如何产生磁场。

概括起来说, 麦克斯韦方程解释了在PCB电路中EMI产生的根本原因——时变电流。静态电荷产生静电场而不产生磁场。恒定电流产生磁场而不产生电场。时变电流既产生电场又产生磁场。

静态场储存能量。这是电容的基本功能: 积累电荷、保持电荷。恒定电流源基本上可以用一个电感来实现。

2.3 电场源与磁场源之间的联系

我们已经解释了利用变化的电流产生磁场以及静态电荷产生电场的过程,下一步我们将确定电流与辐射场间的关系。我们应该看到电流源的分布并了解它是如何影响发射的信号。另外,我们也应注意到信号强度随着与信号源距离的增大而下降的事实。

时变电流以两种形式存在:

磁场源(闭合回路)

电场源(偶极子天线)

为了能够更详细地研究这两种形式,我们首先来解释磁场源。

假设一个回路包含有一个时钟源(振荡器)以及一个负载(如图 2.3)。我们可以看到在这个电路中电流沿一个闭合回路(走线和 RF 电流返回路径)流动。我们可以通过使用模拟软件对信号走线进行建模,然后对产生的辐射场进行评估。这个回路产生的场是一个四个变量的函数:

(1) 回路中的电流幅度。所产生的场是与信号走线中的电流成比例的。

(2) 源回路天线的方向性与测量装置的关系。如果测量天线也是一个回路,那么一个信号为了能被测量或观察,源电流回路的极化与测量装置的极化必须相匹配。如果测量天线是一个偶极子天线,那么它们必须应是相同的极化方向而不是相交叉的。例如,假设一个回路天线是水平极化,那么源电流回路的极化也一定是水平的。然而,如果测量天线是偶极子天线,那么源电流回路应是垂直极化的。

(3) 回路的尺寸。如果回路的电气尺寸很小(远小于所产生信号的波长),那么场的强度将与回路的面积成比例。回路面积越大,在天线终端所观测到的频率越低。对某一特定的物理尺寸,天线将会对该特定频率发生谐振。

(4) 距离。场强下降的速率与场源和天线之间的距离有关。另外,这个距离也决定了产生的场是电场还是磁场。当天线与回路源在电气尺度上很接“近”的时候,磁场强度将按与距离的平方成正比下降。当距离在电气尺度上很“远”时,我们则可以观测到电磁场的平面波。这个平面波强度随距离的增加而下降。电场矢量和磁场矢量交界的点出现在距场源大约 $1/6$ 个波长处(也可表示为 $\lambda/2\pi$)。在这一点上的波长等于光速除以频率。这个公式可以简化为 $\lambda = 300/f$ 表示,其中 λ 单位是 m, f 单位是 MHz。这个 $1/6$ 波长的距离可以作为一个点源,这是在 EMI 中经常假设的,对更大一些的天线这个距离可能会更远一些。

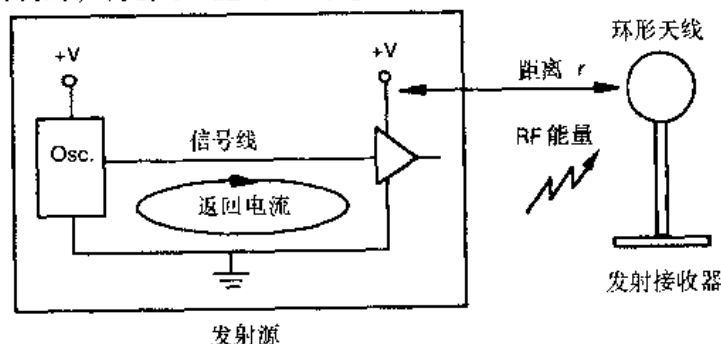


图 2.3 磁场的射频传输

相对于闭合回路的磁场源,电场源可以用时变的电偶极子模型来表示。也就是——对时变的极性相反的点电荷,相互分离,但相隔极近。偶极子的端点包含电荷的变化。电荷的这种变化由沿着偶极子长度的电流的流动来完成。使用如上所述的电路,我们可以用一个驱动无终端天线的振荡器输出来代表电场源。当我们用低频电路理论来分析这一电路时,我们会发现这一电路是没有用处的。我们没有考虑电路中的信号的有限传播速度(基于非磁性物质的介电常数),以及其中所产生的射频电流。这是因为传播速度是有限的,而不是无限的。在我们的假设中,导线在所有的点含有同样的电压,并且电路在所有的点上都是瞬时平衡的。由电场源产生的场有 4 个可变量。

(1) 回路中的电流幅度。所产生的场与偶极子中的电流成正比。

(2) 偶极子的方向与测量装置的关系。这个问题同上面所讨论的磁场源的问题是一致的。

(3) 偶极子的尺寸。场的大小是与电流长度成正比。这个推论在走线的长度远小于波长时是成立的。偶极子越大,在天线末端观测到的频率越低。对某一特定物理尺寸,天线将在一特定频率上发生谐振。

(4) 距离。电场与磁场是互相联系的。场的强度随着距离的增大而降低。在远场上,情况同回路场源相似。当我们靠近点源时,电场和磁场强度随距离的变化更加迅速。

近场(磁与电的组成部分)和远场在图 2.4 中作了示意。所有的波都由电场与磁场共同组成。我们称这种电场与磁场组合为坡印亭(Poynting)矢量,没有单独的电波或单独的磁波。我们之所以看到平面波是因为对于一个小的天线,离开场源几个波长后,波前看起来近似于平面。这种现象源于从天线端观测到的物理轮廓(就好像在池塘中离开中心点一定距离的波纹)。场从场源点以光速向外扩展,光速 $c = 1/\sqrt{\mu_0\epsilon_0} = 3 \times 10^8 \text{ m/s}$, 其中 $\mu_0 = 4\pi \times 10^{-7} \text{ H/m}$, $\epsilon_0 = 8.85 \times 10^{-12} \text{ F/m}$ 。电场部分以 V/m 为单位测量,磁场部分的单位是 A/m , 电场(E)与磁场(H)的比定义为空间阻抗。这里需要重点指出的是平面波的波阻抗 Z_0 或者说自由空间的特性阻抗是与场源的距离无关的,也与场源的特性无关。对于平面波:

$$\begin{aligned} Z_0 = E/H &= \sqrt{\mu_0/\epsilon_0} = \sqrt{\frac{4\pi \times 10^{-7} \text{ H/m}}{8.85 \times 10^{-12} \text{ F/m}}} \\ &= 120\pi \text{ 或 } 377\Omega (\text{确切为 } 376.99\Omega) \end{aligned} \quad (2.2)$$

观测到的由波前所携带的能量单位为 W/m^2 。

对于大多数的麦克斯韦方程的应用来说,噪声耦合方式可以用等效元件模型来表示。例如,两个导体之间时变电场可以由一个电容来表示。同样在这两个导体之间的时变磁场可由互感来表示。图 2.5(a)及 2.5(b)解释了这两种噪声的耦合机制。关于互感的一些讨论将在第 4 章中给出。

为了使这些噪声耦合模型有效,回路的物理尺寸和信号波长相比必须要小。当模型并非真正有效的时候,出于下面的原因,我们仍然可以使用集总元件表示的方法来解释 EMC:

(1) 由于有着复杂的边界条件,麦克斯韦方程并不能够直接适用于实际情况。如果我们对这种集总模型的近似有效性没有足够的信心,那么这种模型就是无效的。

(2) 数值模型并不能够表现系统参数与噪声的关系。即使有的模型可能给出解释,但是系统的参数并不能清楚地获知、识别或表现出来,如同上面第一条所解释的。

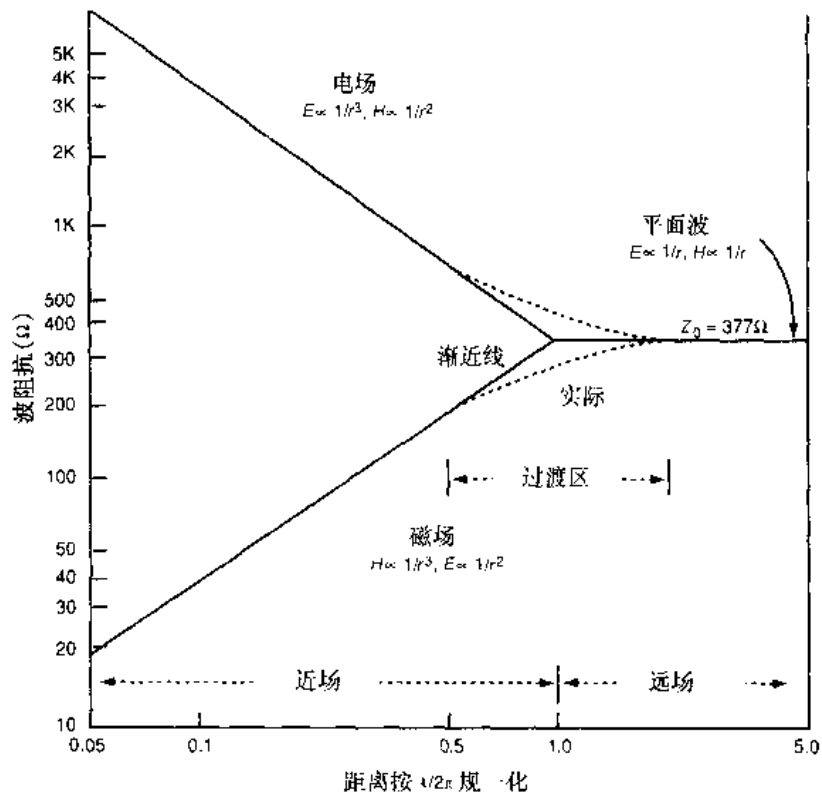


图 2.4 波阻抗与离开波源距离关系

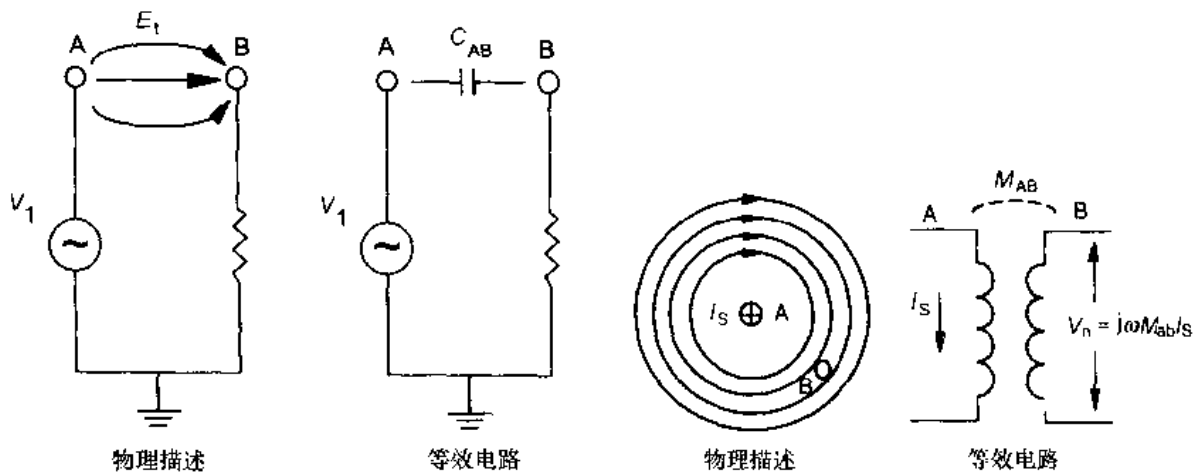


图 2.5(a) 噪声耦合方式——电场

图 2.5(b) 噪声耦合方式——磁场

为什么麦克斯韦方程的理论以及对它的研究对于 PCB 的设计和布线是相当重要的呢？答案很简单。我们必须明白场是如何产生的以便减小这些在 PCB 中产生的射频场。这种减少主要在于减少回路中射频电流的数量。回路中的射频电流直接与信号分配网络的旁路和去耦有关。射频电流基本上是由时钟以及数字信号的谐波产生。信号分布网络应该尽可能的小，以便最大限度减小电流回路的面积。旁路以及去耦关系到电流流向，必须通过一个能量分配网络实现。根据定义，这个网络是一个面积很大的电流回路。

除了回路的面积必须减小外，无终端传输线和过电压产生的电场也必须尽量减小。电场可以通过接适当的终端，接地，滤波器以及屏蔽(密封)来减小。

2.4 麦克斯韦方程的简化——进一步说明

前面已经回顾了麦克斯韦方程的基本概念,我们怎样把物理学和高等微积分与 PCB 中的 EMC 联系起来呢?当把麦克斯韦方程用于 PCB 设计时,为了有一个全面的理解,我们必须“极度简化麦克斯韦方程”。为了运用麦克斯韦方程,我们把它和欧姆定律联系起来。

欧姆定律(时域)

$$V = I \times R$$

欧姆定律(频域)

$$V_{rf} = I_{rf} \times Z$$

V 是电压, I 是电流, R 是电阻, Z 是阻抗 ($R + jX$), 而下标 rf 指的是无线频谱能量。把麦克斯韦方程的简化与欧姆定律联系在一起,假设 RF 电流存在于一条 PCB 走线中,这条走线有固定的阻抗值,那么就会有 RF 电压产生,并且 RF 电压与 RF 电流成比例。注意在电磁学的模型中,电阻 R 被阻抗 Z 代替, Z 是一个复数,包括电阻(实部)和电抗(虚部)两部分。

阻抗方程有不同的形式,取决于我们研究的是平面波的阻抗还是电路的阻抗等等。对于导线或 PCB 走线,用方程(2.3)。

$$Z = R + jX_L + \frac{1}{jX_C} = R + j\omega L + \frac{1}{j\omega C} \quad (2.3)$$

其中 $X_L = 2\pi fL$ (在方程中这一部分仅与导线或 PCB 走线有关)。

$$X_C = 1/2\pi fC$$

$$\omega = 2\pi f$$

当一个元件的电阻和电抗成分是已知的,例如铁氧体珠链、电阻器、电容器或其他一些有寄生成分的器件,方程(2.4)是可用的,当然要考虑阻抗的绝对值随频率的变化。

$$|Z| = \sqrt{R^2 + jX^2} \quad (2.4)$$

对高于几千赫兹的频率,一般情况下,感抗的值会明显超过电阻 R 的值;在有些情况下这不会发生。电流会沿阻抗最小的路径流动。在低于几千赫兹时,最低阻抗路径是电阻最小的路径;高于几千赫兹时,电抗最小的路径则起主导作用。由于大部分电路在高于几千赫兹的频率下工作,因此,对于在传输线结构里,认为电流选择电阻最低的路径流动是一个不正确的概念。

既然对于电流在 10kHz 以上的导线,电流总是选择阻抗最低的路径流动,这时阻抗是与电抗最低路径的阻抗等价的。如果连接到导线、电缆、走线的负载比传输线的并联电容大得多,电感性则成为主导因素。如果线导体近似有相同的截面形状,那么最小电感路径就是环路面积最小的一个。

每一个路径都有一个有限的阻抗值。走线的自感只是 PCB 中 RF 能量产生的原因之一。甚至连接硅片和它的配垫的连接线可能足够长,导致产生 RF 的潜在可能性。电路板上所布走线的自感系数可能很高,尤其是电气尺寸很长的走线。电气尺寸长的走线是指那些物理尺度比较长,以至于在时域中观察时,走线上来回传播的延时信号在下一个边沿触发事件发生前还没有返回到驱动源。从频域上看,电气尺寸长的传输线是指长度超过走线中传输的信号波长约 $1/10$ 。如果 RF 电压通过一个阻抗,我们把着眼点放在电流上。正是这个 RF 电流辐射到自由空间并导致了对发射要求的不兼容性。这些例子帮助我们用相当简单的术语来理解麦克斯韦方程和 PCB。

在一条走线中运动的电荷产生电流并产生磁场。运动电荷产生的磁场也可以用磁力线来描述。磁力线可以很容易地用右手定则来形象化,如图 2.6 所示。为了观察这条规则,把你的右手轻握拳头,并把拇指伸直。电流方向沿拇指的指向(向上),模拟电流在导线和 PCB 走线中的流向。你环绕导线的弯曲的手指就指向磁场或磁力线的方向。时变磁场产生横向正交的电场。RF 辐射包含了电场和磁场。这些场通过辐射或传导的方式存在于 PCB 中。

注意磁场是闭合环路。在 PCB 中,RF 电流是由驱动源产生并通过走线传送到负载的。RF 电流必须要通过回流系统返回它们的源(安培定律)。因此,也就有了 RF 电流回路。这个回路不用必须是圆形的,并且经常是回旋状的。既然该回流过程创造了一个闭合回路,磁场也就产生了。磁场又产生了传播的电场。在近场区,磁场成分占主要地位,而在远场区,电场与磁场的比(波阻抗)大约为 $120\pi\Omega$ 或 377Ω ,与发射源无关。显然,在远场区,磁场可以用环形天线和灵敏度足够的接收器来测量。接收强度仅仅为 $E/120\pi$ (A/m, 如果电场单位为 V/m)。对于电场也一样,可以在近场区用适当的装置进行观测。

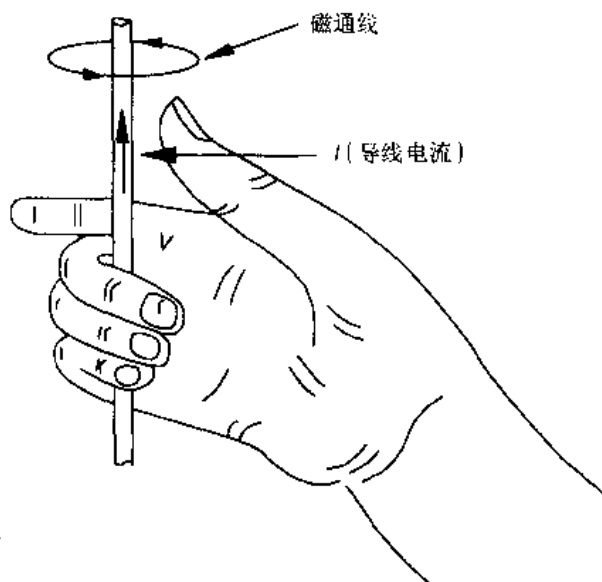


图 2.6 右手定则

图 2.7 和 2.8 给出了另外一种对 RF 怎样存在于 PCB 中的简单解释。这里我们在时域和频域中对一个典型电路进行了研究。根据基尔霍夫定律和安培定律,电路中存在闭合回路才能工作。基尔霍夫电压定律表明沿电路中任何一个闭合路径的电压的代数和一定是零。按照电流源及相对于观察点的位置,安培定律描述了空间观察点的感应磁场。

如果没有闭合回路,信号将不能通过传输线从信号源到达负载。当开关闭合后,电路就是完整的,就会有交流或直流电流流动。在频域中,我们把电流看作 RF 能量。时域和频域的电场不是两种不同类型的电流。电流只有一种,只是既可以在时域中也可以在频域中表示!从负载到源的 RF 回流路径也必须存在,否则电路不会工作。因此,PCB 的构造必须符合麦克斯韦方程、基尔霍夫电压定律和安培定律的要求。

麦克斯韦、基尔霍夫和安培都阐述了如果一个电路要按照设想的那样工作和运行,则必须存在闭合回路网络。图 2.7 描述了一个典型的电路。当有一条走线从源到达负载,那么也必须存在一条电流回流路径,就如基尔霍夫定律和安培定律所要求的一样。

考虑一个典型的电路,开关与源驱动串联(图 2.8)。当开关闭合时,电路按预想的那样运行;当开关打开时,电路将不工作。对时域来说,有用信号分量从源传到负载。这个信号必须有回流路径电路才是完整的,一般通过 0V(接地)回流结构(基尔霍夫定律)。RF 电流从源流到负载并且必须沿阻抗最低路径返回,经常是一个接地走线或接地平面(也指镜像平面)。安培定律对存在的 RF 电流的描述是最好的。

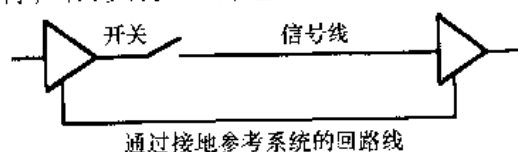


图 2.7 闭合回路电路

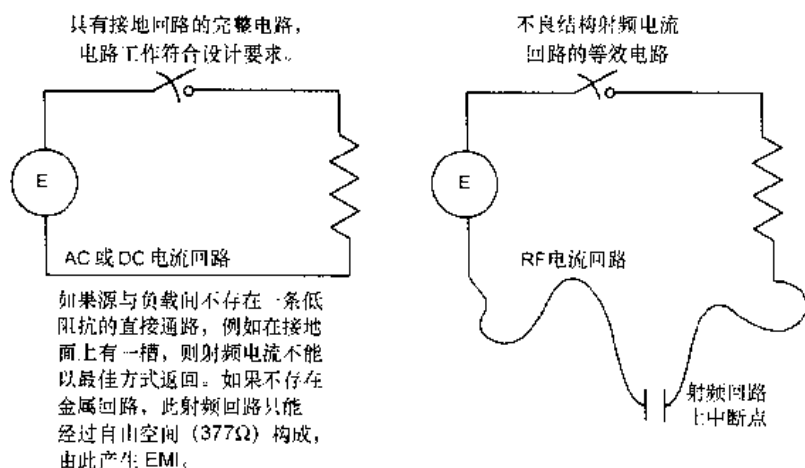


图 2.8 闭合回路电路的表示

2.5 通量消除的概念(通量最小化)

为了考核一个关于 EMI 是怎么在 PCB 中产生的基本概念,我们来研究磁力线在传输线中产生的基本机制。磁力线是电流流过阻抗时产生的,电流可能是恒定的也可能是时变的。网络中的阻抗总是存在于走线、元件引脚线、通孔以及类似的地方之中。如果磁力线像麦克斯韦定义的那样存在于 PCB 中,那 RF 能量的各种传输路径一定也存在。这些传输路径可以通过自由空间传播,或者通过互相连接的电缆传送。

为了消除 PCB 中的 RF 电流,就必须讨论通量消除或通量最小化的概念。虽然“消除”这个术语在整个这一章都被用到,但是我们可以用术语“最小化”代替。因为在传输线中磁力线是沿逆时针方向的,如果我们把 RF 返回路径与对应的源路径平行并与其靠近,在返回路径中的磁力线(逆时针方向的场),相对于源路径中的磁力线(顺时针方向的场),将是相反的方向。当我们把顺时针方向的场和逆时针方向的场结合起来,就会发现抵消的效果。如果源和返回路径之间的磁力线被消除或减小,那么除了在走线的极小的边界中,辐射或传导的 RF 电流就不存在了。这样,实现通量消除的方法是简单的。然而必须注意在应用通量消除或减小技术时发生的许多失误和疏忽。由于一个小失误,可能会引发很多额外的问题,加重 EMC 工程师诊断和纠正工作。应用通量消除技术最简单的途径是采用“镜像平面”² 技术。无论我们对 PCB 的设计和處理多么好,磁场和电场总是会存在的。如果我们将磁力线抵消掉,那么 EMI 就不存在了。这是如此的简单!

怎样在 PCB 布线中消除或减小磁通量? 真正实现起来会遇到更多的困难。各种设计和布线技术对设计工程师来说都是有用的。下面是对这些技术的一些简要的总结。虽然下面的项目还没有被讨论过,但每一条都会在这本书的各章节中详细论述的。这些技术包含下面列出的这些,但不仅限于下面这些。

- 在多层板中适当的分层和阻抗控制。
- 安排时钟走线临近返回接地平面(多层 PCB)、接地栅格,或一条接地或防卫走线(单面

注 2: 见 R. F. German, H. Ott, and C. R. Paul, 1990, "Effect of image plane on PCB radiation," *Proceedings of IEEE International Symposium on Electromagnetic Compatibility*, New York: IEEE, PP. 284 - 291。

和双面板子)。

- 把磁流量束缚在元件塑料封装内部 0V 参考系统以减少元件辐射。
- 仔细选择逻辑系列器件以使从元件和走线辐射分离出的 RF 频谱部分最小(用边缘速率更低的器件)。
- 通过减小时钟产生电路中所产生的 RF 驱动电压来减小走线中的 RF 电流。例如,晶体管—晶体管逻辑(TTL)与互补金属氧化半导体(CMOS)。
- 减小电源和接地平面结构中的接地噪音电压。
- 当所有器件接头在最大电容负载下同时切换时,器件会消耗能量,要为这些器件提供足够的去耦。
- 适当的终接时钟和信号走线来防止振铃、过脉冲、欠脉冲的产生。
- 在选定的网络中用数据线过滤器和共模扼流圈。
- 当有外部 I/O 电缆提供时,正确应用旁路(不是去耦)电容器。
- 为那些辐射大量内部共模 RF 能量的元件提供接地散热器。

在上述条目中可以看到,磁通量只是 EMI 在 PCB 中产生的部分原因。另外一些相关的主要方面如下:

- 在电路和 I/O 电缆之间存在共模和差模的电流。
- 产生磁场的接地回路。
- 元件辐射。
- 阻抗不匹配。

要记住 EMI 发射的主要部分是共模引起的。这些共模信号是由于在电路板或电路设计中将场最小化的结果产生的。相关的内容在后面的章节中讨论。

2.6 趋肤效应和引线自感

趋肤效应是麦克斯韦第 3 和第 4 方程的一个结论,是关于施加在一个有电流流动的均匀媒质上的电压,例如元件的引线或 PCB 走线上的。如果电压维持为恒定的直流,电流在整个传输路径上是均匀的。电流趋于均匀需要一段时间。电流首先在导体的外侧边沿上流动,然后扩散到导体内部。

当源电压不是直流,而是高频的交流,电流将趋向集中在导线的表面流动。这种现象称为趋肤效应。趋肤深度定义为导体内部电磁场和电流的大小减小到导体表面值的 37% 时,该点到导体表面的距离。

我们通过(2.5)式定义趋肤深度(δ):

$$\delta = \sqrt{\frac{2}{\omega\mu_0\sigma}} = \sqrt{\frac{2}{2\pi f\mu_0\sigma}} = \frac{1}{\sqrt{\pi f\mu_0\sigma}} \quad (2.5)$$

其中, ω = 角(rad)频率($2\pi f$)

μ_0 = 物质的磁导率($4\pi \times 10^{-7} \text{H/m}$)

σ = 物质电导率(对铜为 $5.82 \times 10^7 \Omega/\text{m}$)

f = 频率(Hz)

表 2.1 给出了在不同频率下 1mil 厚的铜片的趋肤深度的简表(1 mil = 0.001in = $2.54 \times$

$10^{-5}\text{m})$ 。

当(2.5)式中的 3 个参数任何一个变大时,趋肤深度就会减小。导体的趋肤深度在高频时是很薄的,典型的是在 100MHz 时,趋肤深度值是 0.0066mil 或 $6.0 \times 10^{-6}\text{in}$ (0.0017mm)。电流趋向于集中在厚度为 δ 的导体表面层中。当有高频的 RF 电流时,电流将集中在导体表面附近的狭窄的层带里,称为趋肤。

表 2.1

铜层的趋肤深度

f	δ
60Hz	0.0086 in (8.6mil, 2.2mm)
100Hz	0.0066 in (6.6mil, 1.7mm)
1kHz	0.0021 in (2.1mil, 0.53mm)
10kHz	0.00066 in (0.66mil, 0.17mm)
100kHz	0.00021 in (0.21mil, 0.053mm)
1MHz	0.000066 in (0.066mil, 0.017mm)
10MHz	0.000021 in (0.021mil, 0.0053mm)
100MHz	0.0000066 in (0.0066mil, 0.0017mm)
1GHz	0.0000021 in (0.0021mil, 0.00053mm)

在工作频率使得导线半径开始影响趋肤深度之前,导线的内自感等于它的直流电阻,与导线的半径无关。低于这个特定频率时,导线电阻以 $\sqrt{f}$ 或 10dB/十倍频增加。内自感是导线内部横向磁场在导线单位长度上产生的电感。传输线外部的磁通量产生的电感也构成单位长度导线的总的自感的一部分,称为外自感。超过这个特殊频率,导线的内自感以 $\sqrt{f}$ 或 -10dB/十倍频减小。

对于实芯的圆铜导线,有效直流电阻用(2.6)式表示。表 2.2 详细给出了(2.6)式中用到的一些参数。信号可能因为铜导体的电阻和铜表面的趋肤效应造成的损失而被进一步削弱。铜的电阻可能会使稳恒电压级别降到抗噪声功能要求的量级以下。这个情况在高频差模设备(例如发射耦合逻辑)中特别明显,在这些地方电压分配器由终端电阻器和线电阻器构成。

$$R_{dc} = \frac{L}{\sigma \pi r_w^2} \quad (\Omega) \quad (2.6)$$

其中 L 是导线的长度, r_w 是半径(见表 2.2), σ 是电导率。单位必须是对公式计算合适的。当频率增加时,穿过导线横截面的电流将趋于向导体的外侧边缘集中。当趋肤深度小于导线半径时,最终电流将集中在导线表面,其厚度为(2.7)式所描述的趋肤深度。

$$\delta = \frac{1}{\sqrt{\pi f \mu_0 \sigma}} \quad (2.7)$$

在不同的频率:

δ = 趋肤深度

μ_0 = 铜的磁导率($4\pi \times 10^{-7}\text{H/m}$)

σ = 铜的电导率($5.8 \times 10^7\Omega/\text{m}$)

$$\omega = 2\pi f$$

高频下导体自感的一个基本的近似值是：

$$L = 0.00511(2.38 \ln \frac{4l}{d} - 1) \quad (2.8)$$

l 是导体的长度, d 是导体的直径, 单位与 l 相同(in 或 cm)。因为 l/d 的对数关系, 在几百赫兹以上时, 大直径导线的阻抗中的电抗部分就完全超过了电阻部分。

表 2.2 导线的物理特性

导线标准 (AGW)	固体导线 直径(mil)	单根导线 直径(mil)	R - 固体导线 ($\Omega/100ft$) @25°C
28	12.6	16.0(19×40) 15.0(7×36)	62.9
26	15.9	20.0(19×38) 21.0(10×36) 19.0(7×34)	39.6
24	20.1	24.0(19×36) 23.0(10×34) 24.0(7×32)	24.8
22	25.3	30.0(26×36) 31.0(19×34) 30.0(7×30)	15.6
20	32.0	36.0(26×34) 37.0(19×32) 35.0(10×30)	9.8
18	40.3	49.0(19×30) 47.0(16×30) 48.0(7×26)	6.2
16	50.8	59.0(26×30) 60.0(7×24)	3.9

因此, 在两点之间获得真正的低阻抗连接是不切实际的, 例如仅用导线对一个电路进行接地。这样的一个连接将可能引起电路之间的电压耦合, 因为电流流过了数量可观的公共阻抗。

2.7 共模和差模电流

在任何电路中都存在共模(CM)和差模(DM)电流。共模电流和差模电流都决定了传播的 RF 能量的大小。在两者之间有较大的区别。如果给定一对导线或走线, 一个返回参考源, 那么这两种模式中的一种将会存在, 通常是都存在的。一般来说, 差分模式信号携带数据或有用

信号(信息)。共模模式是差分模式的负面效果,并且对电磁兼容性是最麻烦的(共模模式和差分模式电流的表示稍后将在本章的图 2.10 中给出)。

共模模式的电流大小要比差分模式的电流小得多,但它能产生过高的辐射电场。由于两条传输路径不是 100%的一致,因此差模电流的辐射只能减少,不能完全消除。另一方面,共模电流却增大了。实际上,对于长为 1m,且导线分开 50mil 的电缆(一种典型的带状电缆)是可以进行计算的。一个 20mA 的差模电流,或 8 μ A 的共模电流在 30MHz 时,将在 3m 远的地方产生一个强度为 100 μ V/m 的辐射电场,这刚刚符合美国通信委员会(FCC)的 B 级限定[4,5]。这两种模式的电流大小之比为 2500(或 68dB)。较小的共模电流能够产生强度很高的辐射。很多因素都能导致共模电流,例如与传导平面相距一定的距离以及其它结构。很小的共模电流能和很大的差分电流产生大小相等的 RF 辐射能量,这是因为共模电流不能在 RF 返回路径中进行磁力线的抵消。

当用仿真软件预测来自 PCB 的 I/O 连接处产生的辐射时,经常是对差分模式进行分析,但仅仅依靠差分模式(传输线)电流来预测辐射大小是不可能的。由于大量的因素和寄生参数的影响,使差模电压产生共模电流,因此仅计算差模电流去预测 PCB 走线辐射是完全不足的。这些参数一般不能预测,因为它们具有任意性、多样性。比如它们在边沿切换时,动态地存在于 PCB 结构中。

2.7.1 差模电流

差模电流是 RF 能量的组成部分,它在信号通路和返回通路中均存在,但彼此反相。如果这两种电流正好有 180°的相位改变,RF 差模电流将被消去。然而,由于元件从电源分配网络吸取电流而引起的接地波动(不平衡)和电源层波动的结果,将引起共模电流的出现。

差模信号的作用:

- (1) 传送需要的信息
- (2) 产生相反的场并在设置恰当时使场相互抵消,以使干扰减到最小

在差分模式下,电路设备输出一个电流到负载。同时存在一个等值的返回电流。这两个大小相等、沿相反方向流动的电流,代表了标准的差模工作方式。我们并不想完全消除差模工作的影响。因为一个电路板只能做得尽量像完善的自屏蔽环境(如同轴电缆),完全的电场俘获和磁场抵消是不可能达到的。剩下的不能互相抵消的场是产生差模 EMI 的源。控制共模 EMI 和串扰的关键是通过适当的源控制和对能量耦合机制仔细处理去控制过量的能量场。

2.7.2 差模辐射

差分模式辐射是系统结构里的 RF 电流回路中电流的流动引起的。对一个小的环形接收天线,当它在地平面之上的场中工作时(自由空间不是一个典型环境),这个 RF 能量可以近似表示为[3]

$$E = 263 \times 10^{-16} (f^2 \times A \times I_S) \times (1/r) \quad \text{V/m} \quad (2.9)$$

其中 A 为环形天线的面积(cm^2), f 是频率(MHz), I_S 是源电流(mA),而 r 是从发射源到接收天线之间的距离。

额外的地面反射可以使测量值增加 6dB。

在大部分的 PCB 中,主要的辐射源产生于在各元件之间、电源里以及 0V 电压平面中流动的电流。辐射传播可以用一个携带 RF 干扰电流的小环形天线来模拟(如图 2.9)。当信号从源传到负载时,在能量返回系统中一定存在有返回电流。一个小回路是一个尺寸比特定频率下的波长的 1/4 还小的回路,这个特定频率就是在回路中流动的 RF 电流的频率。对于大部分 PCB,一直到几百兆赫兹,与频率对应的小尺寸回路都存在。

最大的回路面积也有一个明确的规格限定,如(2.10)式所示:

$$A = \frac{380rE}{f^2 I_s} \quad (2.10)$$

反过来,由临界面积的闭合回路产生的最大的场强是

$$E = \frac{Af^2 I_s}{380r} \quad (2.11)$$

其中 E = 最大辐射场强($\mu\text{V}/\text{m}$), r = 回路和测量天线之间的距离(m), f = 频率(MHz), I_s = 电流(mA), A = 回路面积(cm^2)。

在自由空间,辐射能量与天线和辐射源之间距离的平方成反比下降(译者修正)。在 PCB 上由特定电流形成回路面积必须是已知的,并且是走线和电流返回通路之间确定的回路的总面积。方程(2.10)和(2.11)适用于单一频率电路。必须根据每一个环路(不同的回路面积)和每一个频率对方程进行求解。

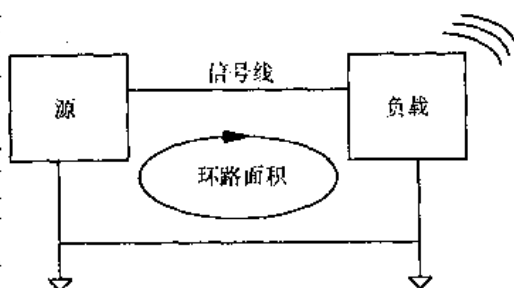


图 2.9 电路组成部分之间的环路区域

使用方程(2.10)式,我们可以决定在涉及辐射传输时,一个特殊布线的拓扑是否需要特别的关注。这种特别关注可能包括对带状走线重新布线、变更布线的拓扑、设置电源和负载位置使它们更加接近,或给系统提供外部屏蔽(密封)。

例子:

假设位于一个 PCB 上的两单元之间存在一个盘旋形状的电路上走线,作为一个没有 RF 电流返回路径的偶极子天线: $A = 4\text{cm}^2$, $I_s = 5\text{mA}$, $f = 100\text{MHz}$ 。在 10m 远处的场强是 $52.6\text{dB}\mu\text{V}/\text{m}$ 。对 EN 55022³, B 级的辐射传输限制,场强为 $30\text{dB}\mu\text{V}/\text{m}$ (准峰值)。这种回路面积的布线在许多高技术 PCB 设计中是典型的,而产生的场强高出标准规定 $22.6\text{dB}\mu\text{V}/\text{m}$!

2.7.3 共模电流

共模电流是 RF 能量的组成部分,它在信号通路和返回通路中都存在,一般是同相位的。由共模电流引起的 RF 场的测量值是信号通路和返回通路上存在的电流产生的场的总和。这个求和很重要,它是 RF 辐射尤其是 I/O 电缆辐射的主要原因。共模电流是由于差模电流抵消不良造成的。差模电流抵消不良是由于两条信号传输通路不平行引起的。如果差模信号不是精确地反相,那么电流就不能完全抵消。没抵消的那一部分 RF 电流就是共模电流。

注 3: EN 55022, 一个国际测试规范,说明测量信息技术设备的无线干扰特性的方法和有关限制。

共模信号:

- (1) 是辐射的主要源泉;
- (2) 不包含有用信息。

共模起源于公共金属结构(比如电源面和接地层)中的公共电流。典型的发生条件是电流从导电平面内意料之外的通路流过。当返回的电流与它们原来的信号通路不配对(比如在平面内有裂缝等),或者几个信号有公共返回区域,共模电流就将产生。由于这些平面具有有限的阻抗,共模电流就在上面建立起瞬时的 RF 电压。这种 RF 瞬时电压在其它导电表面和信号线上建立起电流,它们就会像天线一样辐射 EMI。最一般的结果是在进出 PCB 的导体和电缆的屏蔽上建立了共模电流。防止共模 EMI 的关键是理解并通过控制电源和接地面的位置及导电面内电流来控制电源和返回电流的通路,并且根据系统和产品的情况来提供合适的 RF 接地。

在图 2.10 中,电流 I_1 代表从电源 E 流向负载 Z 的电流。电流 I_2 是返回电流,它经常看成是镜像面、接地面或零电压参考面。测量到的共模电流的辐射电场是 I_1 和 I_2 产生的场的总和。

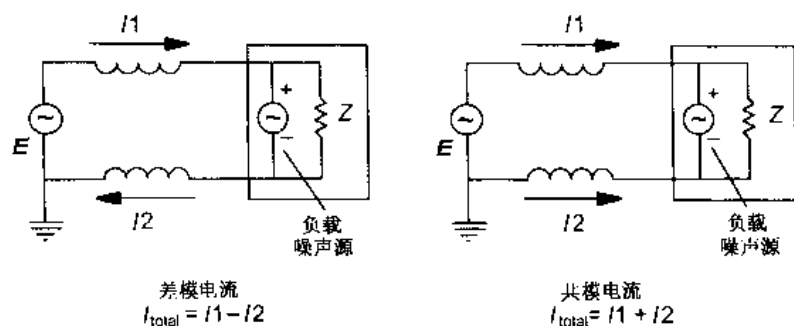


图 2.10 共模和差模电流构造图

在差模电流存在的条件下,电场分量等于 I_1 和 I_2 的差。如果 I_1 恰好等于 I_2 ,电路就不存在差模电流辐射(假设观察点与电路之间的距离比载有电流的两个导体之间的距离要远得多),因此,也就没有 EMI。只有当 I_1 和 I_2 之间的电气距离很小时,这种情况才发生。抵消差模电流辐射的设计和布线技术很容易在 PCB 中实现,采用镜像面或返回通路(比如保护线)就可以(参见第 4 章第 13 节)。另一方面,共模电流产生的 RF 场就很难抑制。共模电流是 EMI 的主要来源。所观察到的差模电流产生的辐射电磁场极少,这是很显著的。

用接地面(对于单、双面板用接地线)实现 RF 电流返回通路是最好的方式。返回通路中的 RF 电流将与源通路中的 RF 电流相耦合(磁力线方向彼此相反)。耦合的磁通量由于场的方向相反会相互抵消而接近于零(通量抵消或最小化)。但是,如果电流返回通路的阻抗不是最小的,残留的共模 RF 电流就将得到放大。PCB 上总是存在一些共模电流,这是由于信号线和返回通路之间必定存在一定的距离间隔(通量抵消几乎接近 100%)。没有抵消掉的部分差模返回电流就成为残留的 RF 共模电流。这种情况在许多条件下都会发生,尤其是当电路的接地参考之间存在差异时,这包括接地抖动、线路阻抗不匹配和去耦不充分。

根据磁场/闭合回路和电场源的关系,可以将差模电压和共模电流联系起来。磁场/闭合回路和电场源之间的关系在本章的前面已经讨论过了。

为了将差模/共模同磁场/闭合回路和电场源做比较,考虑一对载有差模信号的平行线。

RF 电流在线中沿相反方向流动(发生耦合),因此,线中包含了产生的 RF 场。实际上,这种耦合不可能是 100%的,因为两条线之间存在一定的距离。这个有限的距离与我们讨论的概念相比是微不足道的。这个平行线装置将作为平衡的传输线将干净的差分信号送到负载。

采用同样的一对线,看看当共模电压加在线上时会发生什么。既然两条线载有相同的电压,那么就没有有用信息传到负载。这对线现在相对于地面来说就可以作为驱动天线。它以极高的效率辐射无用的共模电压。共模电流一般可在 I/O 电缆中观察到。这就是为什么 I/O 电缆会产生辐射。差模电流引起共模电压的机制会在第 3 章详细说明。图 2.11 解释了一块 PCB 和内部连接电缆是如何允许差模和共模电流存在的。

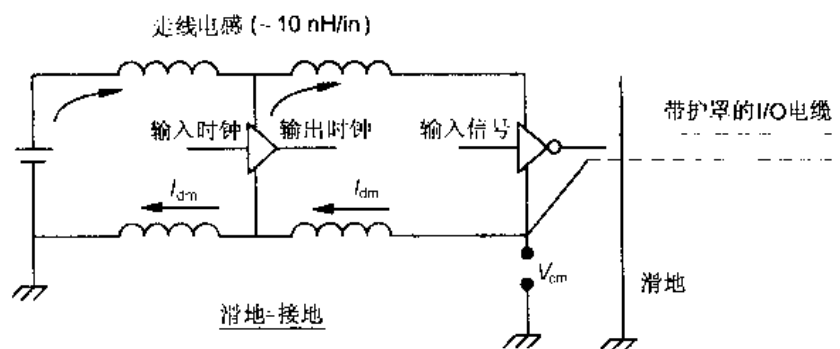


图 2.11 差模和共模电流的系统等效电路

2.7.4 共模辐射

共模(CM)辐射是由于在电路设计之外的电压降造成的,这种电压降致使电路的一些接地部分的电压比真实的参考地面高。与受影响的接地系统相连的电缆就作为天线,辐射 CM 的场分量。远场电分量可用式(2.12)描述:

$$E \approx (f I_{cm} L) / R (\text{V/m}) \quad (2.12)$$

其中, L = 天线长度 (m), I_{cm} = 共模电流 (A), f = 频率 (MHz), R = 距离 (m)。

在电流和天线长度恒定的情况下,特定距离的电场正比于频率。与差模辐射不同,差模辐射很容易利用适当的设计来减弱,但共模辐射相当难解决。设计者唯一知道的变量(如果它能够确定的话)就是共模电流的共模通路阻抗。为了消除或减弱共模辐射,共模场必须接近零。这可以通过采用灵敏接地方案实现。

2.7.5 差模和共模的转变

共模电流可能与所设计的信号源无关(例如它们可能来自其他设备),也可能共模电流中的一部分与信号电流有关。

当存在两个具有不同阻抗的信号线(或导体)时,差模和共模就可以互相转变。对 RF,这些阻抗主要由与走线(或内连电缆)的物理布线相关的导线或梳状电容和电感决定。对于大部分的 PCB 布线来说,设计者主要是控制网络中的寄生电容和电感,并使其最小,从而避免差模和共模电流的产生。

为了解释这种影响,图 2.12 中显示了差模电流 I_{dm} ,这是需要的信号,它经过 R_L 。共模电流 I_{cm} 不直接经过 R_L ,它将流过阻抗 Z_a 和 Z_b ,然后通过回流结构返回。阻抗 Z_a 和 Z_b 并不是

物理元件。它们是网络中存在着的寄生电容或寄生电感的转移阻抗。寄生电容存在的原因是在一条走线,并同 RF 返回通路不一致。寄生电容是由电源面与接地面的距离分离、去耦电容器、设备的输入电容、互连电缆以及产品设计中存在的其它诸多因素引起的。如果 Z_a 等于 Z_b , I_{cm} 就不会在 R_L 上形成电压。如果网络中存在不等 ($Z_a \neq Z_b$), 电压差将正比于阻抗差。

$$V_{cm} = I_{cm} \times Z_a - I_{cm} \times Z_b = I_{cm}(Z_a - Z_b) \quad (2.13)$$

图 2.12 显示了由于杂散电容的存在,差模转变为共模的例子。需要平衡电压和接地参考,因为高频信号电路有可能干扰其它信号线路或辐射 RF 能量(视频、高频数据等),所以对外界影响敏感的线路,必须通过某种方式达到平衡,使得每个导体的引线或梳状电容以及寄生电容相等。

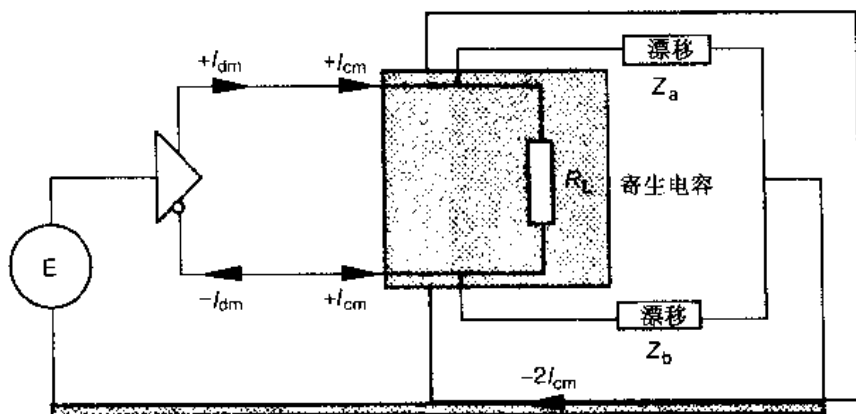


图 2.12 差模到共模的转换

2.8 传播速度

这一部分讨论这本书中用到的背景知识。传播速度 V_P 是数据通过导体媒介传播的速度。在空气中传播速度就是光速。在介质材料中,传播速度较慢(近似等于光速的 60%,取决于材料的 ϵ_r),由公式(2.14)给出

$$V_P = \frac{c}{\sqrt{\epsilon_r}} \quad (2.14)$$

其中, $c = 3 \times 10^8 \text{ m/s}$, 或者大约 11.8 in/ns (30 cm/ns); ϵ_r = 相对介电常数(将空气和 PCB 材料相比较)。

表 2.3 给出了制造 PCB 的各种材料的介电常数。制造 PCB 最一般的材料 FR-4, 它在 100MHz 时介电常数 ϵ_r 为 4.1。一般认为 ϵ_r 在 4.5~4.7 之间。设计师已经用这个较大的值若干年了,它是在最初测量时用 1MHz 的信号测得的,并不是材料在实际工作条件下的测量结果。

实际上,一个 1MHz 的测量信号并不适合今天的高技术产品。由于这个原因,设计师使用的 PCB 参考材料的 ϵ_r 会更高。采用时域反射计(TDR)测量信号在线路中的实际传输时延就可以确定 ϵ_r 的精确值。表 2.3 中的值就是由 TDR 记录的典型的、高边沿速率的信号得到的。空气的有效 ϵ_r 约为 1,远小于绝大多数产品一般使用的 PCB 材料的值。

对于微带线结构,相对介电常数可能比材料制造商提供的值要高。这是由于能量流一部

分在空气中传输，一部分在介质中传输的缘故。微带线的差异及其解释将在第 6 章介绍。

表 2.3 PCB 材料介电常数和波速

材料	相对介电常数 ϵ_r	速度(in/ns)	速度(ps/in)
空气	1.0	11.81	84.7
PTFE/玻璃 (聚四氟乙烯)	2.2	7.96	125.6
Rogers RO 2800	2.9	6.94	144.2
CE/Goreply (氰化酯)	3.3	6.50	153.8
CEFEK	3.6	6.23	160.6
CE/玻璃	3.7	6.14	162.8
二氧化硅	3.9	5.98	167.2
BI/玻璃	4.0	5.90	169.3
聚酰亚胺/玻璃	4.1	5.83	171.4
FR-4 玻璃	4.1	5.83	171.4
玻璃沙布	6.0	4.82	207.4
氧化铝	9.0	3.93	254.0

注：上述值是通过采用速度技术在 TDR 频率处测得，而非在能提供高 ϵ_r 的 1MHz 频率测得的。

2.9 临界频率($\lambda/20$)

临界频率指的是 RF 电流波形受到 RF 干扰的部分。如果需要满足 EMC 标准,任何小于临界波长 1/20 的波都要引起注意。可以利用下面的公式确定一个信号的临界频率和对应的波长

$$\begin{aligned} f(\text{MHz}) &= \frac{300}{\lambda(\text{m})} = \frac{984}{\lambda(\text{ft})} \\ \lambda(\text{m}) &= \frac{300}{f(\text{MHz})} \\ \lambda(\text{ft}) &= \frac{984}{f(\text{MHz})} \end{aligned} \tag{2.15}$$

这本书中,重要的是临界频率或有高度危害性的时钟和长度大于 $\lambda/20$ 的走线。表 2.4 总结了由公式(2.15)得出的各种各样的频率和它们各自的波长。

表 2.4 频率/波长变换

频率	λ	$\lambda/2\pi$	$\lambda/20$ 波长
10MHz	30.0m	4.8m	1.5m(5ft)
27MHz	11.1m	1.8m	0.56m(1.8ft)

频率	λ	$\lambda/2\pi$	$\lambda/20$ 波长
35MHz	8.57m	1.4m	0.43m(1.4ft)
50MHz	6.00m	95cm	0.3m(12in)
80MHz	3.75m	60cm	0.19m(7.5in)
100MHz	3.00m	48cm	0.15m(5.9in)
160MHz	1.88m	30cm	9.4cm(3.7in)
200MHz	1.50m	24cm	7.5cm(3in)
400MHz	75cm	12cm	3.6cm(1.4in)
600MHz	50cm	7.9cm	2.5cm(1.0in)
1000MHz	30cm	4.8cm	1.5cm(0.6in)

2.10 抑制 RF 能量的基本原理和概念

2.10.1 基本原理

解决辐射问题的基本原理是解决射频时 PCB 内产生的共模噪声。这些基本原理用于处理从源传到负载的能量。共模电流可以在电路的任何地方产生,并不一定是电源分配系统。对于电源、返回通路和其他导体,共模电流的定义是一样的。为了使共模电流形成闭环,一般要提供一个共同的参考点。既然电荷的运动通过阻抗(线、电缆、电线),就会在这个阻抗上产生电压。如果存在走线残根、I/O 电缆、外壳裂缝或狭孔,这个电压将造成辐射发射。

以下原理将在以后章节讨论。

(1) 对于高速逻辑,由于高的基准频率和短的上升时间,将存在高频分量(第 3 章)。

(2) 为了减少 RF 电流的分布,必须以有效的方式提供合适的 PCB 布线、元件摆放并允许 RF 电流返回它们的源,以防止 RF 能量在结构中传播(第 4 章)。

(3) 为了减少共模 RF 电流的增大,应引入开关装置的合适的去耦、减少平面结构内的电压不平衡和地面噪声电压的措施(第 5 章)。

(4) 为了减少 RF 电流的传播,传输线结构必须存在合适的终端。低频时,RF 电流不是主要问题。高频时,RF 将存在,并易于辐射(第 8 章)。

(5) 有必要使用合适的接地方法,提供理想的零参考系统(第 9 章)。

2.10.2 基本概念

抑制 PCB 内 RF 能量的一个基本概念是通量抵消或通量最小化。正如前面讨论的,电流在走线(或连接结构)中流动产生磁力线。这些磁力线产生电场。两种场结构都会辐射 RF 能量。如果我们将磁力线抵消或减到最小,那么除了走线和镜像面之间的范围内,其余地方将不存在 RF 能量。通量抵消或最小化实际上保证了与规范要求的一致性。

为了将辐射减到最小,必须理解以下两个概念:

(1) 减小由于阻抗两端存在电压引起的共模电流。

(2) 减少共模电流在网络中的分布。

由于下列事件的影响,PCB 内通量抵消或通量最小化是必须的:

(1) 电流瞬变是由于高频信号的产生造成的(高频信号是周期信号(比如时钟)和电源面和接地面需要的非周期信号(比如高速数据总线)的混合)。

(2) 反过来,RF 电压是电流瞬变和提供的返回通路造成的(欧姆定律)。

(3) 共模 RF 电流是由建立在源和负载之间不合适的返回通路上的装置的 RF 电压降造成的(RF 差模电流抑制不充分)。

(4) 由于共模 RF 电流的存在,辐射能量将传播。

下面概括一下第 3 章和第 4 章要讲的内容。

由于多层板可以通过带状线和微带线控制阻抗,所以它能提供较好的信号质量和 EMC 性能。电源面和接地面的分布阻抗必须极大地降低。这些面含有因逻辑交叉、瞬间短路和宽总线上的容性负载造成的 RF 谱电流浪涌。微带(带状线)设计的中心问题是理解通量抵消或通量最小化,它们就是要减小(控制)传输线的电感。各种逻辑器件输入输出总线的电流比可能是不对称的。

PCB 的非对称电流引起不平衡现象的存在。通量抵消或通量最小化就与这种不平衡有关。通量抵消可通过电源面或接地面或电源面和接地面的返回电流实现,这取决于分层和元件技术。对于 TTL 来说,接地(负)返回电流较好。而对于 ECL 来说,正的返回电流最好。这就是为什么 ECL 用 25.2V 而且地平面接了很多正线的原因。CMOS 或多或少比较对称,因此,平均说来,接地面和电压面之间很少出现差异。我们必须在看过整个等效电路之后才能下结论。

在有 3 个或更多完整板的多层集合板(比如,一个电源板和两个接地板)中,当 RF 电流返回路径临近于完整返回面,并且在整个通路上具有共同电压时,那么理想的通量抵消就可以实现。这种说法的原因就是实现 PCB 内通量抵消的基本概念之一。

为简要地重申这个与通量抵消或通量最小化有关的重要概念,我们要注意,并不是所有元件上下总线时的电流比都是一样的。比如,一些器件上线电流 15mA,下线电流 65mA。其它器件的上线电流和下线电流均为 65mA。当这些器件在一块 PCB 中并同时切换时,将会发生不对称的电源消耗。这种不对称的状况在电源面和接地面结构中造成不平衡。板一级的抑制的基本概念在于板内线、元件、电路参考 0V 的 RF 电流的通量抑制(减少)。由于这种电流相位偏移,使得电源面在通量抵消上做得不如接地面好。因此,为了获得理想的性能,布线应接近 0V 参考面,而不是电源面。

2.11 总结

PCB 内引起 EMC 主要有以下几点:

1. 高频周期信号的存在导致瞬时电流的产生。

2. 电流流过公共返回阻抗路径在元件上产生 RF 电压降。

3. 接地回路或接地参考的不完善产生不平衡的差模电流,不平衡的差模电流又导致共模电流的产生。

4. 观察到的电磁辐射一般是由共模电流造成的。

参 考 文 献

- [1] Montrose, M. I. 1996. *Printed Circuit Board Design Techniques for EMC Compliance*. Piscataway, NJ: IEEE Press.
- [2] Gerke, D., and W. Kimmel. 1994. "The Designers Guide to Electromagnetic Compatibility." *EDN* (January 20).
- [3] Ott, H. 1988. *Noise Reduction Techniques in Electronic Systems*. 2nd ed. New York: John Wiley & Sons.
- [4] Paul, C. R. 1992. *Introduction to Electromagnetic Compatibility* New York: John Wiley & Sons.
- [5] Paul, C. R. 1989. "A Comparison of the Contributions of Common-Mode and Differential-Mode Currents in Radiated Emissions." *IEEE Transactions on EMC* 31,2:189-193.

第3章 元件与电磁兼容

一个众所周知的事实是射频能量谱是由印刷电路板内的开关电流产生的。这些电流是数字元件产生的副产品。在一个电源分配系统中每一个逻辑状态的改变都会产生一个瞬间的电涌。大多数情况下,这些逻辑状态的改变不会产生足够的接地噪声电压造成任何功能性的影响。当一个元件的边沿速率(上升和下降时间)变得相当快的时候便会产生射频能量。

电源分配系统中的瞬态尖峰电压会产生接地噪声电压。这种接地噪声电压首先是差分模式(DM)噪声。然后,差模噪声会转变为共模(CM)电流。共模电流是产生射频能量的主要原因。在能量分配网络中,通过最大限度地减小差模噪声,可以减小共模电流。

这一章研究有源元件(数字逻辑)以及它们与差模噪声的关系。无源元件已经在第2章中讨论过了。除了与发射有关的数字逻辑部件中的参数和性能以外,还要讨论敏感度和自兼容性问题。

3.1 边沿速率

当为一个特殊应用选择数字器件的时候,设计工程师一般来讲仅仅把注意力放在功能和运行速度上,并根据生产厂商公布的器件内部逻辑门的传输时延来进行选择,而不考虑输入和输出信号的实际边沿速度。

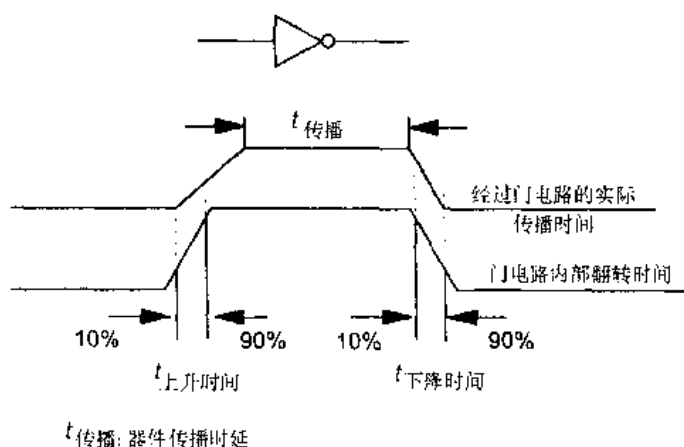
由于器件的速度在不断提高(内部传输时延更小),这就可能导致差模电流增大、串话和阻尼振荡的发生。在运行速度和电磁干扰之间存在一个相反的关系。许多器件内部的逻辑门的工作边沿速率比功能上要求的传播时延更快。由于传输时延是电路的主要功能,因此较慢的逻辑器件系列(内部的逻辑门)对于EMI来说就是首先应考虑。图3.1表明一个基本的非门的内部变换速度与传输时延之间的关系。

仅仅当信号的边沿速度(上升或下降时间)足够快,以至于有用信号改变逻辑状态的时间不超过信号通过走线或导线所用时间的时候,速度才是重要的。对满足电磁兼容性来讲,真正的时钟频率是放在第2位考虑的,而边沿速度才是我们首要关心的问题。

各种各样的逻辑系列要根据不同的设计特点来选取。这些特性随CMOS、TTL、ECL有所不同,还包括输入功率、封装外形、速度-功率组合、电压波动大小和边沿速率等。某些逻辑器件能够在保持精确的传输时延的同时,利用时钟偏移电路减缓内部逻辑门的边沿速率。

一个通常不被元件的生产厂商说明,但相当重要的元件参数(对于电磁兼容来讲)是功率峰值时涌入电源管脚的电涌电流。这些功率峰值电流是逻辑交叉电流,元件的电容性引线、走线电容、负载元件连接点来的电涌电流产生的电容而造成的结果。这些电涌电流表明注入到一条传输线(路径)的多重信号电流的复合。

我们应该在保证足够的富余时间以把电磁干扰的影响减到最小并提高信号质量的同时,



注：制造商可能标示上升 / 下降时间最大为 2ns。
实际上，此值可能低于 1ns。

图 3.1 输出开关时间与传输时延的对比

选择速率尽可能低的逻辑器件系列。在这里我们应该注意在今天的市场上标准的低功率肖特基 TTL 逻辑元件(比如 74LS 系列)的使用减少了。并且,在使用速度比较慢的逻辑系列的时候,通常不需要专业的设计技术。但是,今天的高速度、高技术产品要求使用边沿时间相当短(在 1.5 ~ 5ns 的范围内)的逻辑器件,比如 74ACT 和 74F 系列。在大多数应用中,一个 74HCT 器件足以作为一个 74ACT 器件的临时替代品,同时具有产生射频辐射小的优点。一个总的设计思想是不要使用比功能上所要求的或电路实际要求的更快的元件。

如果在时间上需要快速的逻辑系列,那么设计者必须分别处理去耦、布局以及处理时钟路径的问题。(不同逻辑系列的电磁干扰特性详见表 3.1)。

快速的切换时间(边沿)将导致回流、串话、振铃、反射问题的增加,只有更小心地进行设计才能够消除这些问题。这些问题与元件的传输时延是无关的。这是因为逻辑器件的边沿速率比元件固有的传输时延要快。没有两种逻辑系列是完全相同的。甚至不同生产厂家生产的同一种的元件在结构和边沿速度上也会有所不同。边沿速率定义为电压或电流单位时间内改变的速率(V/ns 或 A/ns)。

在选择一种逻辑器件的时候,生产厂家会在它们的数据手册上说明时钟和 I/O 管脚的边沿速率的最大值(或典型值) $t_{\max}$ (或 t_{typ})。这一规范的最大值通常是 2 ~ 5ns。边沿速率的最小值 $t_{\min}$ 可能不会给出来。一个在说明上写明最大边沿速率为 2ns 的器件,实际上只有 0.5 到 1.0ns。对射频能量最大的贡献者是边沿速率,而不是真正的工作频率。驱动 74F04 驱动器的 5 MHz 振荡器(边沿时间是 1ns)在频谱上产生的射频能量比驱动 74LS04 的(边沿时间是 4ns) 100 MHz 振荡器产生的射频能量要大许多。这项元件参数的说明在印刷电路板的设计中是最容易被忽视和遗忘的。然而,在设计工程师为设计一个符合电磁兼容要求的产品所应考虑的问题当中,这是最重要的一个方面。经常听到的一种说法是“使用速度尽可能最慢的逻辑系列”,这是元件生产厂家没有在他们的数据手册中说明或给出最低边沿速率参数的结果。数字器件的边沿速率是大多数印刷电路板中产生 RF 能量的原因。

表 3.1

逻辑系列列表

逻辑系列	公布的上升/下降时间大约 T_r/T_f	主要的谐波量 $F = (1/\pi t_r)$	观测电磁干扰典型频率(第 10 谐波) $F_{max} = 10 \times F$
74Lxxx	31 ~ 35ns	10MHz	100MHz
74Cxxx	25 ~ 60ns	13MHz	130MHz
74HCxxx	13 ~ 15ns	24MHz	240MHz
74xxx	10 ~ 12ns	32MHz	320MHz
(flip-flop)	15 ~ 22ns	21MHz	210MHz
74LSxxx	9.5 ns	34MHz	340MHz
(flip-flop)	13 ~ 15ns	24MHz	240MHz
74Hxxx	4 ~ 6ns	80MHz	800MHz
74Sxxx	3 ~ 4ns	106MHz	1.1GHz
74HCTxxx	5 ~ 15ns	64MHz	640MHz
74ALSxxx	2 ~ 10ns	160MHz	1.6GHz
74ACTxxx	2 ~ 5ns	160MHz	1.6GHz
74Fxxx	1.5 ~ 1.6ns	212MHz	2.1GHz
ECL 10K	1.5ns	212MHz	2.1GHz
ECL 100K	0.75ns	424MHz	4.2GHz
BTL	1.0ns*	318MHz	3.2GHz
LVDS	0.3ns*	1.1GHz	11GHz
GaAs	0.3ns*	1.1GHz	11GHz
GTL + (Pentium Pro)	0.3ns*	1.1GHz	11GHz

* 这些是最小的边沿速度值

表 3.2

逻辑系列的选择特性

逻辑系列	电压摆幅 (V)	输入电容 (pF)	直流噪声余量 (V)	典型输出电阻 R_o 低/高 (Ω)
CMOS, 5V	5	5	1.2	300/300
CMOS, 12V	12	5	3	300/300
TTL	3.3	5	0.4	30/150
TTL-LS	3.3	5.5	0.4	30/160
HCMOS	5	4	0.7	160/160
S-TTL	3.3	4	0.3	15/50
FAST&AS-TTL	3.3	4.5	0.3	15/40
ECL, 10k	0.8	3	0.1	7/7
GaAs	1	≈ 1	0.1	—

之所以使用最慢的逻辑系列是源于时域和频域之间的关系。对时域中信号边沿的傅里叶分析表明信号的倾斜度(边沿速率)越大,产生的射频能量谱就越宽。傅里叶变换和分析的详

细讨论在附录 B 中给出。

表 3.1 提供了有关数字逻辑系列的谐波频谱的信息,它可以作为选择最佳逻辑系列的一个参考,用于在正确实现功能时使电磁干扰辐射能量最小。在表 3.1 中,带宽是用 $1/(\pi t_r)$ 来表示的,其中 t_r 表示边沿速率。由于双极技术,上升和下降的时间一般来讲是不相等的,两者之中较快的用 t_f 表示。表 3.1 中给出的等效带宽是根据较短的(或较快的)边沿速率,即根据 t_r 或者 t_f (下降时间或者是高低转换时间)来计算的。边沿速率指的就是上升和下降时间,这取决于器件的负载(输出)接头。表 3.1 考虑了一个大约 20 ~ 40pF 的容性负载来表示合理的速率和典型的印刷板布线。

表 3.2 表示了几种逻辑系列的选择特征。这里可以看到逻辑门的输出电阻 R_o 是限定电流的参数。这限定了在大的容性负载条件下可以有多大的驱动电流,或者在谐振频率上被短路的路径可以有多大的驱动电流。即使一个短路的逻辑门也不能输出一个大于 V/R_o 的电流。

3.2 输入能量消耗

无论电源平面(或走线)或接地平面/接地走线(0V 参考),给一个逻辑门提供输入的变换电流是印刷板产生噪声的主要原因。0V 基准指的是相对于电源来说的地电位。通常的 0V 基准平面指的是电源返回平面、镜像平面或者接地平面。变换电流是差模电流的主要来源,也是射频能量的主要来源。

(1) 考察表 3.1,我们注意到过渡时间越短,或者说边沿速率越快,电磁干扰频谱就越宽。电磁干扰的增加与频率的关系密切,传导的电磁干扰和串话与 f 有关,辐射电磁干扰则与 f^2 有关。

(2) 电源过渡电流在元件切换的时候可能会非常大。这些电流与在数字逻辑器件中建立一个“1”或“0”的信号状态需要的静态电流没有关系。对于 TTL 和一些 CMOS 工艺,输出晶体管的局部传导交迭会产生冲击电流。在逻辑高和逻辑低之间的交叉点,电源总线实际上就通过两个部分饱和晶体管直接短接到地,就像一个限流电阻一样。这个电阻被设计成将冲击电流保持在一个不会引起驱动电路损坏的水平。

(3) 为了避免交点传导电流,生产厂商提供肖特基势垒二极管来防止输出晶体管进入饱和状态。在元件制造中使用的其它设计技术包括“输出边沿速率控制”。这可以通过放置一个高输出值晶体管换成几个较小的晶体管来完成。这时冲击电流的峰值依然很高,如果元件有大量的输出驱动器,还会存在一些有关功能性的潜在的芯片问题。

(4) 当电压在逻辑高和逻辑低之间变换的时候,可能还存在射频电压和容性串话。

(5) 把逻辑状态从高变到低,或者从低变到高所需要的电流也比静态电流大。负载电流由下面的公式计算得到

$$I_L = C \frac{dV}{dt} \quad (3.1)$$

这里 C 表示负载上分布电容的总和加上走线接地电容。对于单面板来讲, C 在 0.1 ~ 0.3 pF/cm 之间。对于多层板来讲, C 在 0.3 到 2 pF/cm 之间,输入电容如表 3.2 所示。

比如说,现有一个 3.5V,边沿速率为 2ns 的信号在单面板上,走线长 7cm,5 个扇出逻辑门,瞬态输出电流是

$$I_1 = (7\text{cm} \times 0.3 \times 10^{-12}\text{F/cm} + 5 \times 5 \times 10^{-12}\text{F/gate}) \frac{3.5\text{V}}{2\text{ns}} = 47\text{mA} \quad (3.2)$$

这个等式中的峰值电流把非对称电流和电源变换电流复合在一起。对于由低到高的变换,这个电流要加到静态电流中。对于由高到低的变换,这个电流要减去静态电流,因为逻辑门电压衰降到地电位以及来自负载电容的电荷必须对输出驱动器的逻辑门放电,这等于对地短路。

对于那些对输入电流很敏感的产品,比如工作时间受限的电池供电的小型电子器件,必须在材料上加以专门的考虑,这包括具有多种来源的元件。不同的生产过程使得一种元件可以在静态工作或者在逻辑变换时比其他元件消耗更大的输入电流。瞬态输出电流的测量或计算应该在最大的容性负载条件下,在所有器件的管脚同时变换的时候进行。这是可能发生的最坏情形。温度升高时,输入电流可能比数据表上说明的值更大,这对器件的使用者来讲是必须加以考虑的。

与电磁干扰辐射相关的另外一个方面是有源数字器件生产厂家之间的差异。虽然一个数字器件可能在外型、大小和功能上均兼容,但是在生产(或设计)的过程上存在区别。不是所有的生产厂家都以同样的方法设计元件,因此设计工程师不能认为使用功能上或电磁兼容性上相似的元件就可以得到完全相同的结果,特别是在用于仿真的时候。

3.3 时钟偏移

随着在高技术产品中对性能要求的不断提高,需要更加重视低时钟偏移电路的设计。时钟偏移,即同一网络中不同点之间时间转换的差,它是系统时钟频率上限的主要限制因素。这是一个主要的约束,它形成了系统时钟频率的上界。减小系统时钟偏移可以提高系统性能,而不需要必须选择像 ECL 和 GaAs 这样速度更高的逻辑器件。

系统设计者要在不增加任何不必要的时间防卫带的情况下尽可能大地利用时钟周期。外围逻辑器件的传输时延不能以频率来衡量。因此当时钟周期减小的时候,设计者用较少时间完成多逻辑器件功能的触发。这是一个难度很大的工作。一个可行的方案是使用一个特殊的时钟源把时钟的不稳定性减到最小。

举个例子来说明这个问题,一个 33 MHz 元件的时钟周期是 30 ns,即 $T_{\text{cycle}} = 30 \text{ ns}$ 。一个 74FCT240 的由高到低不确定量大约为 3.3 ns。如果在器件上存在一个管脚到管脚的 1.7 ns 时偏,包括走线的传输时延,那么我们可以得到的时钟周期只剩下了 25 ns 而不是 30 ns。把这个例子提升到一个新的高度,我们可以看到 50 MHz 的系统要有 25% 的损失。只剩下了最大 10% 的时钟周期可以用于分配。

如果使用多个时钟的驱动器,电路中要产生额外的时钟偏移。这恰恰是我们想避免的。使用“多输出点”,而不是“多电平”的使用,时钟偏移缓冲器可以用来解决这个问题。这些器件的缺点是,虽然它们在时域中满足了时间上的要求,但是在频域中观察可以看到大量的辐射能量将会从封装的器件中辐射出来。如果噪声不是不可能消除的,那么除了通过密封,使用一个金属壳、一个接地良好的降温器或者是整个系统的屏蔽之外,即使是利用最好的设计技术来抑制印刷电路板上的射频能量,减小从器件中辐射出的射频噪声也是很困难的。

在对一个时钟驱动电路进行设计时需要考虑的一个重要问题是为固定的集总容性负载提供说明。由于网络中的器件是多种多样的,传输线的电容可能会与最理想条件下的不同,因此

会加剧共模电流的产生和增加了地电位的不均匀度。在这种情况下,分布在几英寸长的印刷电路板传输线上的各种负载将引起额外的时延。系统设计者必须注意把总的系统偏移减到最小。换句话说,把一个时钟驱动器变成一个低时偏的器件可能也无法解决所有的定时问题。实际上,射频辐射的增加通常是会发生的。

偏移可分为 3 部分:工作周期偏移、输出到输出的偏移、部件到部件的偏移。对于一个特定的应用,每部分都是同等重要的。

3.3.1 工作周期偏移

工作周期偏移是 t_{plh} 和 t_{phl} 之间的差值,并与元件之间传输时延有关。如图 3.2 所示。由于 t_{plh} 和 t_{phl} 的差别,工作周期的脉冲宽度失真就叫做脉冲时偏。当信号的两个边沿,或者时钟信号的工作周期很重要的时候,这种时偏在应用中就是至关重要的。这一点在微处理器的设计中经常可以看到。

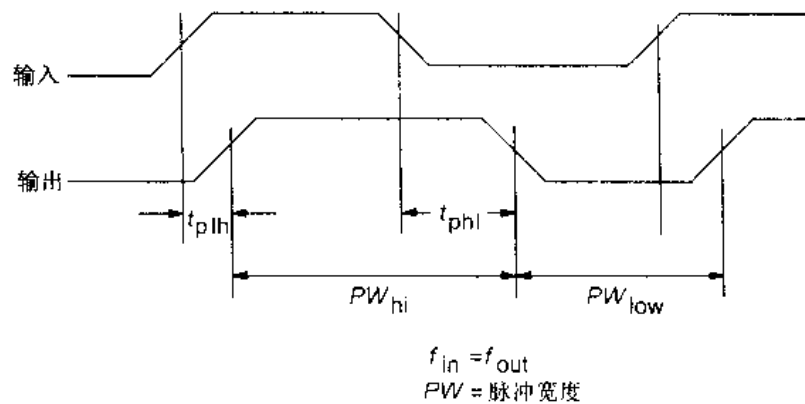


图 3.2 工作周期偏移

3.3.2 输出到输出的偏移

输出到输出的偏移是时钟驱动器所有输出传输时延之间的差值。这个时偏取决于对元件输出晶体管一致性的设计。如果所有边沿之间的时偏是一个重要的参数,我们需要把这个时间参数加到工作周期时偏中得到总的系统偏移。一般来讲,对于 TTL 和 CMOS 器件来说,输出到输出偏移比工作偏移要小一些。因为差分驱动器(例如 ECL 和 LVDS)的工作周期偏移接近于零,一个单独器件驱动器提供一个时钟信号给一个负载,或者给网络中的多个负载之间提供精确的同步定时信号。这种情况从封装到元件内部的晶片(管芯)设计都是需要的。由于所使用的生产流程,这个时偏会明显小于在数据表格中给出的传输时延。图 3.3 说明了这个输出到输出偏移。

3.3.3 部件到部件的偏移

由于器件所处的环境和生产厂家生产时钟驱动器的生产流程的不同,部件到部件的偏移是器件最难解决的一个方面。这个时偏比工作周期时偏和输出到输出时偏都要大得多,并且是基于恒定的环境条件。建议仔细研究器件的数据表,确定保证各部件能够正常工作的条件。如果对于器件来讲部件到部件的偏移与器件的传输时延窗口不同,我们可以限定器件的部件

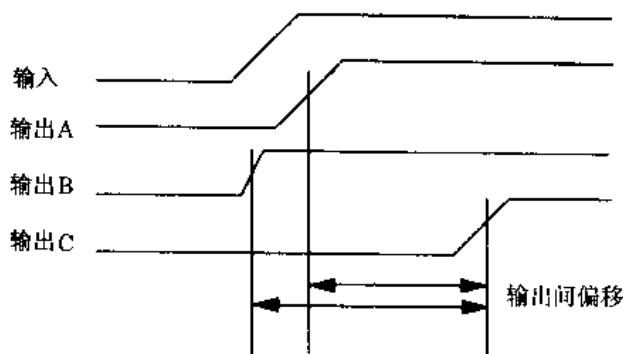


图 3.3 输出到输出偏移

到部件的偏移。

3.4 元件封装

我们必须考虑元件在 PCB 上的放置和它们的互连走线、总线结构和去耦电容。一般不被设计工程师所考虑的(并且总是被忽略,因为“那就是它的方式”)一个设计参数是数字元件是怎样被封装的(硅衬底在它的保护外壳之中,或者是塑料或者是陶瓷)。设计工程师们通常认为器件就是器件,并且必须用在基于功能和成本的设计当中。封装通常是不在设计工程师控制以内的一个参数。在这种情况下,为什么要关心元件的封装呢?根据工程上的功能性说明,在高技术的设计中,速度才是唯一重要的参数。在实际当中,元件封装在增大或抑制 RF 电流中扮演着重要的角色。

元件封装中个别引线的电感会产生很多的问题,最大的一方面就是引线长度电感。这些电感会使很多不正常的工作条件产生,包括地电位不均匀和小环形天线的产生,基于电源和负载之间的物理尺寸,这种天线能产生射频电流。地电位不均匀使得逻辑输入回路在器件的输出从一个逻辑状态转换到另一个逻辑状态时都会产生失真。地电位不均匀将在后面的章节中讨论。

虽然管芯的环面积、管芯与基座的连接线以及元件连到 PCB 板的引线似乎都是很细小的,但是它们是产生电磁干扰的很重要的因素。对于大规模集成电路(VLSI)元件和组装有很多高速率(边沿速率)元件的 PCB 板更是如此。由于多层 PCB 层叠,所以走线辐射环很小,以至于 IC 引线相对于环境和在元件中产生的频率来说是一个很大的辐射天线。

关于不同模式的电流是怎样产生辐射的,我们在第 5 章中已经详细地讨论了。由于元件和多层板平面之间存在环路,差模电流就建立了。因为电感存在,所以辐射环一定存在。为了减小电感,环路面积必须减小。这些电感包括连接元件内部的连接导线、电容、电阻和其它无源元件的内部连接线。我们通过图 3.4 来回顾环路是怎样产生辐射的。

考虑到引线长度电感,所以最差的元件封装类型是标准的 TTL 双重封装(DIP),在这种封装中电源和地的引线在相对的拐角处。这种排列方式如图 3.5 所示。

在大多数的 PCB 中,主要的辐射源是元件间的电流。在图 3.4 中携带了干扰电流的小环形天线,可以作为辐射的模型。小环就是尺寸小于某一特定频率的波长的 $1/4(\lambda/4)$ 的环路。对于大多数的 PCB,存在着与上限到几百兆赫兹的频率对应的小环路。当尺寸接近 $\lambda/4$ 时,环中的射频电流在某一距离处的相位发生反相,这种影响将使任何给定点的场强都降低。



图 3.4 元件间的环路面积

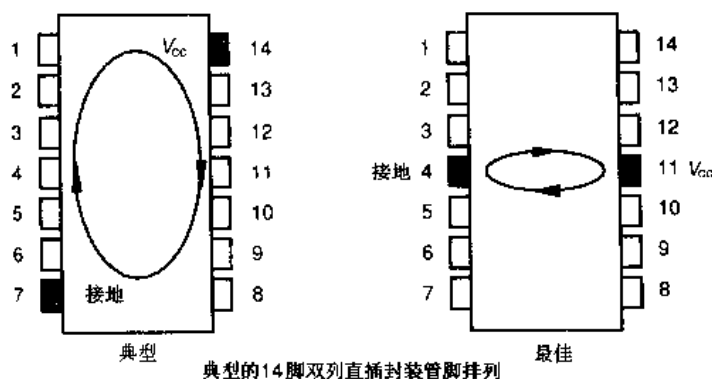


图 3.5 与射频环路相关的元件封装—双列直插封装结构

共模电流更难控制,而且通常决定整个的辐射性能。共模通常从附加的同轴线到工作单元都有。射频能量是由共模电位(通常是地面噪声电压)决定的,和差模辐射能量不一样。普通模式的电流可以用由地面噪声电压驱动的单极天线来模拟。对于一个在地平面上长为 L 的短的单极天线来说,电场的强度可以在一个离它距离为 r 的远场来测量。

为了预测地面上的一个环形天线的最大的电场强度,可以用等式(3.3)计算^[4]。最好在PCB或产品的设计和布线中就控制差模辐射。

$$E = 263 \times 10^{-16} (f^2 \times A \times I_s) \left(\frac{1}{r} \right) \text{V/m (差模)}$$

$$E = 4\pi \times 10^{-7} (I_s \times f \times l) \left(\frac{1}{r} \right) \text{V/m (共模)} \quad (3.3)$$

其中, E = 电辐射场(V/m)

A = 环面积(cm^2)

f = 频率(MHz)

I_s = 源电流(mA)

l = 走线的长度(m)

r = 辐射部件到接收天线的距离(m)

不会导致电场强度 E 超过特定值的最大的环域由等式(3.4)规定。不会使电场强度 E 超过特定值的最大环路面积由(3.4)式决定。

$$A = \frac{380Er}{f^2 I_s} \quad (3.4)$$

在自由空间(典型的离辐射源最近的距离为波长 λ 除以 2π),辐射能量与源到天线间的距离成反比。PCB上的环路面积是必须知道的,它是电路走线和射频电流返回路径之间区域的总面积。当存在曲绕形状时,用(3.3)式很难确定感兴趣频率点的情况。如果我们要了解所有的细节,那么这个等式就必须根据每一个环路(不同面积的环路)和每一个用到的频率来解。

使用等式(3.3),我们可以决定一个特定的布线技术和辐射有联系时,是否需要特别的注意。这些特别的注意事项包括以下的部分或全部的内容:重布带状线,改变布线拓扑,配置电源和负载元件使它们更加接近,或者提供额外的部件屏蔽(密封)。

为了帮助将环路面积减到最小,我们可以优化选择逻辑元件(在可能的情况下),同时将电源和接地引线放在封装的中心(不是在相反的拐角),或者使它们物理上相互临近。中心的电源线为去耦电容提供最佳的放置(当这些电容放在PCB的底层时)。这种结构也使得器件和去耦电容间的连接线长度减到最小,同时也使电源和接地引线的电感最小,而这些引线安装在封装的硅晶片中。既然需要一个通道孔将电源和地线与器件相连接(当电源平面和地平面处于多层PCB中时),这些相同的通道孔也可以用作去耦电容器。

表面贴装技术(SMT)元件优于通孔的器件,因为它们具有与产生射频电流有关的环路面积较小的优点。在图3.5中,我们可以发现当电源和0V参考引线放在器件的中心而不放在相反的拐角,这将减小环路的存在。环路面积的减小也能发生在大封装的元件中,这时电源线和地线是互相邻近的,如图3.6所示。电源和0V参考面的连接导线临近可以使射频电流回路的面积减到最小,这可以用来增强电源和参考地之间的通量抵消(或通量最小化)。如果电源的输入引线存在射频电流那将导致差模开关电流,这些电流是在最大电容负载下所有的引线同时开关产生的,这样,就可以得到一个更稳定的0V参考系统。射频通量可以找到这个备份的返回路径(0V参考),这样就可以通过将差模接地噪声电压最小化来消除内部产生的射频电流。

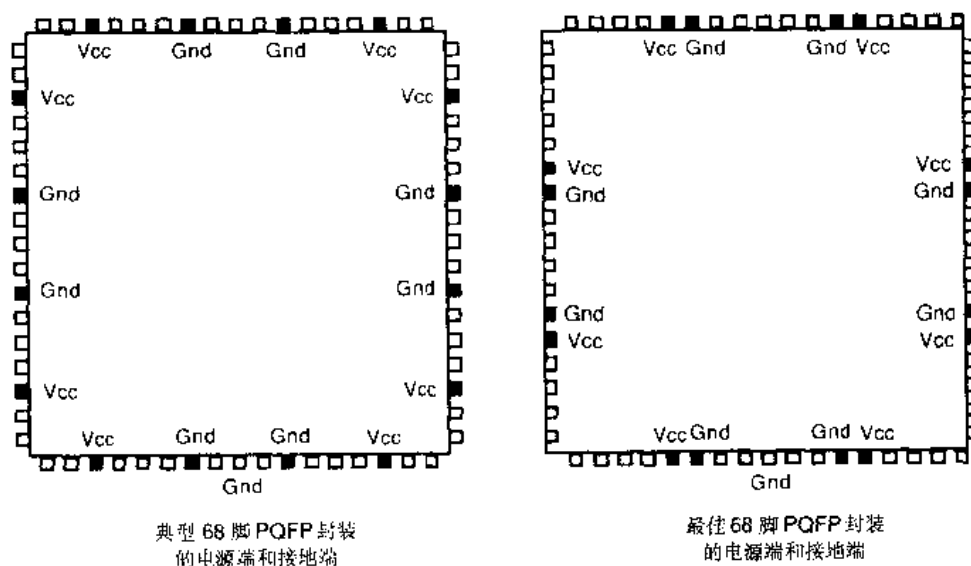


图 3.6 大规模元件的管脚排列

考虑到这些问题,SMT元件的使用优于使用通孔来最小化射频辐射。这种特点上的差异是由于元件上管脚到PCB电路走线的引线电感减小的结果。SMT封装的优点是仅有很小的环路面积。但内部的引线电感也是存在的。电感是产生射频电流的元件。射频电流导致射频

辐射,另外可能会影响信号的完整性。有时通孔器件装在插座上,插座增加了引线电感,因此在环路面积增加后就会产生大量的电磁干扰。

元件中设计是促进还是抑制射频电流的产生与 IC 封装引线和 PCB 连接的方式密切相关。两个不同的引线连接结构的例子如图 3.7 所示。

虽然环路面积看上去极小,但是引入到封装内部的连接线和外部的互连引线使有效射频路径增长。多层板可以减小射频电流,因为走线的环路与引入到器件内的整体呈感性的连线相比要小。换句话说,连接导线可以成为有效天线,特别是高频或逻辑器件工作在亚纳秒范围时。在当今的高技术产品中连接导线问题正在变得很普通。在这种情况下,尤其是如果提供通孔的话,那么 DIP 封装的应用会使产生大量的射频场。表 3.3 提供了各种不同的逻辑封装的引线电感值^[2]。

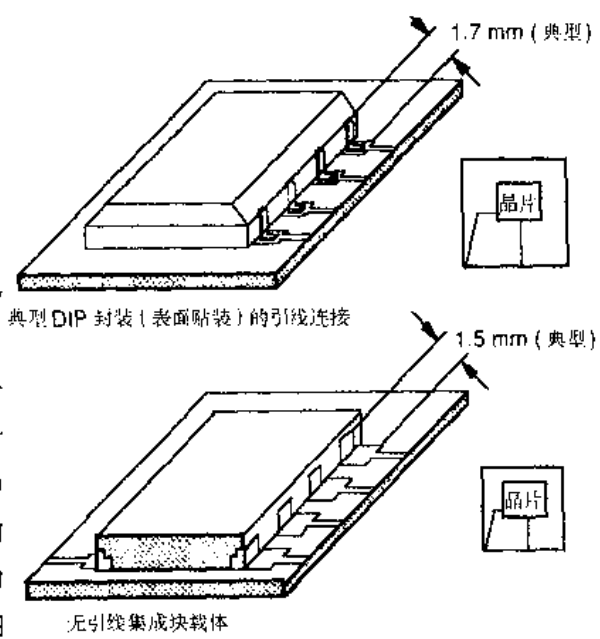


图 3.7 与 PCB 的引载连接

表 3.3 不同逻辑包的导线长度电感

包的大小和类型	导线长度电感
14 pin DIP	2.0 ~ 10.2 nH
20 pin DIP	3.4 ~ 13.7 nH
40 pin DIP	4.4 ~ 21.7 nH
20 pin PLCC	3.5 ~ 6.3 nH
28 pin PLCC	3.7 ~ 7.8 nH
44 pin PLCC	4.3 ~ 6.1 nH
68 pin PLCC	5.3 ~ 8.9 nH
14 pin SOIC	2.6 ~ 3.6 nH
20 pin SOIC	4.9 ~ 8.5 nH
40 pin TAB	1.2 ~ 2.5 nH
624 pin CBGA	0.5 ~ 4.7 nH
捆绑于混合基片的导线	1 nH

SMT 不仅比 DIP 元件在封装大小上有将近 40% 的减小,而且它在性能上也比 DIP 元件要好。这种改变使得管芯和安装垫片之间的辐射环路的引线长度电感减小了 64%。另外,SMT 需要更小的 PCB 空间,相应的也需要更短的元件之间的连线长度。由于 SMT 元件的使用,去耦电容器的环路面积也减小了(见第 5 章)。

封装结构存在各种形式。几乎所有的封装在高速应用中都会遇到与引线电感、引线电容、散热有关的问题。器件封装中的个别引线的电感会产生一种叫做地电位跳跃的问题。在逻辑输入的驱动源状态转换的时候,地电位跳跃将在逻辑输入中引起低频干扰。我们现在来看看这些低频干扰的大小和它们的影响。

3.5 地电位跳跃

和数字器件射频辐射的发展相联系的一个主要的方面是地电位跳跃。当集成电路块内部驱动器同时开关时,地电位跳跃导致射频噪声(差分模式)的产生。通过研究元件内部的细节,我们能对 PCB 中所发生的情况有更好的了解。差模电压最可能导致辐射,因为共模电流伴随差模电压而形成。为了更好地理解这个现象,我们将用微模型分析方法来研究元件。

地电位跳跃和系统级的辐射之间存在定性的关系。对于 0 到峰值的地电位跳跃问题,设计者一般将噪声门限限制在 500mv 以下。当地电位跳跃的低频干扰超过门限值,辐射将增加,同时布线网络中的元件将错误地触发(信号质量差)。地电位跳跃难以解决,特别是当产品的辐射超过规定的要求时。有时单元会适时地中止工作。在诊断信号的完整性问题时,如果信号的完整性问题得到解决,则 EMI 的相关问题将被减少或消除。

另外,在地电位跳跃的情况下,接地参考系统电压并不是恒定的 0V 参考值。如果地电位跳跃子系统不稳定或经常变化,那么元件块中的晶体管就不能真切地感知有效的信号。

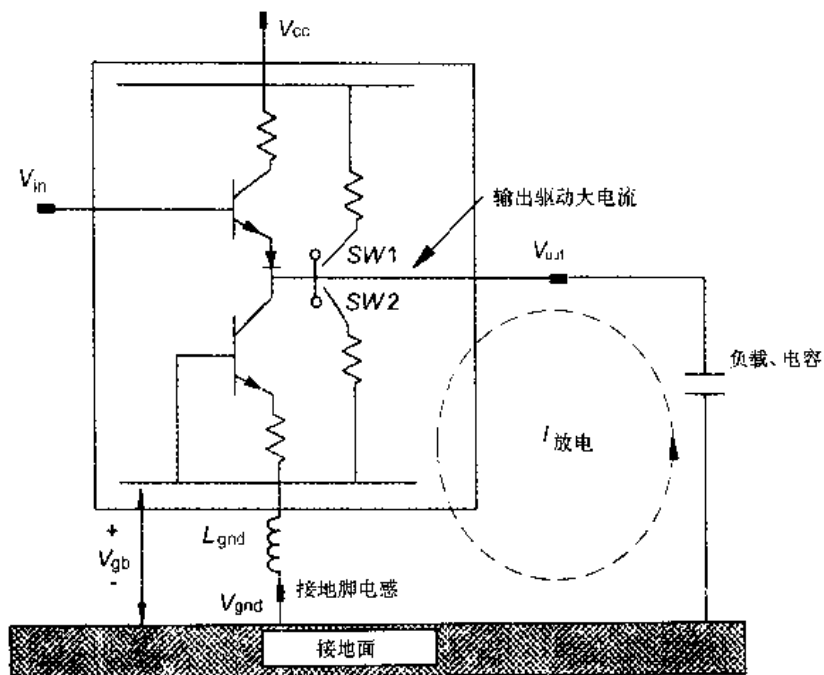


图 3.8 元件内的引线电感

图 3.8 给出了一个半导体中的理想逻辑电路。我们假定四条引线: V_{in} 、 V_{out} 、 V_{cc} 和 V_{gnd} 所示的器件是一个典型的结构。实际上,所有的高速运行的逻辑器件系列都呈现相近的地电位跳跃问题。当开关 2 闭合,负载电容 C 就短路到地。当通过 C 的电压降到 0V 时,电容所储存的电荷都流回到地中,这将导致接地返回电路产生大量的冲击电流,这一电流记为 $I_{discharge}$ 。

当电容被电压充电并再次放电,为对抗接地返回回路的电感 L_{gnd} ,将在器件下方的系统地平面和器件内部的接地参考面之间感应出电压 V_{gb} 。电压的大小可以由等式(3.5)来确定。我们称 V_{gb} 为地电位不均匀电压。

$$V_{\text{gb}} = L_{\text{gnd}} \frac{dI_{\text{discharge}}}{dt} \quad (3.5)$$

地电位跳跃产生的原因的另一种解释与逻辑门从一个状态转换到另一个状态有关。一个门的 n 和 p 晶体管同时打开,那么 PCB 的电源层和接地层之间就会有电流流动。这种电流对电源分配网络有额外的要求,使其达不到最佳性能的要求。因为电源(V_{CC})到上面的晶体管和下面的晶体管到地(Gnd)之间的阻抗大大限制了从 V_{CC} 流向 Gnd 的电流,因此对栅极导通的两个晶体管开关的解释就是不能接收。因此,在 TTL 结构中,典型地电位跳跃最主要的产生源是负载电容通过逻辑门向参考地放电。

开关元件要求驱动电流几乎是瞬时的改变。元件的引线电感、路径电感和其它的寄生电感都会导致这一瞬时驱动电流的产生。电源供应部件不能吸收瞬时改变的电流。结果,在器件的地线、电源线和连接头之间产生电压差。在元件的电源和接地结构中,地电位跳跃将以噪声的形式出现。在这种情况下,可以发现噪音容限降低了,这可以引起对电压敏感的线路的错误触发。从功能的观点来看,低逻辑状态的噪音容限通常比高逻辑状态的噪声容限小。所以,正是低逻辑状态与系统级的功能性关系更加密切。

通常,地电位跳跃电压的测量值 V_{gb} 和输出信号电压比较起来要小。地电位不均匀并不经常影响传输的信号。但是,它会干扰负载对信号的接收。这是因为接收机将它的输入电压与内部的、本地的 0V 参考电平相比较,对一个(-)输入来看,该差值使其表现为(+)输入。既然内部地电位跳跃带来了 V_{gb} 脉冲,那么实际上接收器输入端的电压是: $V_{\text{in}} - V_{\text{gb}}$ 。这是典型的 TTL 电路。CMOS 将它的输入与电源(V_{CC})和地的加权平均值相比较。ECL 元件将它们的输入和 V_{CC} 相比较。虽然逻辑器件系列间的拓扑结构不同,但是地电位跳跃的概念是一样的。如果我们能同时将一个元件的 N 个输出切换到 N 个相应的电容性负载,那么我们将有 N 倍的接地电流和 N 倍的脉冲电压 V_{gb} 。

基本上来说,数字器件的信息是通过逻辑状态间的各种各样的电压来处理的。图 3.9 阐明了一个 CMOS 门和相关的寄生阻抗。在由高向低转换的过渡状态,负载电容 C_L ,假设为 50pF。一个加在 C_L 上的 5V 电位在电容上产生 250×10^{-12} 库仑的电量。为了将负载带到低状态(0V 电位),电量必须通过器件传送出去。在由高状态向低状态转换的过程中,存储在电容器中的电荷将通过器件的接地引线放电。当这种情况发生时,电流的变化率(dI/dt)将使得在接地引线电感上产生电压降。这些内部引线 and 接地回路电感将会导致正脉冲、负脉冲,在高速逻辑系列中甚至会引起信号振铃。

当地电位跳跃发生时,可以观察到如图 3.10 所示的波形。加载到 PCB 线路的电荷导致了共模电压的产生。正是这种共模电压引起了射频辐射。因为我们不能消除逻辑状态转换时的转移电荷,因此我们必须限制射频尖峰电流的幅度。用一个很低阻抗的路径连接 PCB 中的电源和接地结构,这样就能最好地达到目标。

作为来自电源分配网络中的强电流,在下列情况下,地电位跳跃将变得更糟糕:

- 容性负载增加。
- 负载电阻减小。

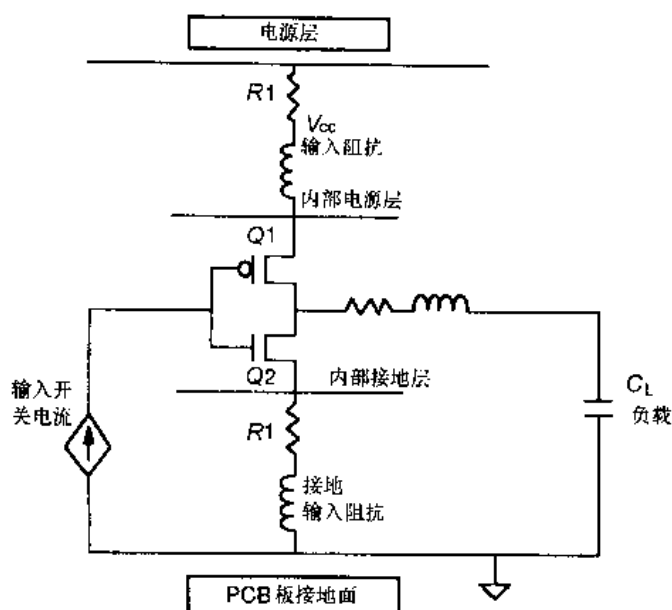


图 3.9 典型的 CMOS 输出

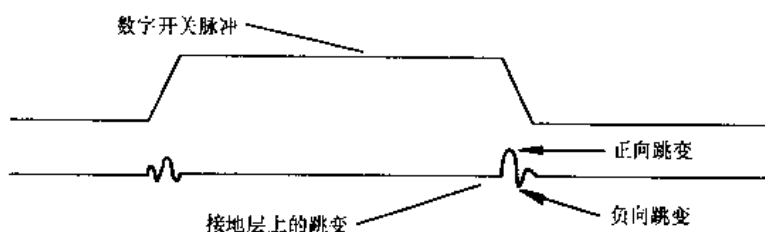


图 3.10 典型的地电位跳跃波形

- 引线 and 走线的电感增加。
- 多个门(器件)同时切换。

现在有很多通用的技术来消除地电位不均匀。降低输出转换时间就是一个很好的方法。除了硅片内部的串联电阻外,现在已经可以提供具有时钟偏差电路的器件,以减小边沿速率。

其它的厂商使用多条内部的接地导线。如果引线均匀地分布于元件中,以便减小引线电感,那么这是可以接受的。将接地连接线分散到整个元件中比将这些引线集中在一起要好。

设计一个 PCB 布线时,每个接地引线都应该单独地直接连接到地平面上。将两个接地终端连在一起并通过一条线路连接到同一个接地点,这将破坏接地引线的独立性。

其它将地电位不均匀降到最小的方法包括:

- (1) 负载控制——减小电容,增加电阻。
- (2) 布线——要最大程度地减小 PCB 布线时电源和接地的电感,而不仅仅是输出信号线路的电感。
- (3) 元件封装——使用接地参考引线在器件中心(4nH)的器件来代替接地参考引线在拐角处(15nH)的器件。由于这一原因,表面贴装器件要优于通孔器件。

元件制造厂商可以使用以下一些强化设计技术来最大限度地减小地电位跳跃问题:

- (1) 减小电源/接地的引线电感。

- (2) 用双导线连接基片和保护基座。
- (3) 用宽的安装垫片代替窄的。
- (4) 减小封装中的连接导线的长度。
- (5) 减小引线的高度,或缩小塑料四方扁封装的截面积(PQFP 封装的引线长度电感比 PGA 封装的要小)。
- (6) 接地焊盘远多于信号焊盘
- (7) 在元件的封装中提供一个附加的接地平面。
- (8) 为专用集成电路(ASIC)提供内埋的衬底电容。
- (9) 提供内置片上去耦电容(一种在衬底和封装之间使用保护胶作为绝缘材料)的内置电源和接地面。
- (10) 将电源和接地的引线互相靠在一起,最好配置在器件的中心,这样电感就能抵消磁力线和将共模电流的增长最小化。
- (11) 给多芯片模块(MCM)封装提供内部的低电感电容阵列(LICA)电容器。
- (12) 采用低电感开关芯片封装。

3.6 引线到引线的电容

除了导线长度电感外,影响一个元件射频辐射性能的因素是器件内部相邻的引线间的杂散电容。噪声电压能在引线之间耦合并产生一些功能性的影响。这种情况下,出现的问题就是串话。如果在一个元件中产生了一个高频频谱信号,并且在相邻的引线或线路之间产生了电容性耦合,那么这将很难进行干扰隔离和为信号的完整性以及兼容性要求进行优化设计。图 3.11 解释了元件引线之间是怎样产生电容性耦合的。

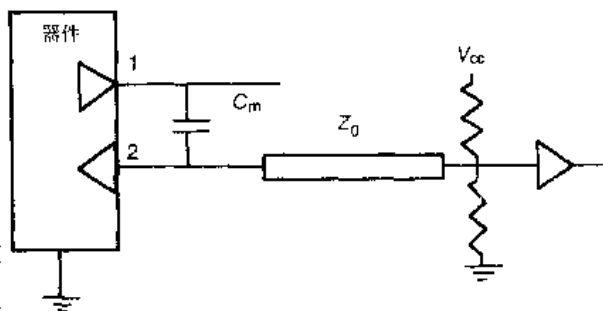


图 3.11 元件管脚间的电容耦合

两根引线间串话的比例可以由等式(3.6)来计算。当上升时间缩短(边沿速率变快)时,电容性串话就会变得更严重。当电路中有高阻抗的传输线时,串话也会变得更严重。高阻抗的传输线使电容增多,这些电容影响了器件的整体性能。关于串话的详细讨论在第 7 章给出,并让我们更好地理解下面这个等式。

$$\text{串话} = \frac{ZC_m}{T_{10-90}} \quad (3.6)$$

其中, C_m = 线路 1 和线路 2 之间的互电容

Z = 走线和终端负载的并联阻抗 ($Z_0 || R_L$)

T_{10-90} = 输出引线上信号的 10% ~ 90% 的边沿速率

3.7 接地散热器

接地散热器在 PCB 抑制技术中是一个新的概念,在某些特殊应用和某些元件中都有使

用。当使用内部时钟频率不小于 75MHz 的超大规模集成电路(VLSI)处理器时,有时就需要采用接地散热器。与 PCB 的大部分元器件相比,这些中央处理器(CPU)和超大规模集成电路(VLSI)元件需要更广泛的高频去耦技术及接地技术。

芯片制造的新工艺使我们很容易在一块晶片上紧密地安放超过一百万个晶体管元件。结果,一些元件消耗的直流功率为 15W 或更多。这些功耗超过 15W 的元件需要单独进行冷却处理,或者由内置于散热器中的风扇提供,或者由与风扇或其余冷却器件相临近的装置提供。由于在设计中越来越多地用到这些高功耗、高速率的处理器,因此,现在就需要一些特殊的设计技术用来在元件级上解决电磁干扰抑制和散热问题。

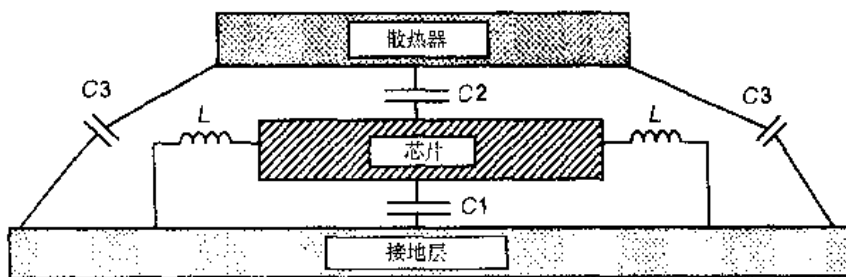
从热力学来研究散热器的作用,我们会看到处理器内部产生的热量是必须要消除掉的。由于陶瓷封装比塑料封装的散热量大,因此产生热量多的元件通常用陶瓷外壳来封装。当然陶瓷封装的成本也更高一些。有些元件由于它们内部逻辑门之间的结温较大,发热率超过了陶瓷外壳的散热能力;因此,需要有散热器来进行冷却处理。

在热力学领域对吸热器的作用进行了简要讨论之后,现在我们在射频领域研究一下金属散热器。为进行恰当的热处理和使用散热器,有一种热导体(硅化合物或云母绝缘体)可供使用。这种化合物通常是不导电的。这种热导体具有将热量从元器件传导至散热器的良好特性。在射频频率范围内研究金属散热器,我们可以发现以下一些特性,它们在图 3.12 和图 3.13 中给出了解释:

- 工作在时钟频率为 75MHz 或更高频率的晶片会在元件块内部产生大量的共模射频电流。
- 去耦电容器能消除存在于电源、接地层和信号引线之间的差模射频电流。
- 某些陶瓷封装在外壳的顶部有焊盘,用来提供高功耗和高频去耦所要求的附加差模电源滤波器。在最大容性负载条件下,去耦电容使所有元件的管脚同时开关所产生的地电位跳跃和接地噪声电压减到最小。
- 元件封装内部的晶片(见图 3.13)被设置在更接近外壳顶部(X)的位置,而不是更接近底部(Y)。因此,晶片到 PCB 中镜像平面的距离比到外壳顶部和散热器的距离更大。晶片内产生的共模射频电流无法耦合到 0V 参考电位面;因此,射频能量被辐射到自由空间里。差模去耦电容器将不能消除元件内部产生的共模噪声。
- 在元件顶部放置金属散热器提供了一个 0V 参考电位面(镜像平面),这个参考面比 PCB 内的镜像平面更接近晶片。这样晶片与散热器间的共模射频电流耦合比晶片与 PCB 的第一镜像面间的共模射频电流耦合更加严重。
- 散热器产生的共模耦合使得这个从热力学角度所要求的部件变成了一个单极天线,用于将射频能量辐射到自由空间中。

使用金属散热器与在产品中放置一个单纯的天线并将整个时钟谐波辐射出去的作用是一样的。为了激励天线,散热器必须接地。虽然这个概念很容易理解,但实际上在 PCB 设计中射频能量抑制却被忽略了。

超大规模集成电路(VLSI)中的元器件都可能是一个射频能量的有效辐射源。当在频域中而不是在热力学中考虑时,增加一个散热器就增加了一个设计参数。一般来说,散热器尺寸越大,辐射效率就越高。如果散热器为金属结构,则在不同频率下最大的辐射量就取决于散热器的几何尺寸及其固有振荡频率。



L = 封装引线电感

$C1$ = 芯片与接地层间的分布电容

$C2$ = 散热器与芯片间的分布电容

$C3$ = 散热器与接地层或底盘之间的分布电容

VLSI 处理器与散热器的典型谐振频率约为 400 ~ 800 MHz。

图 3.12 接地散热器的工作原理

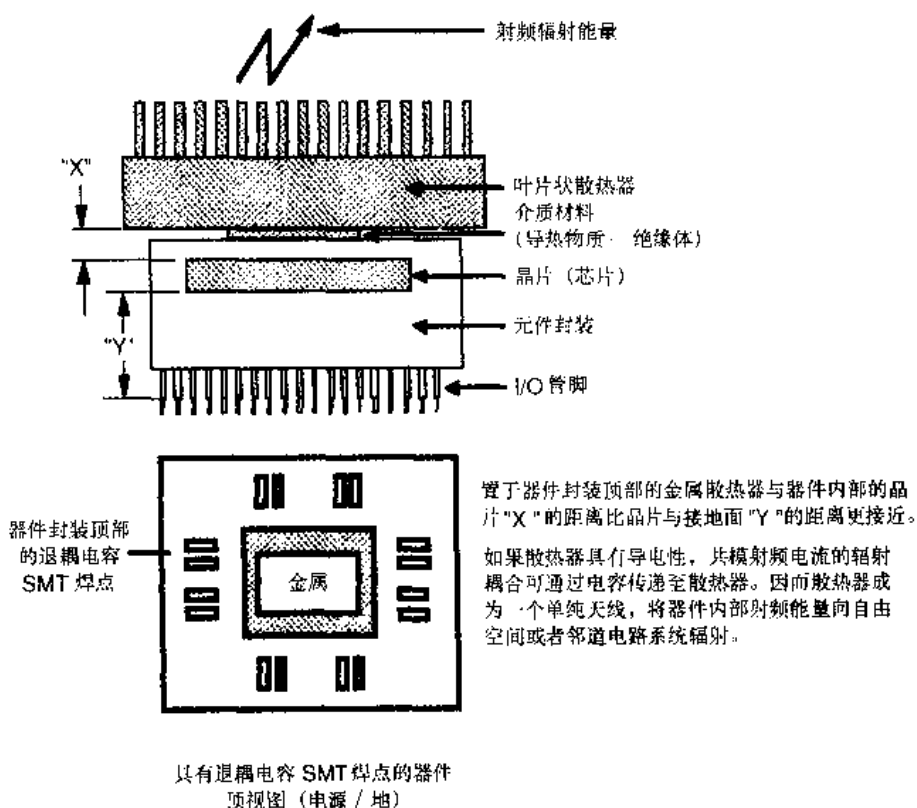


图 3.13 接地散热器的实现

散热器必须通过所有 4 个侧面的金属连线与 PCB 的接地层(0V 参考电位面)相连。使用从 PCB 至散热器的防扰篱笆(类似于垂直的汇流条)将处理器封装起来。该篱笆将在处理器周围产生法拉第屏蔽,从而防止封装内部的共模噪声射频能量辐射到自由空间或耦合到相邻的元件、电缆、外围设备或孔径缝隙中。图 3.14 给出了一项用于散热器接地的技术。

精简指令集计算处理器(RISC)或 VLSI 元件通常都具有较高的固有振荡频率,该频率是由制造工艺、内部时钟速度,以及功耗最大期间电源层所呈现的阻抗共同决定的。因此,如果元件制造商不采用射频抑制技术,则超大规模集成电路(VLSI)元件将比其它元件辐射出更多的射频能量。任何试图采用标准的抑制技术来消除自谐振频率的努力几乎都是不可能的,除非

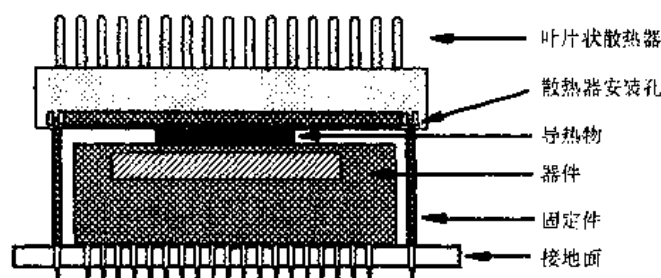


图 3.14 散热器接地

把散热器作为共模去耦电容器来使用。

如果元件的陶瓷封装顶部有差模电容器,那么散热器一般和这个差模电容器以及位于 PCB 板上元件下面的标准差模电容器结合使用。差模去耦电容器直接连在电源和接地层之间,以消除这些层产生的开关噪声。共模去耦电容器提供了一条交流分路以消除晶片和参考地系统之间产生的共模噪声。

接地散热器必须一直处于地电位。有源元件则总是处于射频电位。这两个大极板之间的热敏混合物是不导电的介质绝缘体。这就构成了一个电容器。因此,接地散热器工作时就等效于一个大的共模去耦电容器,而位于外壳顶部或直接位于 PCB 中的任何分立电容器都被用于差模去耦。该共模电容器将处理器所产生的射频(RF)电流分流至接地面。

使用接地散热器会产生:

- (1) 一个消除封装内部产生的热量的热器件。
- (2) 一个防止处理器内部时钟脉冲电路产生的射频能量辐射至自由空间或耦合到相邻电路的法拉第屏蔽。
- (3) 一个消除在封装芯片内通过芯片与地之间的交流耦合射频能量而直接产生的共模射频电流的共模去耦电容器。

若采用接地散热器,则防扰篱笆的接地指(弹簧指或选用的其他 PCB 安装方法)必须连接至所有的地电位面或 PCB 上距离处理器至少 $1/4\text{in}(0.125\text{cm})$ 的 0V 参考电位面。在每个接地连接点,均具有两组并联的去耦电容器($0.1\mu\text{F}$ 与 $0.001\mu\text{F}$ 并联和 $0.01\mu\text{F}$ 与 100pF 并联的接地管脚),并可以交替使用。通常,精简指令集处理器及其相关元器件的射频范围均超过了 1GHz 的带宽。此外,精简指令集处理器或超大规模集成电路(VLSI)的处理器也比绝大多数其它的元件更需要扩展的多点接地处理措施。上述容抗的数值补偿了常用散热器机械尺寸的 $1/4$,使其成为有效的 EMI 抑制器。

3.8 时钟源的电源滤波

振荡器是辐射源之一。其输出的周期性波形沿 PCB 上的线路传递到负载。电磁辐射是存在还是一个对电磁兼容性无关紧要的问题,取决于 PCB 布线、元件配置、走线的路线选择、去耦、阻抗控制以及其他与磁通量抵消或最小化有关的条目。此外,信号的完整性方面也需要考虑。

在某些情况下,振荡器(时钟产生电路)会将射频电流注入 PCB 上的走线中。除地电位跳跃外,它是去耦或电源抗干扰性不良的结果。如果振荡器处于噪声环境中,则还需要附加的电源滤波。而滤波器的数目则取决于要把电源抖动减小多少。电源抖动是指由于机械振动、电源电压

波动以及控制系统不稳定而导致信号波形中出现的小的、快速的变化。时钟抖动基本上是指时钟输出与理想条件下的输出相偏离。试图确定抖动减小的精确值几乎是不可能的,原因如下:

(1) 不同制造商生产的振荡器对电源有不同的要求,并且实际的边沿速率也不一样。虽然振荡器可能有相同的谐振频率,但并非所有的振荡器都具有相同的交流或直流特性。

(2) 通常,抖动特性并没有在振荡器的说明书或应用手册中给出。每个振荡器制造商都有不同的抖动特性要求。

(3) 使用不同品牌的集成电路时,系统中的射频噪声也不同。

为减小地电位跳跃和电源噪声的影响,需要采用滤波器电路(参见图 3.15)。这些电路在 20MHz 以上的频率范围内衰减量最大可以达到 20dB。使用两级滤波器可以使衰减量加倍。

必须将滤波器尽可能地靠近振荡器的电源输入引线,以最大程度地减小射频环路电流。振荡器可能引起与谐振频率有关的电流环路辐射。使用表面安装器件要比使用通孔器件好,因为前者元件块中的引线电感要小。

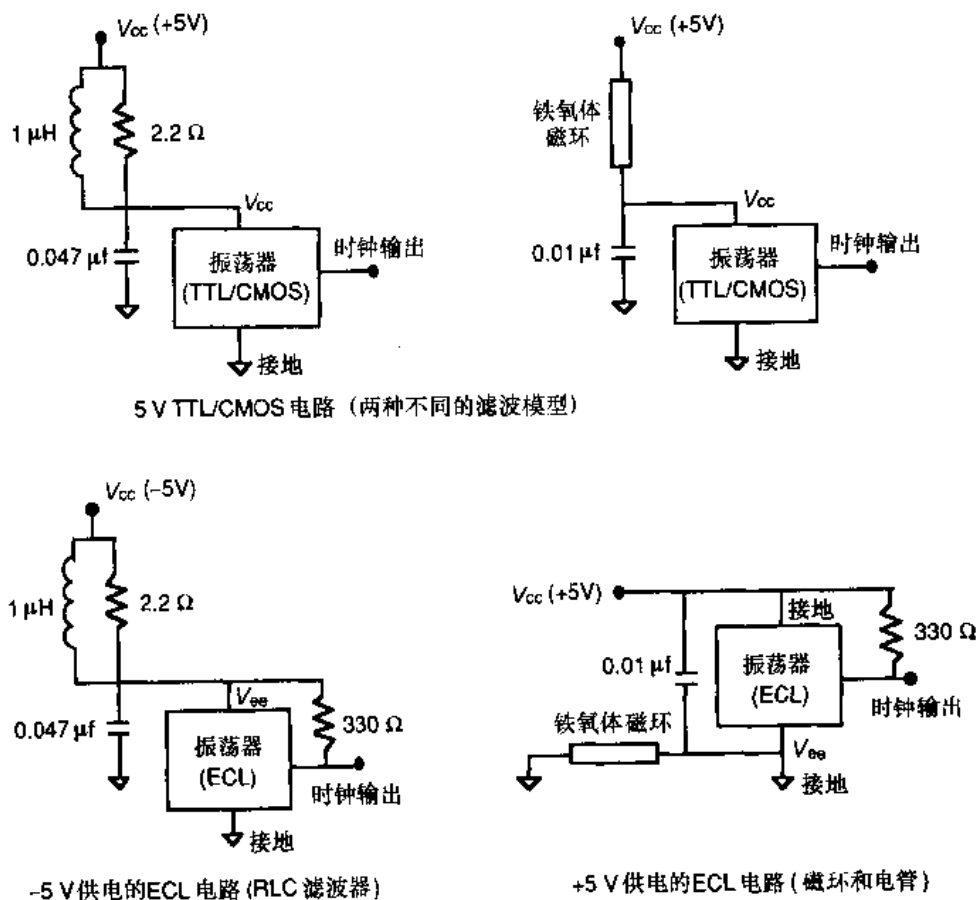


图 3.15 振荡器电路示例

有两种方式可以用来为时钟源提供电源滤波:一种是使用 RLC 电路;另一种是采用铁氧体磁环和电容器的组合电路,下面将对这种方式进行讨论。

若采用滤波方案,大的电感或电容值将会增加滤波器在低频时的衰减能力。对任何电感 L 和电容 C 的组合而言,要取得 20dB 的衰减,可用等式(3.7)来计算:

$$f_{20dB} = \frac{3.2}{\sqrt{LC}} \quad (3.7)$$

式中频率 f 的单位是 Hz。

若该 LC 电路发生谐振,则需要降低该电路的 Q 值。这最好通过使用电阻器来实现。该电阻可以防止谐振的发生,其大小可以通过式(3.8)来计算。

$$R = \frac{1}{2} \sqrt{\frac{L}{C}} (\Omega) \quad (3.8)$$

任何具有滤波器的振荡器都将吸收去耦电容器中的瞬时电流。由于电源线上的电感,遍布于 PCB 上用于去耦的常规大容量电容器都不能提供振荡器所需的瞬时电流。所用的滤波器将保持电源输入电路中的电流环路(电源和地线)很小,从而防止该电路影响电路板的其余部分。瞬时冲击电流的路径将只能是从本地滤波器的电容器到集成电路(IC)的电源引线,并从 IC 的接地引线出来流回到该电容器的负极,形成一个相对较小的电流环路。描述该电流环路不仅仅对振荡器有用,也对所有需要这类滤波处理的元件有用。

若采用铁氧体磁环来代替电感,我们可以不使用电阻。这是因为直流时引线上的磁环提供了低电感。在当前的产品中,由于振荡器或时钟产生电路的工作频率经常都在 10MHz 以上,故应阻止 RF 能量进入系统的主要电源分配网络和影响其它的有用电路。此处的电容器仅能提供去耦功能,从而为振荡器电路的电源进行充电。这种滤波器组合电路能最大程度地减小峰值功率消耗,并消除振荡器外壳所产生的 RF 能量影响整个电源分配电路的可能性。

注意:在电源或接地中使用的一些铁氧体可能会与输出信号返回路径相互作用,从而影响信号的质量。

3.9 集成电路中的辐射考虑

IC 元件当前的一些发展,比如微处理器、数字信号处理器和 ASIC 等,已成为电磁噪声的重要来源。最近几年,时钟频率已经从 25 ~ 33MHz 增加至 200 ~ 500MHz。随着时钟频率的增加,由开关电流造成的一个典型的 VLSI 器件的动态功率损耗也相应地超过了 10W。通常,一个单独的电路辐射出的射频能量不足以超过规定的范围。所产生的射频能量经常会耦合到产品中,从而导致电磁干扰问题的出现。

这些部件包括金属外壳所形成的空腔谐振器、膜片、连接电缆以及能够增强低频辐射的类似的元件。而散热器则是射频能量的主要辐射源,前面已进行了讨论。

一些元件制造商(不是所有的)并不优先考虑电磁兼容性或辐射噪声耦合问题(而要求最终用户负起解决电磁辐射以及接地噪声和地电位不均匀问题的责任),原因基于以下的期望条目。设计这些不兼容的、期望的元件是为了

- (1) “无限”小的上升时间(零上升时间)
- (2) 无限制的输出驱动(无限制的功率输出)

就这两项而言,认识到这些条件的存在甚至是更为重要的。并不是所有的制造商都生产同样的产品,尽管这些产品可能在式样、装配和功能上都是兼容的。不兼容的元器件必须采用以下技术仔细地进行处理:

- (1) 保持较短的引线长度(减小输出回路的面积)
- (2) 使时钟信号远离 I/O 电路和线路(防止耦合)
- (3) 通过串联阻抗(电阻器或铁氧体磁环)提高时钟线路的输出阻抗

为彻底解决不兼容元件问题,设计人员必须采用集成电路的电磁干扰抑制技术来提高工艺水平。这些技术可以满足更高速率的要求。在决定如何实施一种方案的过程中设计方法和成本预算起着重要的作用。设计人员必须采用特殊工具和仿真程序来对辐射进行预测。仿真分析中存在的主要问题是找到合适的工具,包括发展一种合适的模型,该模型能反应集成电路的参数(实际的和寄生的)以及正确的冲击电压和冲击电流特性。

为确定 IC 间辐射特性的区别,已进行了方方面面的研究。这些区别包括封装、布线、逻辑系列和同种元件的不同生产商。记录的测量结果显示不同厂商生产的同种元件之间最多可有 10dB 的差异。关于这种区别的例子参见表 3.4[3]。

目前,许多公司为计算元件的辐射量而在进行各种有关仿真和建模的努力。这些辐射一般是共模类型的,这使得建模非常困难。相比而言,差模电流易于进行仿真和建模。寻找更为有效的测量技术方案的努力目前正在进行之中。除非取得实用性的研究成果,否则 IC 辐射量的计算将仍然是那些富有挑战精神的工程师的一个研究课题。

元件的辐射可以通过采用下列设计技术得以降低:

- 缩小封装的外壳尺寸以降低天线效率(减小天线的有效辐射面积)。
- 降低芯片结构中所产生的高频能量。
- 将芯片中产生的辐射噪声与 IC 中任何连接外电路的管脚相隔离。

为降低辐射量,必须对上述技术进行选择组合。这包括为电源和接地设计元件,使衬底上的连接引线相互靠近,以最大程度减小地电位不均匀。周期性时钟信号的边沿速率必须进行控制(采用串联电阻或等效的方案),以降低高频的射频能量与相邻线路或其他金属设备的耦合;还必须要采用低阻抗连线。

降低元器件辐射的具体方法,请参阅表 3.5。

表 3.4 不同节点间的辐射电场强度

频率	3m 处的辐射电场强度 (dB μ V/m)	
	节点 A	节点 B
30MHz	32.8	42.8
40MHz	27.5	33.0
50MHz	23.0	28.0

表 3.5 降低元器件辐射量的设计方案

降低辐射效率	降低耦合和交扰	降低高频开关能量
减小封装外壳尺寸	在设备中添加更多的接地管脚	采用适于正常操作的最小散热速率的激励源
使用封装外壳内的接地面	用小型分布式时钟激励源代替单频激励源	隔离芯片的所用时钟逻辑区域
使用靠近时钟源的附加接地/电源引线	采用尽可能小的激励电压值的激励源	采用电源和接地分立的结构以防时钟噪声的影响
使用屏蔽外壳	采用尽可能低的时钟速率	隔离需要绝缘的芯片区域
将信号线和电源线接地	使用限流电阻器	分离信号线和电源线
在外壳中使用低电感的导线	降低芯片的电容采用不同的时钟激励源	区别时钟端和 I/O 端

3.10 总结

下列建议将有助于减小由于使用某种逻辑器件,尤其是数字逻辑器件而产生的射频能量:

- 选用在逻辑状态变换过程中输入电流消耗更小的元件。这里要考虑的是在最大容性负载条件下元件的所有管脚同时切换时的最大冲击电流,而不是平均值或静态值。
- 使用满足功能要求的速率尽可能低的逻辑器件。尽管速率较低的器件实现起来也更加困难,但仍要尽量避免为实现一般逻辑功能而采用亚纳秒级的器件。
- 选用电源和接地管脚位于封装中央,并且彼此临近的逻辑器件。
- 使用具有金属封装外壳的器件(振荡器)。用尽可能多的低阻抗连线将金属外壳或封装接至 0V 参考电位面。
- 对具有陶瓷外壳和顶部金属芯的器件,要提供接地的散热器。从概念上讲,在某些产品中这可能是整合在一起的;但是如果没有这样,实施起来可能会比较困难。

参考文献

- [1] Montrose, M. 1996. *Printed Circuit Board Design Techniques for EMC Compliance*. Piscataway, NJ: IEEE Press.
- [2] Bakogly, H. 1990. *Circuit Interconnections and Packaging for VLSI*. Reading, MA: Addison-Wesley, Table 6.2.
- [3] Erwin, V., and K. Fisher. 1985. "Radiated EMI of Multiple IC Sources." *Proceedings of the IEEE EMC Symposium*. Piscataway, NJ: IEEE.
- [4] Ott, H. 1988. *Noise Reduction Techniques in Electronic Systems*. 2nd ed. New York: John Wiley & Sons.
- [5] Goulette, D., and R. Crawhall. 1996. "Quieter Integrated Circuits Ease EMI Compliance." *Nortel Technology*.
- [6] Johnson, H. W., and M. Graham. 1993. *High Speed Digital Design*. Englewood Cliffs, NJ: Prentice Hall.
- [7] Mardiguian, M. 1992. *Controlling Radiated Emissions by Design*. New York: Van Nostrand Reinhold.
- [8] Motorola, Inc. *Low Skew Clock Drivers and Their System Design Considerations* (#AN1091).
- [9] Motorola, Inc. 1996. *ECL Clock Distribution Techniques*. (#AN1405).
- [10] Williams, Tim. 1996. *EMC for Product Designers*. 2nd ed. Oxford, England: Butterworth-Heinemann.
- [11] Brench, C. 1994. "Heatsink Radiation as a Function of Geometry." *Proceedings of the IEEE EMC Symposium*. Piscataway, NJ: IEEE.
- [12] Diaz-Olavarrieta, L. 1991. "Ground Bounce in ASIC's: Model and Test Results." *Proceedings of the IEEE EMC Symposium*. Piscataway, NJ: IEEE.

第4章 镜像面

4.1 概述

在任何数字系统中,特别是在有高速器件(快速边沿速率)的系统中,为了实现最佳性能必须提供低阻抗(低电感)的 RF 电流返回线路。如第 2 章已经证明的例子,由于功能上的考虑而需要闭环网络。在时域和频域上都要求这种闭环网络。所有的器件和可能的走线或线路互连都必须运行在 RF 返回电流能返回源(低阻抗路线)的环境中。

由于 RF 电流必需返回它的源(闭环电路),为达此目的,任何可能的线路都会被使用。我们必须用传导电路控制所有的返回电流。有传导返回线路总比没有返回路线要好。如果没有传导线路,自由空间就成为返回路线。我们最不希望自由空间成为 RF 返回电流的返回路线,特别是在要遵守严格的 EMC 规章时。

如图 4.1,我们可以看到,RF 返回电流没有最佳的返回线路。假设所有器件仅靠电源结构走线连接到参考电压源。在时域上,只要满足相关的功能要求,则电路工作。RF 电流通过 0V 参考电压电路返回。当电路按市场的规范工作,且逻辑信号能顺利地由源传送到负载时,为什么数字系统设计者们还应该考虑电磁兼容性呢?

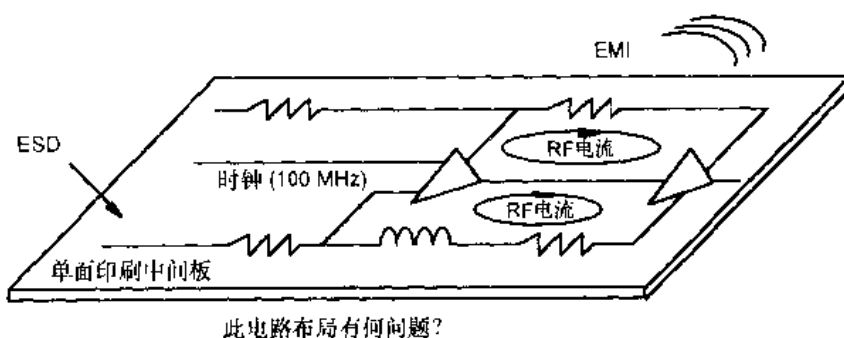


图 4.1 无射频电流回路的典型 PCB 设计

如第 2 章中讨论的,必须同时考虑电路的时域和频域方面。返回电流(直流参考电压)通过 PCB 板的电源和 0V 参考点(接地点)产生。对每一条线路来说,这些返回电流都同时存在于时域和频域上。使用单层 PCB 板的设计也许是最经济的(可以获得最大利润),但是这种简单的设计不能通过各种 EMC 测试的概率却很高。增加一个接地层(双层板),或者使用 4 层板会增强 PCB 板所有涉及到信号完整性和电磁兼容能力方面的性能。然而这比使用单层 PCB 板的费用要高,可以通过增加贵金属保护层或金属化的塑胶保护层作为提高电磁兼容能力的替代方法。

除了两个器件之间的最大辐射之外,PCB 板对 ESD(静电放电)事件也很敏感。一个高电

流脉冲,伴随着有效电磁场的辐射,会使 PCB 板中的阻抗比自由空间的低。这个辐射场在 PCB 走线中传播将对走线产生影响。器件可能由于内部受到破坏而损坏。另外,也可能使产品的性能下降而导致功能失灵。

高科技的 CMOS 产品对 ESD 事件很敏感。这种敏感性要求在装配期间进行特殊的处理,然而对 PCB 板进行防止 ESD 的保护仍然常常不被考虑,特别是要增加板的成本时。

对任何数字 PCB 板,良好的 0V 参考电压(接地)系统是基本的。如果 0V 参考电压不好,那么在 EMI 问题出现时解决它就会很困难。实际上,不良的 0V 参考电压可能是导致问题的原因。唯一的补救办法是重新设计电路板。对双面 PCB 板增加两个或多个层只需要很少的工作,例如增加电源层和接地层,但是却可以获得 10~20dB 的辐射性能方面的改善,这已在许多 EMC 出版物、教科书、科技论文(未确定的)中说明(出版物的列表参见本章结尾的参考及参考书目)。

EMI 测试失败会否定使用低成本双面板来降低成本的做法。额外的 EMC 测试(辐射和抗干扰性)、重新设计和布局,以及为测试而建立原型,占用工程资源并导致延迟几周的时间,很容易使花费超过数万元。增加两层或更多层所增加的费用可能比维持双面结构要少。根据生产的 PCB 板的数量,使用多层板可能会节省费用。在一次实践中,花费了 \$ 50 000 的附加工程资源优化双面板,仅节约生产费用 10 000 美元。管理者在决定保留有问题的设计时必须考虑这些财务因素。

带着这个问题,我们可能会找到无穷的平行返回路径。这是因为在器件之间互相有连接,同时器件也要连接在能量分配网络中。由于可能存在的无穷的返回路径,我们可以利用这一特性,将“无穷”转化为 $1(\infty \rightarrow 1)$ 。这里的数字 1 被看作是一个镜像面。我们通常把 PCB 板的 0V 参考点称为接地层。在 ECL 系统中,0V 参考点指的是电源层。事实上,任何多层的铜薄板都可以为 RF 返回电流提供低电阻的返回路线。RF 返回电流由于趋肤效应而集中在铜板的表层,所以除非是某些特殊情况,电位(例如 +5V、+12V 等)就不是主要关心的。使用多层板的缺点是费用较高。在许多应用中,使用多层板在经济上根本不可行。在这种情况下,必须建立另一种有效的 RF 返回电流的返回路径,可以使用栅格型接地系统、接地线路,或者像后面所述的其它创新的方法。

因为技术在快速发展,在本章主要讨论多层板问题。事实上也根本不再存在慢速逻辑设备。通常,器件制造商使用一种称为“压缩冲模”的过程不断地提高其产量。为了实现压缩冲模并且增加产量,除了在充满竞争的市场中使自己的产品更便于使用外,在处理速度上的提高是不可缺少的。另外,与增长的速度和快速的边沿速率相应的,平板印刷电路中,线的极限宽度也越来越细。

许多“器件供应商”只关心产品的效益,而不是 EMC 能力。这些供应商,通常都不会优先考虑他们的顾客在许多情况下按照规律要求他们的最终产品遵从辐射和抗干扰性要求的需求。对许多器件生产商来说,器件是不会引起 EMI 问题的,但是在 PCB 板上,他们生产的器件总是与其他的器件一同使用。因此许多器件生产商就不遵守规章,以减少由于 EMI 控制而带来的成本上升。一个快速边沿速率的设备在慢速产品中仍能工作。那么,当快速设备只用很少的花费就可以使用,而且可以做到每个管脚完全兼容,为什么半导体销售商还要考虑重组他们的设备去生产慢速设备呢?

以下是对单面和双面板的简要讨论。高科技产品要求使用多层的结构。

4.2 5/5 规则

5/5 规则指出什么时候需要使用多层板。此规则说明,在时钟频率超过 5MHz 时,或上升时间小于 5ns 时,需要使用多层板,超过这个边界速率和频率,就要增加使用多层板的需求。在使用快速边沿速率的器件和时钟时,只有设计者知道可能存在问题时,并利用合适的设计和布局技术,5/5 规则能用于更高的时钟频率和更快的边沿速率。设计者必须在使用简单的多层板设计高科技产品方面有丰富的经验。用很小的花费完成这一任务是极端困难的。

4.3 镜像层怎样工作

在第 2 章中,我们检验了对流量抵消或最小化的需求。镜像层通过给 RF 返回电流提供不同于源路径的镜像返回路径,实现流量抵消或最小化的需求。此处的术语“不同”指的是信号和它的返回镜像之间的相位关系。关于共模和差模的详细讨论见第 2 章。当 RF 返回路径与传输线路很接近时,流过的磁力线就会彼此消弱。现在我们检测一下此问题的物理特性。

当电流在 PCB 板走线中传输时,磁通量就会在传输路线上产生电磁场。麦氏方程描述了磁通产生电磁场的变化规律,反之亦然。根据线路长度,可能产生电磁辐射。线路和铜板会产生一定大小的互感。当有电压加在传输线路上时,这种互感就会阻碍电流流动。

研究发现如果双线传输线路有不平衡,走线就会成为不对称的双极天线。这种不对称结构产生共模辐射电平将比存在于闭环电路中的差模辐射电平大得多,详情见第 2 章。

在检验 PCB 板的镜像层是怎样工作的之前,先简述一下这种 PCB 板的各种电感之间的区别。它们是:局部电感,在线路或 PCB 走线中的电感;局部自感,一段线段相对于无限远的电感;局部互感,一个线段对另一个线段的电感。

4.3.1 电感

在任何频率下,像线路或 PCB 走线之类的可传导的元素都有电感。PCB 板上的走线、孔和面的分布电感、电容、电阻,必须像所有的电路器件中的集中参数一样同时被考虑。最难研究和确定的参数就是电感。不像电容和电阻,闭环电路电感是动态的。

电感定义为所有通过闭环电路的磁通量和产生这一磁通量的电流的振幅的比值,描述为公式(4.1)。

$$L_{ij} = \frac{\Psi_{ij}}{I_i} \quad (\text{H}) \quad (4.1)$$

此处 Ψ = 磁通量, I = 闭环结构上的电流。如果线路在闭环电路中,电感是线路环路的几何大小和形状的函数。

在设计 PCB 时,线路或 PCB 通路的电感经常不被注意。电感经常是和闭环电路相关联的。为了描述电感对环路的影响,我们必须检测局部电感和局部互感的影响。

4.3.2 局部电感

局部电感定义为导体由于磁通量存在而产生的内部电感。但是这个定义并不完全对。

电感只对闭环电路而言。为了简化研究局部电感的需要,我们分开研究电流环中的各部分。这种方法可以研究电路中的传输路径的所有影响。为了减少电路或几何体的全部电感,首先必须减少电感最大的那部分电感。可以通过缩短传输线路长度、消除通孔、增加导体的宽度或其他方法,包括路线重定位等来实现。局部电感对估计电路电感的电压降是有用的。对时变场,电压降或电位差没有被唯一定义时要特别注意。

闭环电路的总的局部电感是所有部分的和。如公式(4.2)所示,公式中各部分的静态电流是同样的。其中 L_{total} 是环路中总的电流通量。通过这些信息,我们可以定义特定部分的局部电感为该部分的流量耦合与电流的比值,如公式(4.3)所示。局部电感的定义是针对单环电路的。很明显,不同的环路有不同的局部感应。

$$L_{\text{total}} = L_{\text{partial segment1}} + L_{\text{partial segment2}} + \cdots + L_{\text{partial segment } n} = \sum_{i=1}^n L_i \quad (4.2)$$

$$L_{\text{partial segment } i} = \frac{\Psi_i}{I} = \frac{\text{与环路链接的 } i \text{ 段所产生的磁通}}{i \text{ 段电流的幅值}} \quad (4.3)$$

由于趋肤效应,导体中的内部电感将减少,阻抗以均方根频率增加。由于趋肤效应,存在于导体中心位置的电感在导体的全部作用中占很小的一部分。感兴趣的是与频率无关的局部电感,而不是线路总的电感。由电感与频率无关,可以得到两平行导体(或穿过镜像层的线路)的互感的一般公式(4.4)。局部电感和互感的更详细表达式见公式(4.5)。

4.3.3 局部互感

局部互感[2.6.9]是使镜像层实现流量抵消的关键因素。流量抵消可以通过使产生流量的磁力线连接起来,以及为 RF 返回电流找到最佳返回线路来实现。

局部自感应用于给出的独立于其它任何环路的位置或者方向的段。给出一段电路上的电流,就定出了一个一端限制在线路部分,另一端是无限空间的闭合矩形区域。这两个垂直的线路部分从此部分的末端扩展到无限空间。图 4.2 说明了这一点。当在线路部分和无限空间之间产生局部自感时,我们可以称其为局部互感[9]。

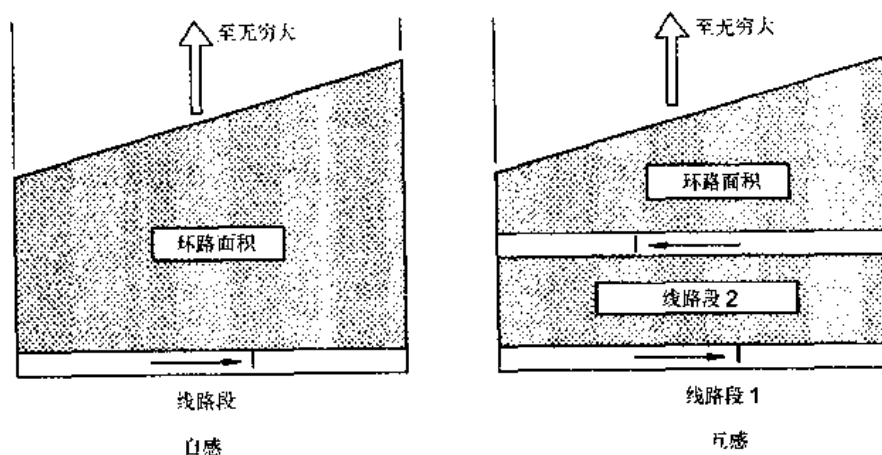


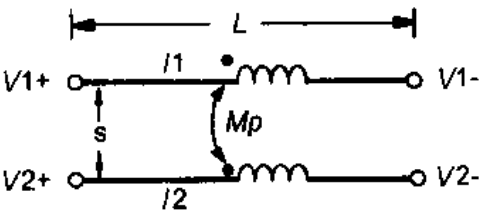
图 4.2 环路面积决定自感和互感

考虑一块单独的导体,长为 L ,承载电流为 I 。导体的局部自感 L_p 等于“通过环路(或线路之外,介于导体和无限空间之间)的电流 I 产生的磁通量与线路中的电流之比”。

当然,局部自感理论上是独立于邻近的导体的。然而,使导体间距离减少可以改变其一或

两者的自感。这是因为一个导体会作用于另一个导体,从而导致在整个导体上的电流分布不均匀。这种典型现象出现在当导线距离与半径的比小于 5:1 时。两个相同的导线间距与半径的比为 4:1 时就可以在原来的两根导线之间加入第 3 根半径相同的导线[2]。

两个导体之间存在着局部互感。局部互感 M_p 与并行的线路或导线之间的距离有关。此距离 S 等于“第一个导体中的电流产生的磁通量通过第 2 个导体和无限空间之间的部分”与“第一个导体中的电流”之比。局部自感的如图 4.2 所示,详细的电路示意图如图 4.3。在图中条件下,电压可由公式(4.4)给出。



注: 任何导线和导体均有电感

图 4.3 两导体间互感

$$\begin{aligned} V_1 &= L_{p1} \frac{dI_1}{dt} + M_p \frac{dI_2}{dt} \\ V_2 &= M_p \frac{dI_1}{dt} + L_{p2} \frac{dI_2}{dt} \end{aligned} \tag{4.4}$$

有了局部互感的概念, V_2 假设图 4.3 中的两条走线传送有用信号, 如时钟信号。标为 V_1 的线路为信号线, 标为 V_2 的线路为 RF 的返回线路。假设两个导体组成信号线和返回线路, 因此 $I_1 = I, I_2 = I_1 = -I$ 。如果两个导体没有互耦, 电路不可能运行, 也就没有闭环电路(见第 2 章)。图 4.3 中电路的电压降变为公式(4.5)。

$$\begin{aligned} V_1 &= (L_{p1} - M_p) \frac{dI}{dt} \\ V_2 &= - (L_{p2} - M_p) \frac{dI}{dt} \end{aligned} \tag{4.5}$$

从公式(4.5)可知, 要减小通过导体的电压降, 必须使导体和与之在同一电路中的并联导体之间的互感最大。最容易增大互感的方法是使 RF 返回电流路线与信号线尽可能地接近。最佳设计技术是使 RF 返回电流层与信号线的距离达到可制造出的最小值。对单面或双面 PCB 板, 另一个增大互感的方法是提供一条与信号线尽可能近的 RF 返回线路。

为了观察局部电感和局部互感的影响, 可考察两条线路或一条线路和一个导体层。局部电感始终存在于导体内(默认情况), 而且电感等于天线处于谐振频率下的电感。局部互感减小了局部电感的影响。通过使两个导体放得很近, 它们各自的电感都会降低, 这是一种达到理想 EMI 的设计方法。

为了得到最佳的局部互感, 两个导体中的电流必须大小相等, 方向相反。这就是镜像层(和接地线)为什么起作用的原因。由于互感存在于两条并行的导线之间, 所以电感的大小是可知的。表 4.1 给出了不同距离的两条并行导线间的互感[2]。

表 4.1 两并行导线间的互偏离电感

导体隔离	一般的长度		
	1 in	10 in	20 in
1/2 in(1.25 cm)	3.23 nH	137.9 nH	344.9 nH
1/4 in(0.63 cm)	6.12 nH	172.4 nH	414.7 nH
1/8 in(0.32 cm)	9.32 nH	207.3 nH	484.8 nH
1/16 in(0.16 cm)	12.7 nH	242.2 nH	555.0 nH

既然互感是为检验信号线而研究的,那么被电介质分开的电源和接地层与电感是如何关联的呢?当距离最小时,层之间的局部互感最大。为了减小局部互感,就要增大层间的电容,而这种设计要求的原因在第5章中详述。当我们使电源与接地层之间的局部互感最大时,从电源分配层上观察到的 RF 信号电流就被相等但反向的 RF 返回电流抵消了。

4.3.4 镜像层的实现和概念

实体层可以产生共模的辐射。图 4.4 说明了有局部互感的 PCB 板中镜像层的外观。在图 4.4 中,信号线上大部分的 RF 电流都从信号线下面的层返回了。在这种镜像结构中,RF 返回电流会遇到一定大小的阻抗(电感)。这一返回电流产生接地噪声电压的电压降。接地噪声电压会导致部分信号电流从接地层的分布电容流走[6]。

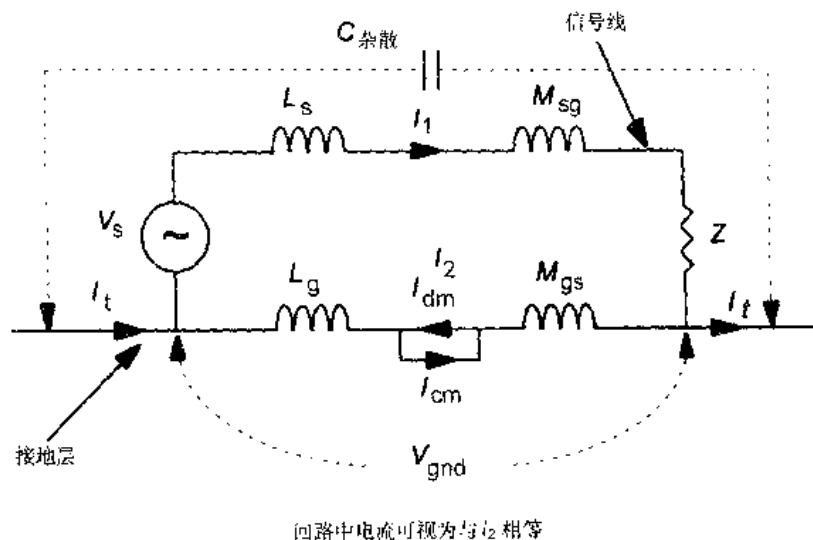


图 4.4 PCB 板内接地层原理图

共模电流 I_{cm} 通常在大小上比差模电流 I_{dm} 小几个数量级。然而,共模电流(I_1 和 I_{cm})却比差模电流(I_1 和 I_{dm})产生更高的辐射。这是因为共模的 RF 电流场是叠加的,而差模的场是趋于抵消的[6.7.8]。

为了减小接地噪声电压,必须增加线路及与之最近的镜像层之间的互感。这样做可以为信号电流通过镜像返回它的源提供一条增强返回路径。我们用公式(4.6)计算接地噪声电压 V_{gnd} 。

$$V_{gnd} = L_g \frac{dI_2}{dt} - M_{gs} \frac{dI_1}{dt} \quad (4.6)$$

在图(4.4)和公式(4.6)中, L_g = 信号线路的局部自感, M_{gs} = 信号线与接地层之间的局部互感, L_s = 接地层的局部自感, M_{sg} = 接地层与信号线之间的局部互感, C_{stray} = 接地层的分布引线电容, V_{gnd} = 接地噪声电压。

为了减少图 4.4 中的电流 I_1 ,必须减小接地噪声电压 V_{gnd} 。通过减小信号线和接地层之间的距离可以很好地达到这一目的。在许多情况下,由于功能上的原因,减小接地噪声电压是有限的,因为信号层和镜像层之间的距离必然是有限的,以便保持板间稳定的阻抗。因为两个层之间的距离不能小于物理上可制造出的距离。接地噪声电压也可以通过提供一条附加的返回路径释放 RF 返回电流而得到减小。此处的附加返回路径包括地线。

因为部分互感减小了 RF 返回电流产生的辐射,让我们考察一下差模电流 I_{dm} 和共模电流 I_{cm} 是怎样受到影响的。使用镜像层可以大大减小这些电流,如图 4.5。如第 2 章讨论的以及本章后面将重申的,当存在于信号线和 RF 返回路线中的电流大小相等且方向相反时,差模电流就被抵消了。如果被抵消的电流不是 100%,剩余的电流就成为共模。这个共模电流成为激励源,并且导致由产品传播的主要电磁干扰。返回路径中的剩余 RF 返回电流将叠加到信号线上的主要电流上。为了减小共模电流,必须增大信号线和镜像层之间的局部互感以便“捕获流量”,以此抵消不需要的 RF 能量。

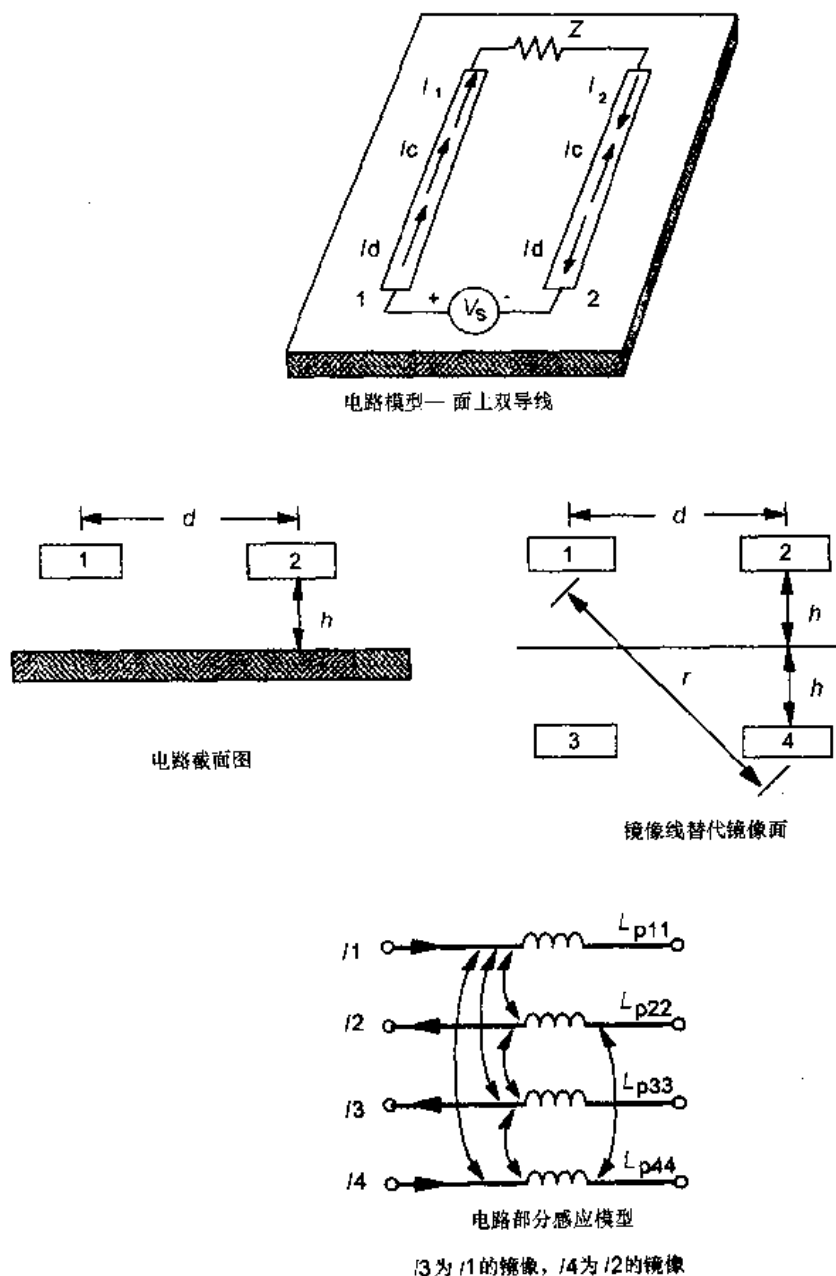


图 4.5 与部分感应相关的镜像面的应用

在 PCB 上提供 RF 返回层或线路时,当返回线路连接到参考源上时会获得最佳的性能。这个参考源必须在物理上连接到器件的源和负载的参考管脚上。对 TTL 和 CMOS,晶片的电源和接地管脚要接到参考源、电源和地。几何因素会影响这种连接。只有当 RF 返回线路连接到器件的电源和接地管脚时,才会存在真正的镜像层。一个孤立没有连接任何参考源的铜片(PCB 的一层),在任何情况下都不会作为一个镜像层。如果返回路径是断的,返回电流怎么能返回源?

一个包含差模电压和电流的镜像层会产生共模电流。根据线路和镜像层之间的距离,差模电流会由于局部互感的增加而减少。在层内有大量电流依赖于两个传导层之间的最小距离。

镜像层能够起作用是由于数字器件被连接到电源和地层,通过连接到为已存在的器件提供参考的接地层使设备内部接地。这种在器件内部的连接使得镜像层能够起作用。

当镜像层被移走后,在线路和层之间就会产生一个虚拟的镜像返回路径。与这些电流关联的 RF 镜像将会随着辐射能量的减少而消失,因为每一对线路(源电流和它的镜像)都很近。为了使镜像层起到期望的作用,层应该是无限大的并且没有断裂、狭槽或者切口[2]。

4.4 接地和信号回路(没有涡流)

回路是 RF 能量传播的主要贡献者。RF 电流会试图通过任何路径或媒质返回它的源,包括:器件、铠装线、地层、相邻的线路或其它路径。RF 电流总是在源和负载之间存在返回路径且两点之间有电位差时产生。然而,线路电感导致在源和被影响的电路之间出现 RF 电流的磁耦合,从而增加了线路中的 RF 损失。

在抑制 PCB 的电磁干扰方面,设计时要考虑的一个重要内容是接地和信号返回环路的控制。必须对每一个与 RF 噪声电路产生的 RF 电流相关的接地连接缝隙(确保 PCB 和接地底盘之间的机械连接)作出分析。高速逻辑器件和振荡器应该放置在距离接地点尽可能近的位置,以便减小涡流和接地底板之间形成回路。现在详细讨论这种设计的要求。

图 4.6 显示了在计算机的适配卡和单点接地点之间形成回路的例子。如图示,提供了一个额外的信号返回回路。每一个回路都有不同的电磁场和频谱。RF 电流在特定的频率产生一个依赖于环路物理大小的电磁辐射场。现在必须采取措施抑制这些 RF 电流与其它电路耦合或成为电磁干扰辐射到外部环境中。内部产生的 RF 环路电流也应该消除。

为了详述图 4.6 中回路区域的概念,图 4.7 说明了在两个器件之间的回路区域。

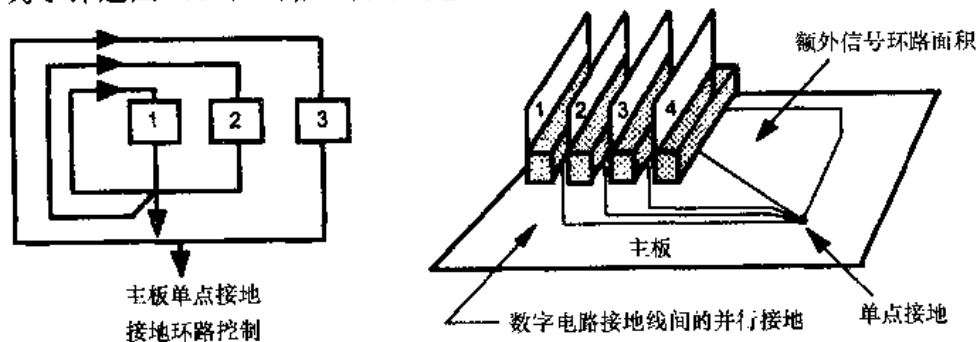


图 4.6 PCB 组件内的接地环路

为了重申在 PCB 结构中最小化回路的重要性,我们考察回路在产生电磁干扰方面的影响。这些概念对理解 PCB 中 RF 能量是如何产生的很重要(对于器件中的回路是如何产生电磁干扰的问题参见第 3 章 3.4 节)。

当一个环路中集中了 RF 能量时,如果没有 RF 电流的返回路径,这些能量是怎样释放的? 一个接地层和 0V 参考点的连接可以释放这种不期望的 RF 电流堆积,这也被称为回路区域控制。

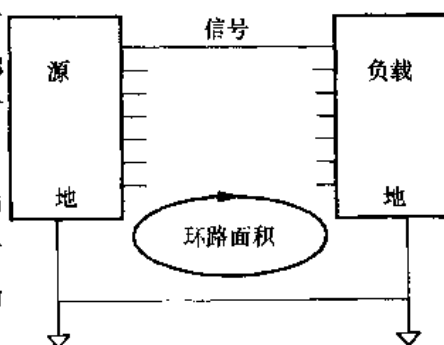


图 4.7 元件间的环路面积

4.4.1 回路区域控制

图 4.8 说明了使用单面和双面结构以及多层结构的 PCB 板中的各种回路区域是怎样产生的。回路感应电磁场可以作为该回路的电压源。这个电压源是与回路的总面积成比例的。为了减小磁场的耦合,必须减小回路面积。电场也是依赖于形成接收天线的回路区域来接收的。

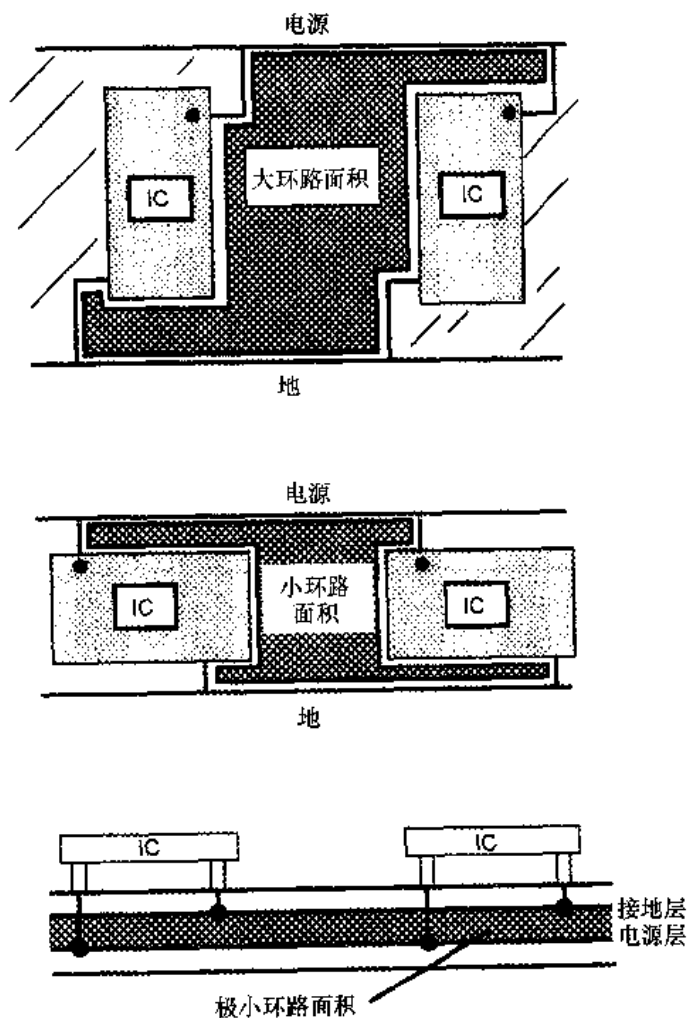


图 4.8 PCB 板上的环路面积

当存在电场时,就在两个导体系统(电源和地)之间产生一个电流源。电场不产生线到线耦合而导致线到地耦合,包括共模电流。因此这种模式唯一允许的回路的耦合是导体与地的

耦合。当然,伴随电场的磁场也耦合到导线回路中(线到线和线到地)。

在 PCB 板布局时,产生于电源和 0V 参考结构之间的回路区域常常被忽略。图 4.8 最上面的图显示了一个 PCB 设计者完成的粗劣的布局图,因为用计算机 CAD 软件很容易作出来。这种软件使彼此靠近的器件之间通过总线连接变得非常容易。在 PCB 板上大的回路面积很容易产生 ESD - 感应场(或其它的场)。多层板结构可以减小潜在的 ESD 破坏,进而减小向自由空间辐射的磁场。

使用电源和接地层可以帮助减小电源分配系统的电感。降低电源分配系统特性阻抗减小了板上的电压降。电压降的减小,使地电位的跳跃减小。为了进一步降低整个结构的特性阻抗,我们在两个并行层之间增加电容。这个电容减小了所有感应电压的影响(这种减小在第 5 章讨论)。

从图 4.9 可以看到,在器件之间有信号线时,可能会产生大的回路区域。当在分析 PCB 板为什么存在电磁泄漏时常常忘记考虑信号线。尽管我们有很高的信号完整性(在时域上),但是电磁干扰仍然存在(在频域上),因为信号回路区域比电源分配系统产生更多的问题,特别是在 ESD 方面。这是因为 ESD 事件是直接进入回路和器件的输入管脚的。为了减轻由于 ESD 事件导致的破坏,减小回路面积是最容易使用的技术。电源和接地层的分配网络提供一条低阻抗路径允许 ESD 能量传输回 0V 参考层。毕竟,这就是回路,如果它们可以发出场,那么它们也可以接收场。

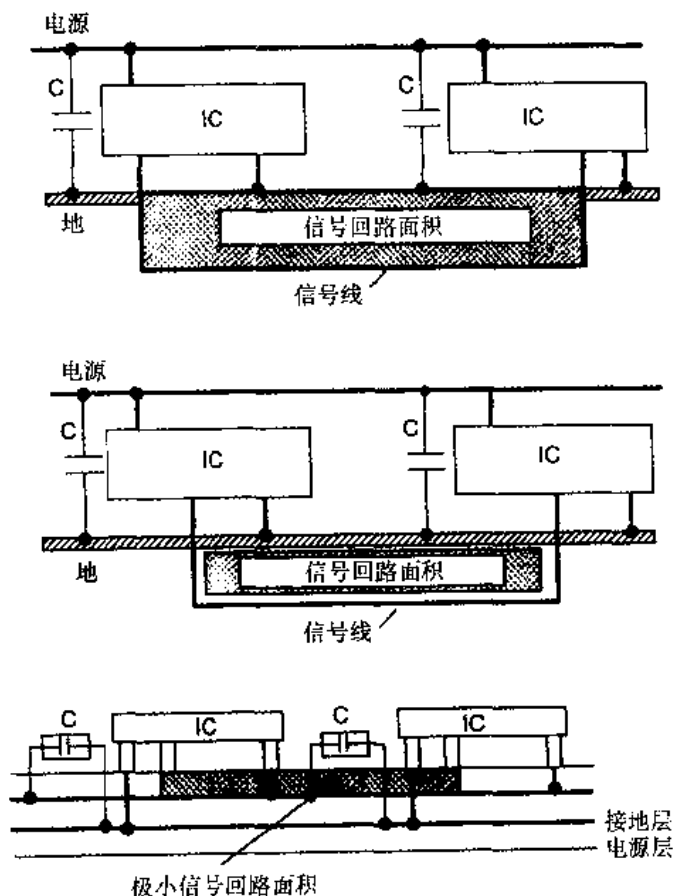


图 4.9 PCB 板内回路面积的缩减

除了减小接地噪声电压,镜像层还可以阻止 RF 对地回路的形成。因为当找不到可替代的返回路径时,RF 电流就会与它的源路线紧紧地耦合在一起。当达到最大回路控制时,流量的抵消就会增强。这是在 PCB 级上关于抑制 RF 电流最重要的概念之一。对邻近每一个信号层的镜像层合适的布局可以去除由于信号线与其返回路线耦合产生的共模 RF 电流。镜像层承载的大量 RF 电流必须被返回到地或 0V 参考电位。为了帮助去除超过的 RF 电位和没有控制的涡流,如果使用了 0V 参考点,所有的接地层和机壳都可以通过低阻抗的接地连接线接到机壳的地[1,6,9,10,11]。

现在我们来考察为了把 RF 电流转移到 0V 参考点或返回结构中,生成阻抗接地线的最佳的距离。

4.5 纵横比——接地连接之间的距离

纵横比是一个用在电视工业中的术语,指的是帧的宽和高的比值。此术语也指长尺寸和短尺寸的比值。有了这些定义,那么纵横比和 EMC 有什么关系呢?当在 PCB 板中对于一个金属结构使用多点接地点对地连接时,我们必须注意到接地连接在各个方向的距离。

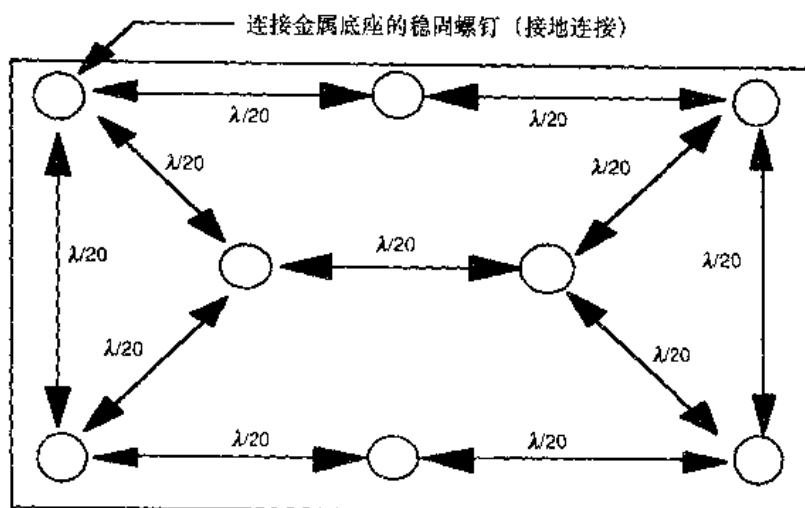
存在于电源和接地层的 RF 电流会与板中的其它器件、电缆、外围设备或其它电子设备产生耦合。这种不期望的耦合可能导致错误的操作、功能信号畸变或者电磁干扰。当对金属外壳点使用接地连接,或者提供到 AC 干线的第 3 条接地线路时,RF 对地回路就成为设计时主要考虑的。这种配置在个人计算机中是典型的(图 4.6 显示了一个在个人计算机中使用单点接地连接的例子)。

由于器件的边沿速率变得越来越快,要求强制使用多点接地,特别是当有内部连接的 I/O 时。当内部连接电缆连接到连接器时,内连电缆的另一端可变为一个 RF 的通路,这条通路第 3 条 AC 接地(如果有的话)连接并与各自的电源(如电池的负极)相连,或简单地经分布的 RF 阻抗连入地或射入自由空间。在 I/O 的内部连接中,大的对地回路可以导致不希望级别的共模能量辐射。怎样才能使 PCB 结构中的回路最小呢?最容易的方法是如果存在机壳的地,就设计许多到机壳的接地连接。现在的问题是,假如设计时真有这种特殊要求,那么每个接地连接之间的距离应该设置为多远?

接地点之间的距离不应该超过相关最高频率的 $\lambda/20$,不仅仅是主要频率(包括谐波)。如果使用了许多高带宽的器件,通常都要设置多个接地点。如果是低边沿速率设备单元,那么可能会减少接地点的数目或增大接地点之间的距离。

例如:64MHz 振荡器的 $\lambda/20$ 是 23.4cm(9.2in)。如果两个到 0V 参考接地点之间的距离(不论是 X 方向还是 Y 方向)超过 9.2in,那么存在的 RF 回路就会起作用。这个回路可以成为 RF 能量传播的源,导致不满足内部电磁干扰辐射限制的要求。除非使用其它的设计方法,抑制由于差的回路控制引起的 RF 电流是不可能的,必须采取密封的方法(例如采用金属片)。金属片是一种昂贵的权宜的办法,可能根本无法对 RF 密封起作用。图 4.10 给出了一个纵横比的例子[1]。

在任何 PCB 板的布局中,人们放置器件的位置是很关键的。许多设计都是由小的部分或(按逻辑功能划分的)区域组成的。对每一个邻近其它部分的功能区进行分组可以减小信号线的长度和反射,并且在保持信号完整性的前提下使得线路安排更容易。应该尽量避免产生孔



任一轴向 (X 轴或 Y 轴) 内两螺钉间距不应超过 PCB 板内最高频率波长 (最小波长) 的 $\lambda/20$ 倍。

图 4.10 高宽比

通路,因为每一条孔通路大约使线路的电感增加 $1 \sim 3\text{nH}$ 。图 4.11 说明了 CPU 主板按功能分组的例子。

在图 4.11 中,可以看到大量使用了接地点。高频设计(快速边沿速率)导致非常高的频谱频率,要求有新的方法使接地层与机壳的地相接。多接地点的使用,有效地分割设计的各种元件产生的共模涡流,使这些涡电流尽量不会耦合到其他部分。高于 50MHz 时钟频率的产品通常要求频繁使用到机壳的地地的接地连接,以便使共模电流和各功能部分之间的对地回路的影响最小。每一个小部分至少需要 4 个接地点围绕。这些接地点是实行纵横比最好的例证。注意连接到底板的连接(螺丝钉或等效物)被放置在为外围设备供电的直流电源连接器(标题 P)的两端。产生于 PCB 或外部电源子系统的 RF 噪声必须通过并行的支路电容器使交流部分分流到机壳的地。这些电容减小了来自电源的 RF 电流耦合到信号线和数据线中的量。除去电源连接器中的 RF 电流除了可以减少辐射外,还将改善主板和外部设备之间传输数据时的信号质量。

功能模块或功能区可以是由许多 PCB 组合而成。一个典型的个人计算机包括以下器件: CPU、内存、ASIC、I/O 总线接口、系统控制器、PCI/IDE 总线、SCSI 总线、外设接口(硬盘和软盘驱动器)以及其它的器件。每一个关联的模块都有不同的 RF 能量带宽。不同的逻辑系列生成了不同频谱频率的 RF 能量。信号的频率越高,生成的 RF 频谱能量的带宽越大。RF 能量由高频器件和时变的数字和模拟信号产生。时钟信号是产生 RF 能量最主要的信号。这是因为时钟是周期信号,提供不变的频率(50% 占空比),并且通常变化率都很快。

为了阻止不同带宽区域的耦合,使用了功能区分割。分割指的是不同功能部分物理上的分开。分割是与产品有关的,并且可能通过使用单独的 PCB、独立的部分、变化的拓扑布局或其它有创造性的方法来完成。

合适的分割可以实现最佳的功能,使布线更容易,并且使线路长度最小。还允许在最佳信号质量时保持最小的回路。设计工程师可以定出哪一个器件与哪一个功能部分相邻近。在布线之前,使用这些生产厂商提供的器件信息可以使器件放置在最优的位置。

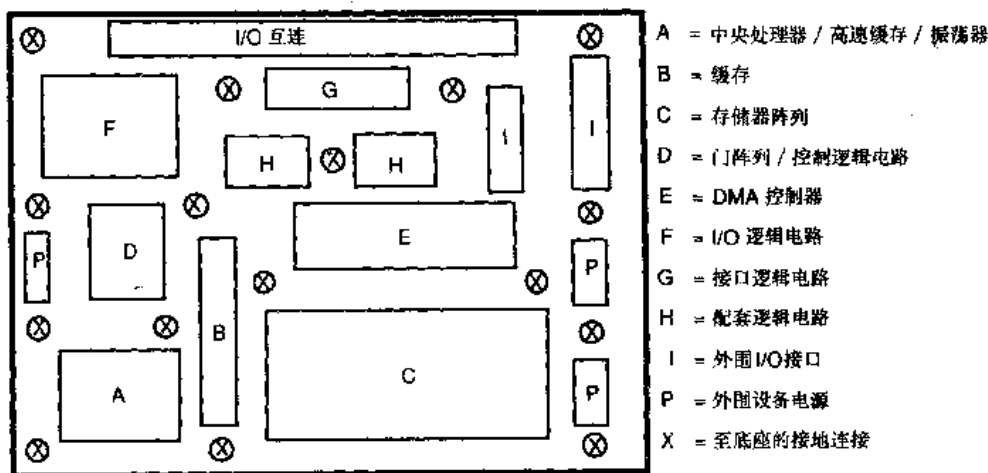


图 4.11 多点接地—高宽比的实现

4.6 镜像层

镜像层是在 PCB 的内部邻近电流或信号层的一层铜板(电压层、接地层或者地板层)。镜像层用于为 RF 信号的电流返回源(流量返回)提供一条低阻路径,从而完成 RF 返回路径并且减少电磁干扰。术语“镜像层”是德国人 Ott 和 Paul 普及的[7],现在被采用为工业标准术语。

RF 电流必须通过这样或那样的路径返回其源。这条返回路径可能是建立在原路径的邻近的电源层、接地层或者地板层上的另一条路径。RF 电流容性地(或互感)耦合到传导媒质(如:由铜组成的导线或层构成的低阻抗路径)。如果这种耦合是 100%的,共模 RF 电流就可以在线路和与之最近的镜像层之间传播。PCB 内部的镜像层除了可以使 RF 电流通过紧密耦合(几乎 100%)的方法返回其源以外,还可以减小接地噪声电压。紧密耦合可以使流量抵销,这也是使用实心板的一个原因。实心板同样可以阻止 PCB 板中存在大量 RF 能量的线路生成共模 RF 电流。

图 4.12 说明了概念,镜像层的应用,同时也显示了如果信号线和 0V 参考层(接地层)之间没有紧密的耦合会出现的情况。经过传导返回的电压变化就是对地的压降。PCB 返回结构中两点之间的对地电压降越小,PCB 的辐射泄漏越小。

趋肤效应是与镜像层相关的一个概念。趋肤效应是指在高频时电流集中在导体的第 1 个趋肤深度的现象。电流不会也不能存在于线路或导线的中间,而是主要存在于导体的表面。不同导体有不同的趋肤深度。超过 30MHz 时,铜的趋肤深度极小。通常,在 100MHz 时为 $6.6 \times 10^{-6} \text{in}$ (0.0017mm)。接地层上的 RF 电流不能通过穿透 1 盎司 0.0014in (0.036mm) 厚的铜板。结果,共模电流和差模电流都只在层的表面流动。没有大量的电流在镜像层的内部或它的底部流。在接地层下增加镜像层不会减少电磁辐射。如果第 2 个层在电压电势层(主层在地电势层),就会形成去耦电容。这两个层就可以被用于去耦电容和双镜像层,但是要考虑流量抵消(见 2.1 节)[6]。

对于镜像层理论,这里提供的材料是基于有限大小平面的,通常是各种 PCB 板。镜像层不能用于减少 I/O 连线上的电流,因为并不总有有限大小的传导层存在。当提供 I/O 连线时,

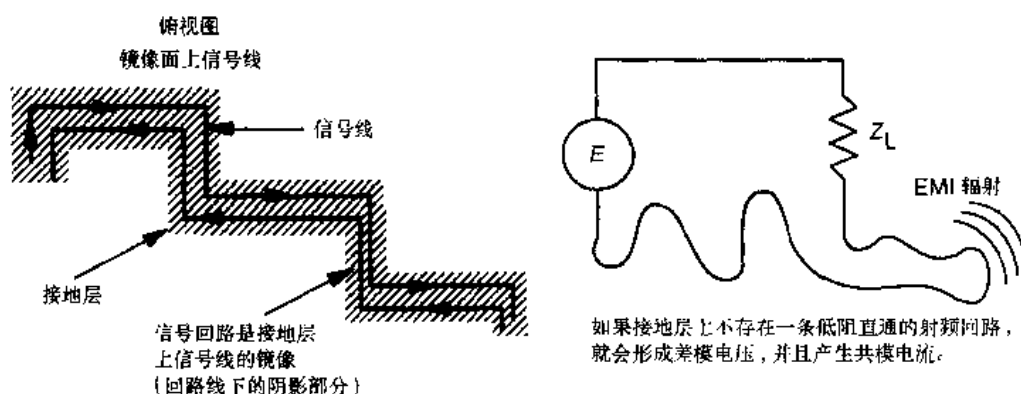


图 4.12 镜像面概念

配置的尺寸和阻抗是需要记住的重要参数[12]。

图 4.13 是一个共模和差模电流的例子。测得的 E 场差模电流是 I_1 和 I_2 的差。此差值可以被忽略, 因为二者有 180° 的相位差。测得的 E 场共模电流是 I_1 和 I_2 的和, 这个和电流的影响是实际存在的。共模电流通常比差模电流小得多。

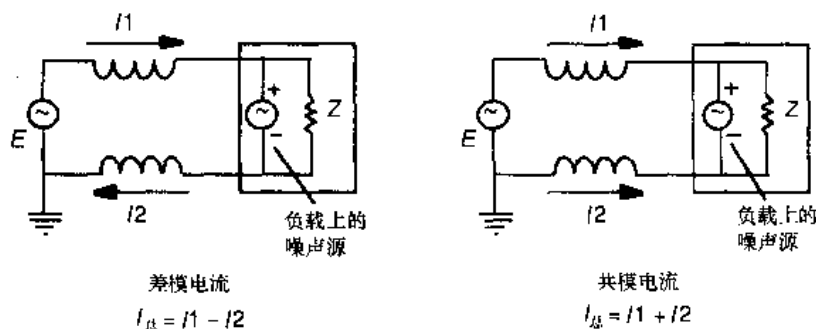


图 4.13 共模和差模电流

如果多层板结构中, “3 个” 内部信号层 (配置为带状线) 在物理上彼此相邻, 中间的信号层 (例如不与参考层相邻的层) 的 RF 电流就会在其它两个层产生耦合, 因此导致 RF 能量 (通过互感和电容耦合) 传输到其它两块板上。经过第 1 级的耦合, 第 2 级的耦合才发生在真实的镜像或 RF 返回层上。这种耦合可以导致明显的串话, 其中可能包括非功能性的。当信号传输层临近接地层, 而不是电源层时, 如本章所描述的, 流量抵消作用有时会加强。

4.7 镜像层损坏

为使镜像层起作用, 必须将所有的信号线放置在邻近实心板的位置, 并且不能穿越孤立的铜片区域, 除非使用专门的布线技术可以例外。如果信号线, 或者甚至是电源线 (例如在 +5V 电源层内的 +12V 线) 被安排在实心板内, 这个实心板就被撕碎成 (隔离成) 许多小的部分。在镜像层受到破坏的地方, 应考虑为邻近层的返回电流提供接地或返回路径。当 RF 电流无法在信号线中找到直线低阻抗路径返回其源时, 就会产生 RF 回路。

图 4.14 显示了镜像层损坏的情况。现在, 这些层不再有作为 0V 参考点消除共模 RF 电流的功能。通过层各部分的损失可能导致真正的 RF 场。放置在镜像层中的孔不会减弱层的镜

像能力,除非有如下讨论的接地槽出现。

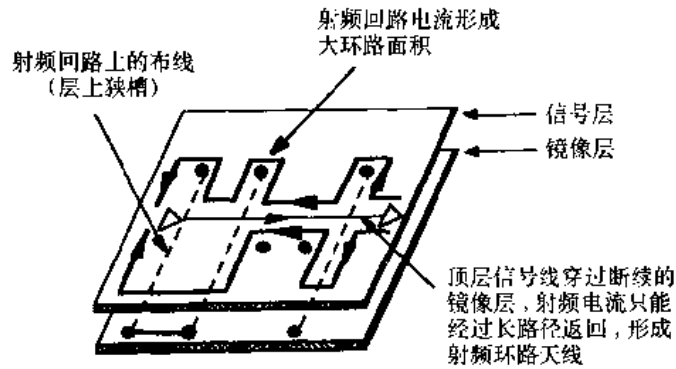


图 4.14 镜像层干扰

另一个涉及到的使接地层不连续的方面是使用穿孔的器件。过多地在电源或接地层使用孔可能产生瑞士干酪综合症(Swiss Cheese Syndrome)[5]。由于交迭的孔使层上铜片区域减少,导致大面积的不连续。这种影响可以在图 4.15 看到。当信号线直线通过不连续区域时,流过镜像层的返回电流会绕着孔周围流动。在图 4.15 中可以看到,在接地层上的返回电流必须围绕孔或槽。结果,由于在镜像层中围绕这些槽,返回电流的路径出现额外的长度。这些额外的长度在信号返回线路中增加了很多感应, $E = L(dI/dt)$ 。在返回路径中的额外电感会减小信号线和 RF 电流返回路径中的差模耦合(较小的流量抵消)。对于管脚之间有空间的有孔器件(不是很大的孔),最好的减少信号和返回电流的方法是减小信号返回路径以及存在于实心板中的电感。

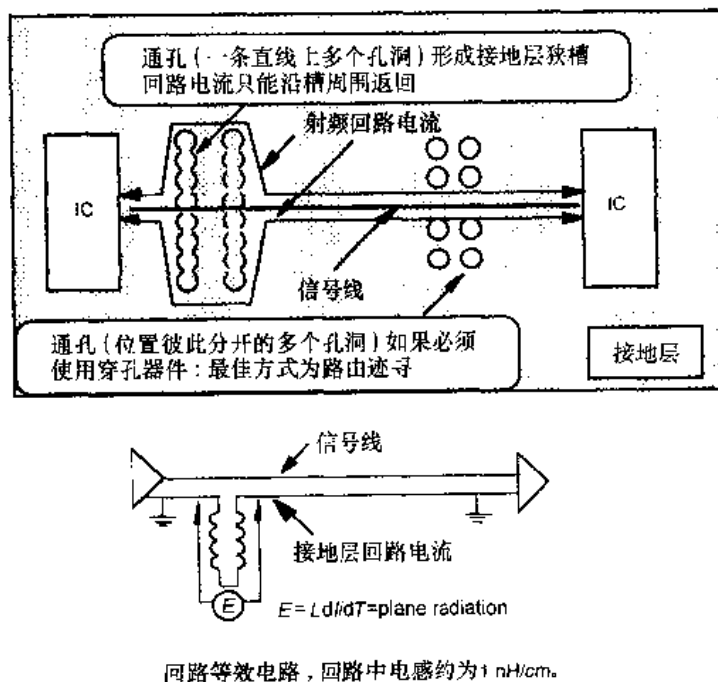


图 4.15 采用穿孔器件时的接地环路(接地层上有槽)

如果信号线被安排在不连续的孔的周围(在图 4.15 左边没有显示出来的位置),在整个信号路径上就会保持一个不变的镜像层(RF 返回路径)。在图 4.15 右边也有同样的情况。由于没有不连续的接地层,因此线路的长度较短。图中左边较长的线路增加了线路感应 $E = L$

(dI/dt)。这个长度可以引起反射从而影响信号的完整性和功能性,而且也可能产生 RF 电流回路。当实心板在这个有较大孔区域的地方不存在,而信号线从 PCB 槽孔中间穿过(在寻找最短路径时)时,就会出问题。当在穿孔器件之间布线时,必须在走线和没有孔的区域保持使用 3-W 规则(在本章后面定义)。

当大多数穿孔器件布置在穿孔器件之间时,通常,在穿孔器件的印刷电路板上的槽不会产生 RF 问题。但是,会在孔的周围产生电磁场。对于高速、高风险信号²,必须设计出在穿孔器件之间布线的替代方法。对那些一定有线路穿过 PCB 上的槽或隔离物的应用,图 4.16 提供了允许使用电容使 RF 返回电流跳过那些槽的设计技术。

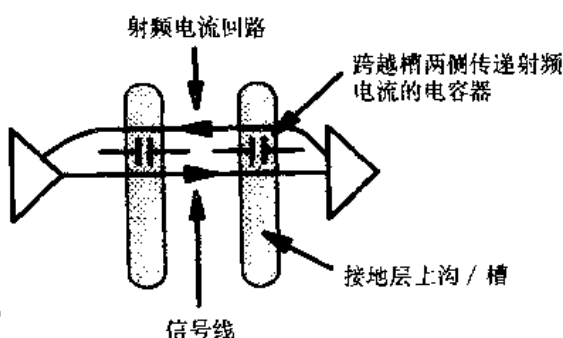


图 4.16 跨越沟槽,使射频回路电流得以通过

电容可以为流过壕或槽的 RF 电流提供交流并联电路。在功能测试中可以观察到这可以使性能明显提高达到 20dB。必须依据器件的线路信号的自谐振频率来选择可以使性能达到最佳的电容。但是要警告的是,在走线和镜像的电流关系中,这种设计技术可能导致电抗相位转移,影响流量抵消或净流量最小化。

4.8 层间跳转—通路应用

当布置时钟信号或高风险信号线路时,通常的做法是从源到负载,先使走线连接到一个布线层(例如 X 轴),然后再通过该条走线连接到另一层(例如 Y 轴)。通常假设如果有一条或每一条线路都临近 RF 返回路径,那么在整个路线上都会有紧密耦合的共模 RF 电流存在。实际上这个假设并不完全正确。

当信号线从一层跳到另一层时,RF 返回电流应该跟随着线路。当走线布置在两个层结构之间时,通常是电源和接地层,或者两个等势层,返回电流在这两个层之间共享。返回电流可以在两个层之间跳转的唯一机会是在放置去耦电容的位置。如果两个层的电势相等(例如 0V 参考点),RF 返回电流可以经连接两个层的通路或连接到该通路的器件实现跳转。

当从水平层向垂直层跳转时,RF 返回电流不能实现全部跳转。这是因为通道在线路上产生了不连续性。现在,返回路径必须寻找一条替代的低感抗(阻抗)的路径作为回路。这条替代的路径可能不存在于最接近通路的位置。结果,信号线上的 RF 电流可以耦合到其它电路,引起串话和电磁干扰的问题。在任何高速度高科技的产品中使用通路经常要引起注意。

为了使层间跳转引起的电磁干扰和串话最小,有以下有效的设计技术:

(1) 初步的方法是使所有的时钟信号和高风险信号在一个布线层中。意思是 X 轴和 Y 轴的布线都要在同一层内(注意:这一技术很可能被 PCB 板设计者认为不可接受而拒绝,因为它使板的自动布线变得几乎不可能)。

注 2:所谓高风险(high-threat)指的是高带宽,RF 分量像电磁场一样沿着传输线传播。这些信号包括了时钟信号、视频信号、地址线信号、模拟电路以及其他类似的信号。所有这些高敏感性电路可能既辐射 RF 能量,又容易受外部感应干扰,要求有强制的低阻抗 RF 返回路径来完成闭合回路电路。

(2) 确认实心体 RF 路径邻近布线层,在此路径上没有由于使用通路或到另一布线层的跳转路径而产生的不连续。

如果用作水平和垂直布线层之间敏感路线(高风险信号和时钟信号)的通路,设计者必须协调所有位置的接地通路。接地通路通常都在 0V 电势。

接地通路是临近从水平到垂直布线层的通路。接地通路只当在 PCB 内部存在多个 0V 参考层时使用。作为信号跳转电流的返回路径,此通路连接到所有的接地层(0V 参考层)。此通路本质上是将邻近并且与信号线并行的 0V 参考层连接到一起。当每条信号线使用两条接地通路时,则在整个线路上,返回电流的连续返回路径存在。此接地通路将在 100% 临近信号通路的位置保持一条恒定的 RF 返回路径³。

像通常在 4 层 PCB 板结构中看到的,当只有一个 0V 参考层(接地层)和一个电源层时,会出现怎样的情况呢? 为了为 RF 返回电流保持一条稳定的返回路径,必须允许 0V 参考层作为主要的返回路径。信号线必须正对 0V 参考层的位置。当线路必须正对电源层时,就要使用接地线,用通路将与信号线平行的接地线的两端都连接到 0V 参考层。使用这种方法,可以保持一条稳定的 RF 返回路径,(见图 4.17)。

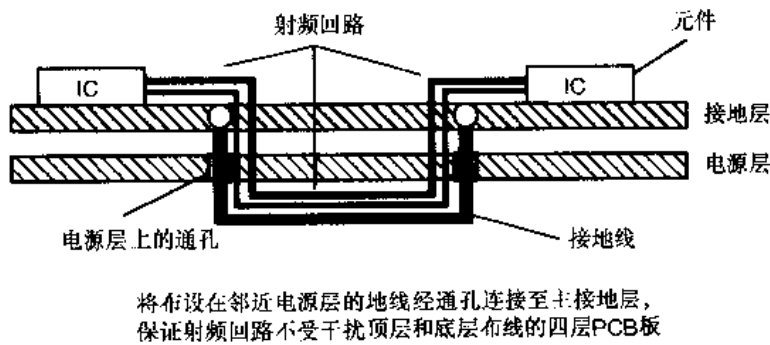
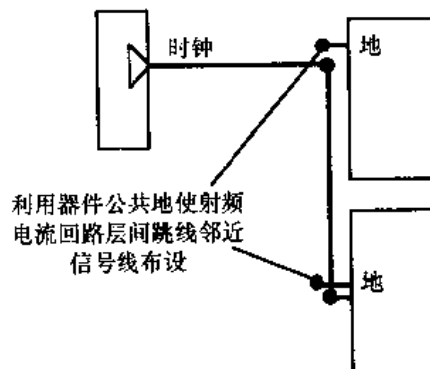


图 4.17 布设接地线确保存在完整的射频回路

当强制使用层间跳转时,怎样才能减小接地通路的使用。在一块设计合适的 PCB 板上,第一条安排的线路将是时钟信号,“手动布线”。由于 PCB 设计者在安排最初几条线路(例如所有的时钟信号和高风险信号)时有较大的自由度,设计者可以使用最短的距离来布线(最短曼哈顿长度),使层间跳转在邻近器件的接地管脚附近进行。层间跳转将共享器件的接地通路。当允许 RF 返回电流使用层间跳转时,作为参考的接地通路将为器件提供 0V 参考电压,详见图 4.18。



在进门自动布线以前,最好先布设敏感信号线,避免层间跳线及确保一条固定的射频回路。

图 4.18 如何在 PCB 板上布设第一条线

注 3:接地通路首先由 W. Michel King 认可并用于工业。接地通路在参考文献[1]及[13]中也有描述。

4.9 层分裂

当使用多层 PCB 板结构时,在同一层上电源和接地层有时是分开的。例如从数字逻辑中隔离出模拟电路,I/O 连接隔离(具体的办法见 4.10 节),参考电压隔离(例如 -48V 与 $+5\text{V}$ 的隔离),器件隔离以及强制使 RF 返回电流沿着设计好的路径通过 PCB 板。这种设计好的 RF 返回路径就像是地图,我们只能沿着事先定好的路线行走。为什么不让 RF 返回电流也沿着定好的路径流动?

PCB 设计者的主要设计和布局的内容之一是保证不发生隔离层重叠的情况。如果出现重叠的隔离层,就会在重叠的隔离层部分产生有限大小的电容,如图 4.19 所示。这个有限大小的电容, C_1 会让 RF 能量(是一个交流波形)从一个层(例如噪声层)传输到另一个隔离的、静止的和独立的层。由于直流电压从一个隔离区通过滤波器到达另一个区,面内的 DC 电压能保持完整性。

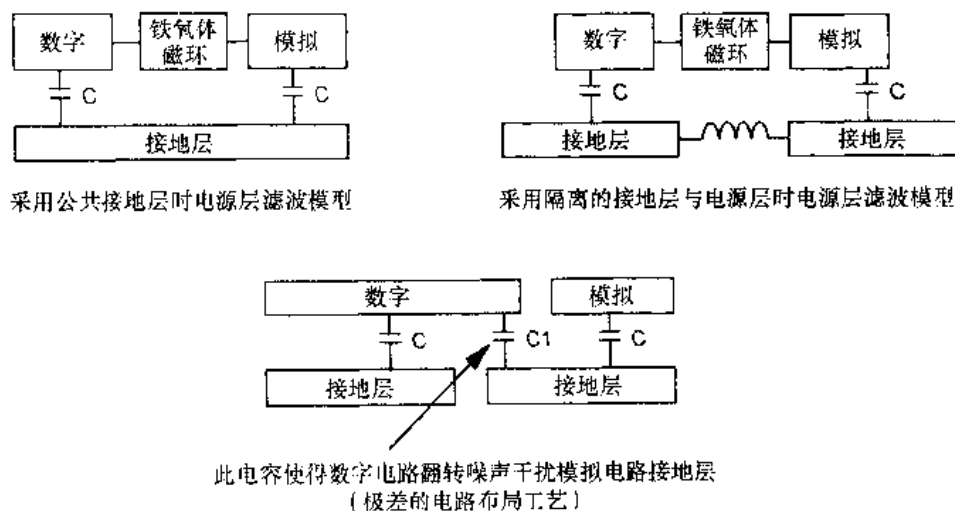


图 4.19 不同平面拆分结构的变化

如果额外要求隔离高频信号,我们可以使用铁氧体环隔离一个层(电源层)或两个电势层(电源和接地层),而不用电感,但我们必须小心使用这一技术。如果两个层都包含高频 RF 噪声,通常最好两个层都隔离。如果数字和模拟部分要求有同一个接地点,并且设备运行需要模拟电源,只能在电源层分离的位置放置铁氧体环。

当有一个隔离层时⁴,共同的接地点必须“直接”设在离散的过滤器器件下面。所有的信号线必须安排在滤波器桥下临近接地层的地方。桥将在本章的后面介绍。这一技术的优点是保持了完整的 0V 参考层(镜像层),这对控制高频电磁干扰,和提供从源到负载的最佳返回路径是必需的。

注 4:隔离层是相对于已分成两个或两个以上部分的整体铜结构而言的。图 4.19 是这种隔离层的一个实例。上面左方电路有一个连续的接地层。另外两个电路则用了被隔分成两个单独的接地层:数字的与模拟的。一个隔离层用铁磁体连通,另一隔离层则为整体隔离。

不用电感的原因是显而易见的,图 4.20 很好地解释了这一原因。在直流电压源或信号过渡电平中,包括频率非常低的信号,铁氧体材料的阻抗(或直流电阻)几乎为零。它对直流电压源本质上是透明的,并且对低频信号起小电感或电阻的作用。在高频时,RF 电流在电压分配结构中产生,铁氧体材料的阻抗特性是主要的,对电路提供高阻抗。当铁氧体材料的铁磁特性在频率到达预先设定的使其不再具有这种高阻抗性能的工作频率之前,一直都呈现高阻抗。基本上,铁氧体器件都是大的 RF 电阻,用来阻止 RF 能量在两个孤立点之间传输。另一方面,感应器是具有感性电抗的大电感 $j\omega L$ 。感性电抗是传输线中最不希望的,在电感的两端会有寄生电容,加上感应器线圈和 0V 参考点之间的电容。设备中有电感和电容器件,就会产生谐振电路。根据电感和电容的大小,在特定的频率我们可以允许 RF 电流通过孤立区域。一旦 RF 电流通过电路,就会对要求运行在完全滤波电源下的电路造成损害。

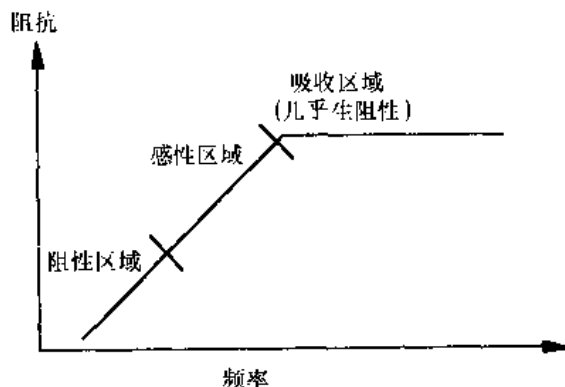


图 4.20 铁氧体材料特性

如果一个单独的层只包含低频电路(模拟),而另一个单独的层包含高频(数字)开关电流,有时就要根据设备的功能和生产厂商对电源和/或隔离层的要求,用铁氧体材料强制分开这两个区域的电源和接地层。只有在不允许高频能量在两个区域之间通过时,才需要这种隔离技术。如果两个区域都只包含低频器件,而且也没有高频能量(高边沿速率交换噪声)的影响,就不需要铁氧体器件。两个层之间可以允许使用一个单点连接。

4.10 分区法

设计 I/O 电路时要引入两个基本概念:功能子系统和静态区域。以下分别对每一个作简要讨论,更详细的内容将在以后给出。

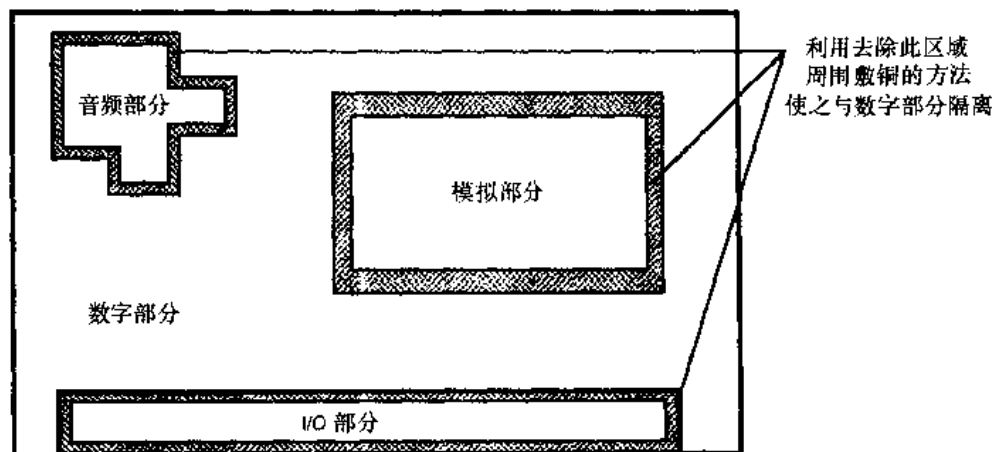
4.10.1 功能子系统

每一个 I/O 应该被看作是 PCB 板上的一个不同的部分,因为每个都可能是特定系统中唯一的部分。为了在防止子系统中 RF 耦合就要求分区。一个功能子系统由一组器件以及它们各自的支持电路构成。为了得到最短的线路长度和最佳的功能特性,每个器件彼此都被紧凑地放置在一起。每一个硬件和 PCB 板的设计者通常都试图将器件组合在一起,但是由于各种原因,有时这样做是不切实际的。在 PCB 板布局时与其它部分相比 I/O 子系统仍要区别对待。这是通过布局分区来实现的。

布局分区通过阻止高带宽发射器(例如:底板互连、视频设备、数据接口、以太网控制器、小型机接口[SCSI]设备以及中央处理器单元[CPU])污染串行、并行、视频、音频、异步/同步端口、软驱控制器、前面板控制显示器、局域和广域网路控制器等设备,增强了信号的质量和功能的完整性。每一个 I/O 子系统都必须看作单独的 PCB 板来构思、设计和对待。

4.10.2 静态区域

静态区域是物理上独立于数字电路、模拟电路和电源与接地层的部分。这种独立防止了在 PCB 板上别处的噪声源污染干扰敏感电路。例如:数字部分电源层噪声进入模拟设备(模拟部分)、音频器件(音频部分)、I/O 滤波器、互连等设备的电源管脚,详见图 4.21[1]。



注:不用部分间的互连术标出

图 4.21 静态区域

每一个 I/O 端口(或部分)都必须有一个分开的(静态的)接地/电源层。低频 I/O 端口在靠近连接器的位置要有旁路高频信号的电容(一般 $470\text{pF} \sim 1000\text{pF}$)。

在 PCB 板上安排线路必须避免把 RF 电流再一次耦合到电缆的屏蔽体内。必须在电缆离开系统的地方设置无干扰的(静态的)接地点。电源和接地层都必须平等对待,因为二者都是 RF 返回电流的通路。从开关部件到 I/O 控制电路的 RF 返回电流可以导致将高带宽开关 RF 噪声注入 I/O 电缆和互连电路。

为了实现静态区域,要求使用分区技术。这个静态区域可能是:

- (1) 当 I/O 信号进出完全隔离的变压器时,能 100%地隔离;
- (2) 数据线滤波;
- (3) 通过高阻抗共模感应器滤波,或者;
- (4) 由铁氧体环保护。

分区的主要目的是把有干扰的电源和接地层和其它功能区与无干扰的或者静态的区域分开。

4.11 隔离和分区(壕)

隔离和分区指的是把器件、电路和电源层同其它功能设备、区域和子系统从物理上隔离。允许 RF 电流通过辐射或者传导的方法在板的不同部分传播不仅导致电磁干扰兼容方面的问题,也会导致功能上的问题。

隔离可以通过使用壕在所有层上形成没有铜片的空白区来实现。无铜片区域可以通过一定宽度的间隔产生,一个部分到另一个部分的最小间隔一般为 $0.050\text{in}(50\text{mil})$ 。换言之,隔离

区是板中的一个岛,像有护城河的城堡。只有那些运行和连接需要的线路才能被连到这个独立的区域。这个壕对那些没有连接到壕区或它的接口的信号线和路径来说像是一个“排除在外”的区域。有两个方法把线路、电源和接地层连到这个区域。方法一是使用独立的变压器、光隔离器或者共模数据线滤波器穿过壕。方法二是在壕上使用桥。隔离也被用于将低频电路与高频宽带器件分离,除了保持以 RF 波谱形式从 I/O 连接传播的宽带 I/O 信号的低的电磁干扰外,隔离也用于将高频宽带元件与低频宽带电路相分离。

4.11.1 方法一:隔离

方法一涉及到使用独立的变压器、光隔离器。I/O 区域必须 100% 与 PCB 板的其他部分隔绝。在金属 I/O 连接器上,只将 RF 连接到底板的地,然后通过一条低阻抗高质量的路径到达大地。我们希望保持底板的地在这个隔离区域的外面。有时,在 I/O 电缆的屏蔽接地体(或交叉线)到底板的地之间使用旁路电容代替接口规范要求的直接连接。屏蔽接地体(或交叉线)指的是在连接器中离散的针或线,该连接器将外部连接器的内部排流线连接到聚脂薄膜金属屏蔽体。

在任何时候连接 BNC 连接器的壳到底板的地或其它任何接地系统的连接,都不应该使用抽头。对 RF 辐射,测量清楚地显示了在 15 ~ 200MHz 范围内,电缆外皮到 BNC 连接器外壳的连接中,抽头和 360 度连接器之间存在 40 ~ 50dB 的差别。除了减少 RF 辐射外,由于对 ESD 事件呈现小的引线电感,所以应提供更高级别的 ESD 安全性措施。在许多应用中,在电缆外皮和 BNC 连接器外壳连接时,推荐使用 360 度的连接式样。这个背壳与底板的地形成了牢固的金属连接。

共模数据线滤波器与隔离变压器一起使用,实现共模抑制。共模数据线滤波器(通常是环形结构)可以用于模拟和数字信号系统。这些滤波器减小了信号线到 I/O 部分或电缆上的共模 RF 电流。如果在独立的部分需要电源和地(例如:为键盘和鼠标提供的 +5V 直流电),壕应该由为电源线使用的铁氧体环和为了返回而使用的比电源线宽 3 倍的单独的固定线路跨越而成。在电源和接地连接中使用共模特种干扰抑制器也是可接受的方法。如果需要的话,二级短路保险丝(由于产品安全的要求)可以设置在铁氧体环的任一边。有时,为了从滤波后的 I/O 电源除去数字噪声要求使用电容性的去耦。最佳的去耦电容放置的位置是,电容的一端放在铁氧体环滤波后的一边(输出端),另一端接到独立的接地层。电源滤波器件可以跨越放置在离板外边缘很远的壕上。电源线和接地线布线时应该彼此相邻,以减少由于放在壕的相反面而产生于两走线之间的 RF 对地回路,见图 4.22。

4.11.2 方法二:搭桥

方法二是在控制部分和独立区域之间使用桥。桥是壕上的一个断点,是信号线、电源线和地线通过壕的唯一途径。如图 4.23[1]所示,任何没有与 I/O 电路关联的线路产生的对壕的侵害都可能导致辐射和安全性问题,会产生 RF 回路电流,详见图 4.24[1]。RF 电流必须沿着它们流过的路由镜像返回。共模噪声会在这两个隔离的区域产生。同方法一不同,两个区域的电源和接地层是直接连接的。因此这种方法形成了一个分割。

使用桥的好处类似于有护城河的城堡。只有具有过桥通行权的信号才被允许通过。要求 RF 电流沿着它们流过的路由镜像返回,可以得到最佳的流量抵消(最小的)。这条镜像回路是唯一被允许存在的路径。

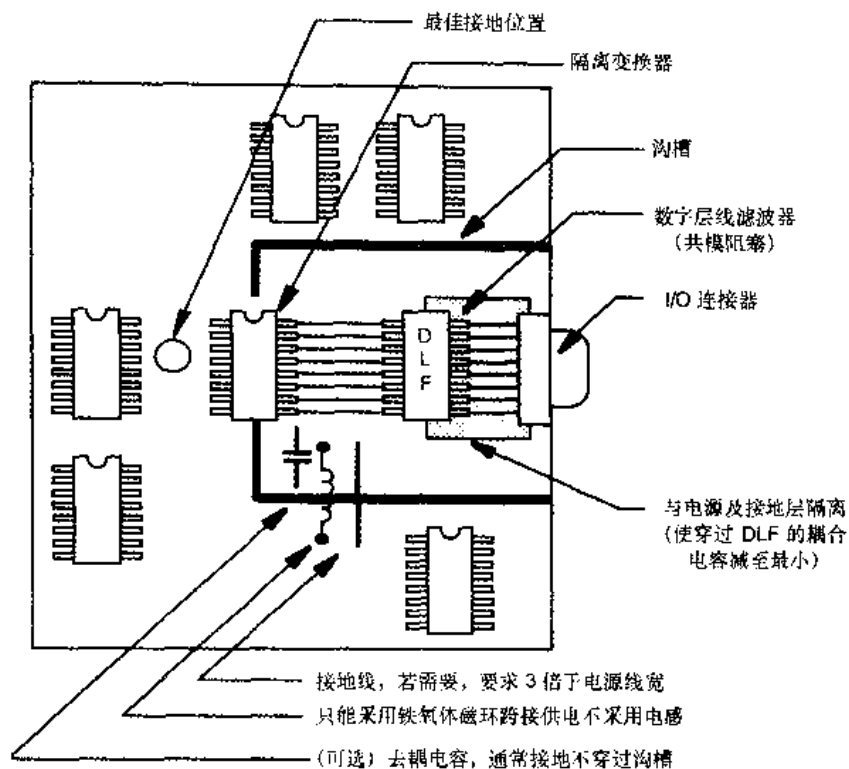


图 4.22 采用沟槽隔离—方式 1

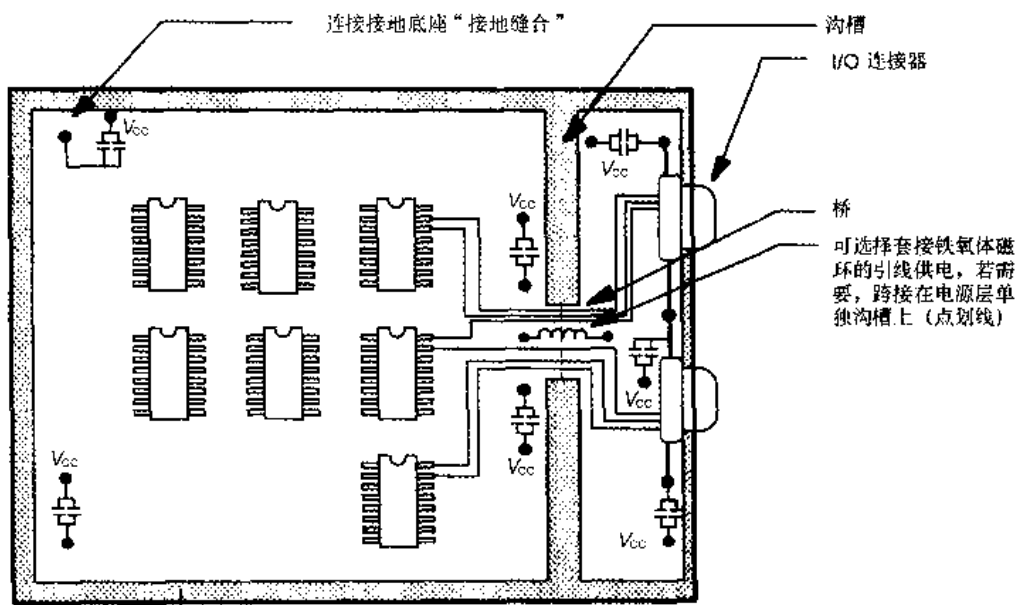


图 4.23 跨沟槽桥接—方式 2

有时, 只有电源层是独立的, 接地层通过桥完全连接。此技术通常使用在要求共地, 或个别需要实现标准电源而需要分开滤波的地方。在这种情况下, 对滤波后的电源的壕通常只使用铁氧体环作桥电路。这些珠状物必须放在桥电路的区域并且不能在壕的正上方。如果在独立的区域不需要模拟或数字电源, 不使用的电源层可以被重定义为第 2 个参考接地层 0V。当使用分裂分区技术时, 应保证穿过桥的走线应沿着实体 0V 参考面 (接地面), 而不影响分裂

电源层。

当使用桥电路时,如果在底板和系统级别的设计时提供多点接地,强烈建议将桥的两端都接到底板或框架的地。桥的入口接地有两个功能:

(1) 它除去了在电源分配网络(接地噪声电压)中高频共模 RF 分量耦合到一分割区。

(2) 它帮助除去可能存在于底板或插件框架中的涡流(改善接地回路控制)。为本来要通过其它路径,例如在 I/O 电缆中的 RF 电流,流向底板的地 RF 电流提供一条阻抗非常低的流向地的路线。

将桥的两端都接地也可以增加静电放电的抗扰性。如果一个高能量的脉冲注入 I/O 连接器,此能量可能会传到主控区并引起永久性的破坏。该能量脉冲必须通过一条低阻抗线路释放到底板的地。

将桥的两端都接地的另一个原因是为了除去由出现在分区部分和主控区域之间的电压梯度产生的 RF 接地噪声电压。如果 RF 共模噪声包含高频 RF 能量,那么在每一个基座地缝连接中都要提供 RF 能量(交流部分)的去耦电容。

图 4.24 说明,当同时使用模拟和数字分区时线路是怎样安排的。由于数字电源层开关噪声可能会注入模拟部分,所以要求使用隔离或滤波。所有由数字部分到模拟部分的线路都必须通过桥电路。对模拟电源,必须用铁氧体环通过壕。同时也要求电压调整器。对模拟电源所使用的壕必须 100% 地包围整个部分。

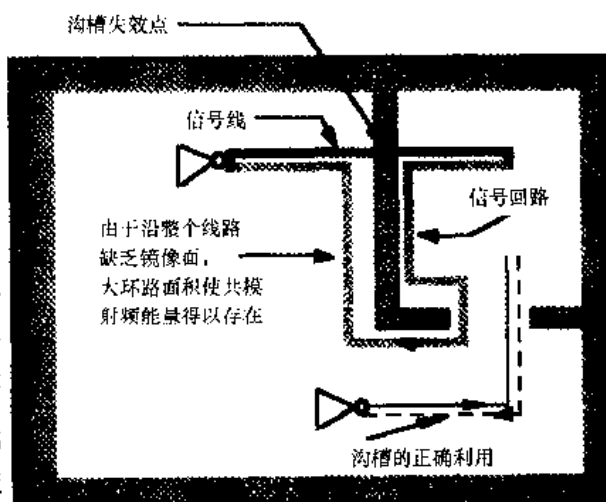
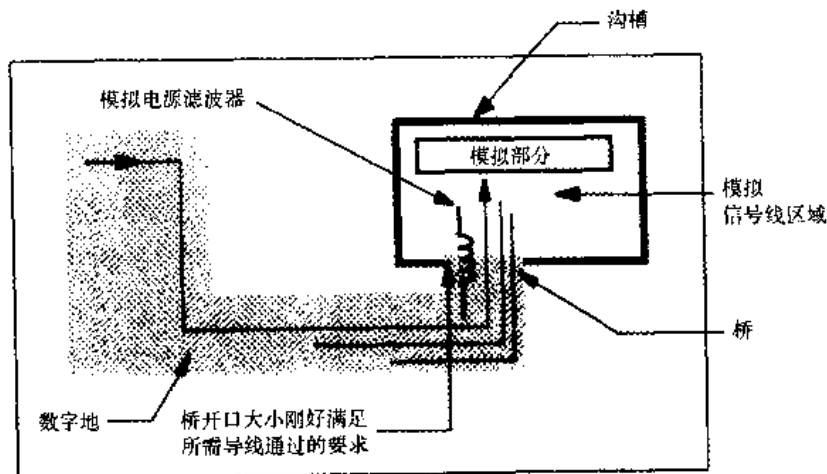


图 4.24 沟槽失效的概念

某些模拟器件要求使用与数字地相同的模拟地,但是只能通过如图 4.25[1]中所示的桥



注: 所有信号线只能经此部分(桥)通过,不允许跨越空隙。
对模拟部分电源层完全被隔离。若采用桥接地,则数字地和模拟地电位相同。

图 4.25 数字和模拟部分分块的概念

电路。许多模拟到数字和数字到模拟的设备将它们的模拟地 (AGND) 和数字地 (DGND) (在管脚设计图中指出) 在封装内连到一起。如果分区应用是器件内部的一部分, 在 PCB 板布局时, 在模拟和数字接地之间只需要一个接地连接。只有当电路设备在其封装内提供分开的 AGND 到 DGND 的隔离时, PCB 上的 AGND 和 DGND 应该彼此隔开。布局时怎样合适地隔离或连接 AGND 和 DGND, 设计者参考设备生产商提供的建议是非常重要的。

4.12 互连和 RF 返回电流

当使用无论内部的和外部的互连, 设计产品时, 必须决定怎样创建一个唯一的系统以兼容所有运行着的部件。一个唯一的系统 (PCB) 比许多由电缆连接起来互相没有共同参考地的小 PCB 要好得多。统一的参考点可以限制在不同的 0V 参考点 (接地点) 之间产生电压降。把所有的接地参考点都设在同一块 PCB 上, 比把所有的接地参考点放在不同的 PCB 板上又通过电缆连接, 物理结构本身就有高的电感的情况, 限制电压降更容易。

两个子系统之间的阻抗可以通过使用镜像层或低阻抗栅格接地系统减小。所有的接地结构都必须在物理上尽可能地连接到一起。许多通过通路、电缆连接器、接地槽或其它类似的接地连接都将允许在部件中控制 RF 返回电流。在互连结构中的 RF 返回电流越小, 产生的 RF 辐射也越小。

当使用电缆连接 PCB 或外设到另一块 PCB 时, 创造一条低阻抗接地路径是非常困难的, 因为把在连接器内部散置的接地线或接地管脚放置在最佳位置是很困难的。如果在设计过程中, 连接器插脚引线的分配是随机的, 而且没有考虑 RF 返回电流的路径, 那么出现这种情况就很正常。使用预设的总线结构也许可以提供涉及到的功能, 因为提供的大量信号线可能要求使用可用管脚的大部分, 信号线可能大大超过 RF 返回电流或接地管脚的数目。所有 RF 返回电流共用一个单独接地管脚的情况, 由于单一接地线上过多的电流和大地的反弹, 可能会使电路产生与 EMI (辐射发射) 有关的问题而无法工作。

图 4.26 显示了一个典型的 I/O 配置, 注意由于较差的插脚引线分配, 在电源和地, 或者信号线 (有或没有周期时钟信号) 和 0V RF 电流返回路径之间将产生较大的 RF 回路电流。在主 PCB 和连接区域之间可能会产生高频 RF 电压。这个高频 RF 电压会在部件之间产生共模电流流动。这些电流同时加强了辐射和传导的泄漏。如果所有的器件都放在同一块 PCB 上, 在连接之间就不会存在共模电流。

对于被定为“差的插脚引线分配”的图 4.26 的布线配置, 时钟信号线被布置在连接器件内较差的位置; 没有被 0V 参考点 (接地点) 围起来。在时钟线上产生的 RF 返回电流, 除了存在与电源分配网络中的开关电流以外, 在试图返回其源时 (完成回路) 必须流到连接器相反的一面。在一个大的 RF 环路区域内就会产生磁场。通过兼容测试, 可以测出此磁场产生的电场。

通过改善插脚引线分配, 为存在的 RF 返回电流优化插脚引线设计, 可以使环路区域最小化。时钟信号线被布置在带线内。在连接中使用带线时钟信号线增强了系统性能, 并且防止了 RF 电流的损失。同时, 我们获得了低阻抗电源分配系统, 使地电位跳跃减小, 高频、高带宽 RF 能量的转移减小。此 RF 能量可能是由特定的器件产生并注入电源分配系统的。此 RF 能量也可由电源分配网络传输到其它对 RF 噪声敏感的器件中。

当信号通过连接的边界时, 为了减小信号通过连接结构时驱动能力和扇出, 容性负载的影

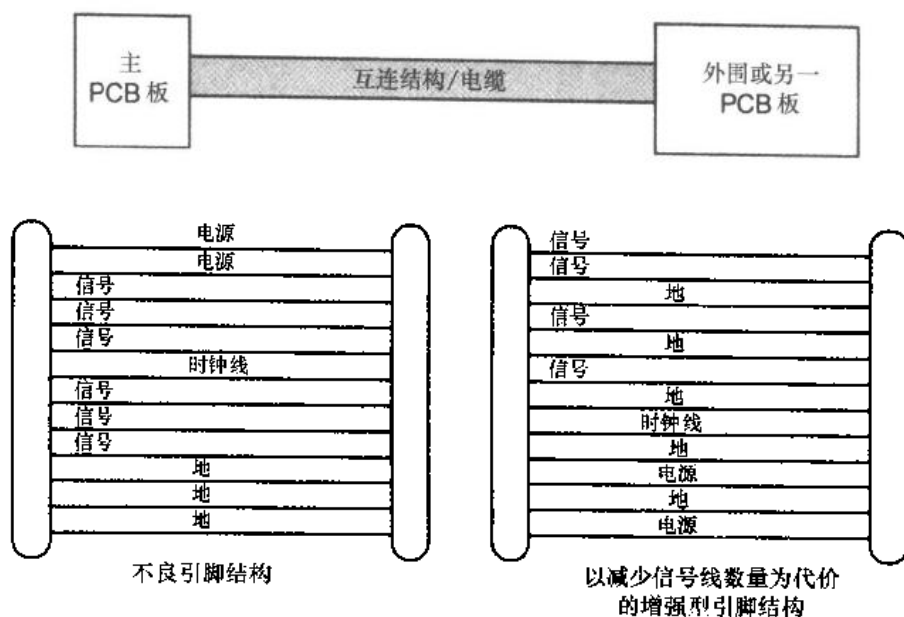


图 4.26 互连结构中典型的引脚结构

响以及地电位跳跃,高速信号在连接结构中传播时应在入口加缓冲。加缓冲除了可减小共模电流外,还可减少连接线内的 RF 流的四成。使用缓冲的额外的好处是可以使源驱动器在驱动负载时使用较小的能量,特别是存在大的电阻性压降的高阻抗连接时。

当在连接结构内有许多非周期性的信号时,在 0V 参考线路之间可以包含或散布许多信号线路。这种设计的目的是强迫连接线上的返回电流通过最小阻抗路径返回其源。通常的思想是通过设计 PCB 的布局,强迫 RF 返回电流在 PCB 内沿着我们希望的路径流动。设计者的工作是使板上的 RF 电流以最佳的、低阻抗的方式流动。板上的 RF 电流可沿任何路径流动是不期望的,因为随机的 RF 返回路径将导致最大的辐射泄漏。

4.13 单面和双面板布线要点

单面和双面 PCB 系列存在特殊的考虑。在高速、高技术产品中,单面和双面 PCB 的应用带来了附加的 EMC 问题。这个问题为使用特殊的先进的布线技术带来了困难。对早期低技术设计来说成本是很重要的问题,使用单面板双面安装 PCB 常常是理想的选择。必须注意到 RF 返回电流回到出发点,是以最佳的、低阻抗的方式完成的。

应该在信号和电源电压传输中考虑传输线的概念。在部件的布线过程中,电源及其返回线路必须彼此平行走向。应该为高风险回路,如时钟以及类似回路,提供专用的回路,以减小环路结构及减小环路辐射和吸收电磁能量。在双面板中,控制环路面积是关系信号质量和电磁干扰性能的关键。

必须强调,特别是对要求符合电磁兼容性来说,不存在“双面”的 PCB,虽然从物理结构上它是存在的。当分析一个涉及电磁兼容性的双面 PCB 的性能时,应该注意到对一个典型的 PCB 来说,其中心材料的厚度按规定为 0.062in(1.6mm)。在装有器件的顶层和接地层或 0V 电位结构的底层之间的空间常常有作为顶层射频电流返回的镜像层。实际上,信号走线与镜

像层之间的空间距离非常大,以致不能有效地消除磁通量。当走线和返回面之间缺乏互感时,不能有效地消除净磁通量。当走线和板之间的距离非常大时,信号走线周围的场分布是很小的。

描述双面 PCB 的适合方法是把其想象成两个单面 PCB。我们必须使用适合于单面设计的设计规则和技术来设计上层和底层的 PCB。

例如,如果走线的宽为 $0.008\text{in}(0.2\text{mm})$,则离开走线距离 $0.008\text{in}(0.2\text{mm})$ 的位置有场存在。如果参考层大于 $0.008\text{in}(0.2\text{mm})$,则不能有效地消磁,同时射频(RF)返回电流将部分地穿过自由空间。双面板板间距离常常为 $0.062\text{in}(1.6\text{mm})$,它远大于 $0.008\text{in}(0.2\text{mm})$,见图 4.27 的说明。

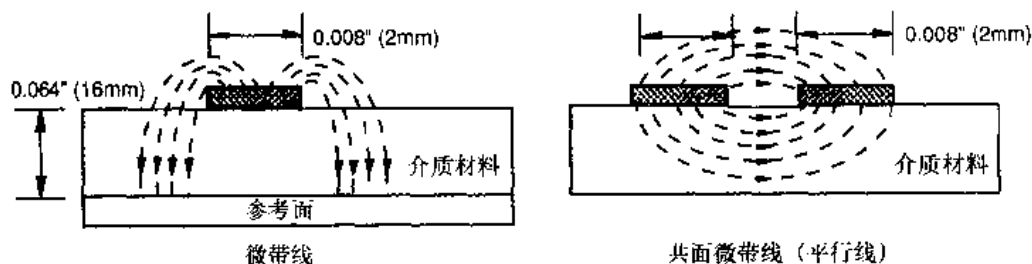


图 4.27 微带线及其面微带线的场分布

单面和双面 PCB 上的 RF 电流返回路径是如何实现的呢? 我们必须记住双面 PCB 必须考虑成两个单面 PCB。下面的例子将说明,要十分圆满地实现这个目的是困难的。为了允许电流返回,我们必须使用接地走线(保护电路)或 0V 电位的网格系统。接地走线或网格系统为 RF 电流提供了另一个迂回的返回路径。这个迂回的返回路径允许 RF 电流以低阻抗方式返回到它的源。因为不存在完全返回层,它并不是一个最佳的实现方式。对单面板来说,接地走线是让 RF 电流返回到它的源的最基本的设计技术,以便控制环路面积,实现 EMI 抑制。

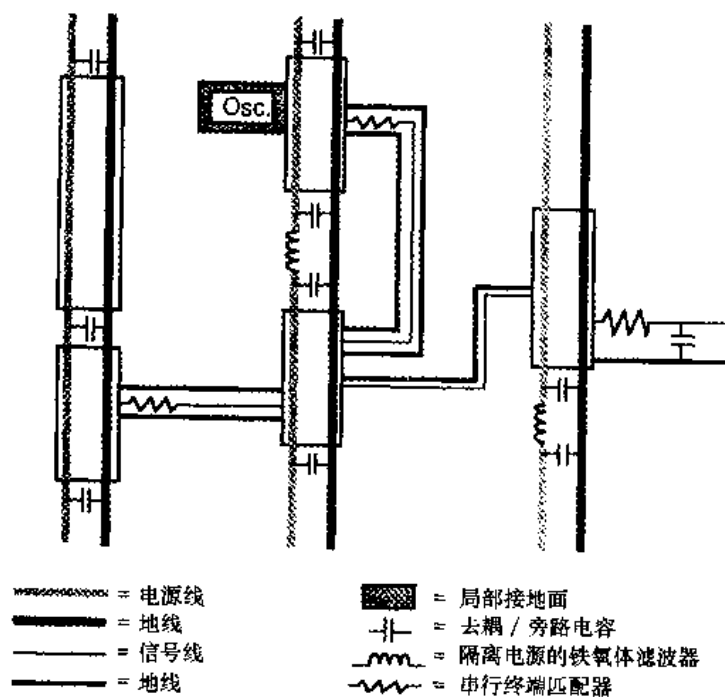
对单面和双面的 PCB 来说,任何器件都要有大量的局部滤波和去耦。用于关键信号线的附加的高频滤波必须直接连在器件上。接地板没有给我们带来好处,因此必须采用不同的设计技术。

1. 单面 PCB

对于单面 PCB 来说,RF 返回电流只存在一个概念上的设计技术。这个技术就是使用接地走线(保护电路),并使其在物理上尽可能靠近在高敏感信号走线旁。图 4.28 表明了这一点。电源和接地返回电路必须彼此平行布线,在两个平行线和可能向配电系统注入开关能量的器件旁安装去耦电容。

当提供网格电源和接地设计方法时,必须注意网格要尽可能多地连接在一起。如果不使用网格系统,器件产生的射频环路电流,采用任何相关的方法,可能找不到一个低阻抗的 RF 返回路径,这样加重了任务的难度。通过把电源和返回路径平行布线,可以产生一个低阻抗小环路面积的传输线结构,这取决于在设计时如何实现平行走向。如果走线与 0V 电位间的距离非常大,走线相对 0V 参考点能够产生足够的电流环路。

当存在电源和接地网格时,与单面 PCB 相关的问题集中在如何在器件之间布置走线。几乎在任何一个应用中,在单面板上完全地划分网格是不可能实现的。最佳的布线技术就是充分使用接地填充,作为替换的返回路径,来控制环路面积并减小 RF 返回电流线路的阻抗。这



并行的电源和地线是宽的微带线,地线提供射频电流回路,时钟线受串联电阻衰减,将振荡器限于接地面内且外壳接地,对关键器件的电源线滤波避免噪声干扰。

图 4.28 对于射频回路电流的单面 PCB 板布线

种接地填充必须在多个地方与 0V 电位参考点连接。

2. 双面 PCB

存在两种典型的实现方法来为 RF 电流提供替代返回路径:

- (1) 对称排列器件(例存储器阵列)
- (2) 非对称排列器件

3. 对称排列器件

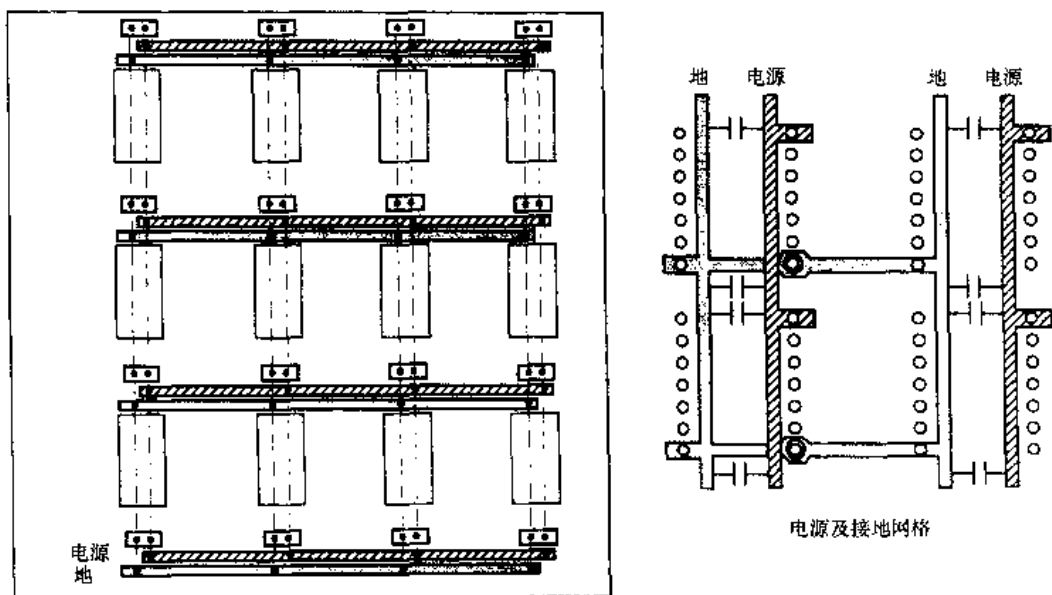
对电磁兼容性,双层板存在一种基本的实现技术为 RF 返回电流提供低阻抗路径。它首先被用于早期的技术,即慢速器件。这些设计通常由 Dual-In-Package(DIP)(双面直插式封装)组成,排成一直行或矩阵排列。目前,很少有产品还使用这种工艺或技术。

在焊接面布置水平走线,在电路面布置垂直走线是双面板最常用的工艺。当使用对称排列器件时,这已经变成了设计规范,通常不会被打破。电源走线布置在顶层(或底层),同时接地走线布置在相对的另一面。所有的相互连接都使用电镀的通孔连接。在没有被用于电源接地或信号走线的区域必须用接地填充,这样可以为射频 RF 电流提供低阻抗接地路径。

图 4.29 概述如下:

- (1) 用网格在全部环路面积上布置电源线和接地线,每个网格面积不能超过 1.5in^2 (3.8cm^2),但更快的边缘时间则要更小的网格。
- (2) 使电压和电路走线互相垂直,电源在一层上,接地在另一层上。
- (3) 为所有连接器件和每一个集成电路的电源和接地走线间安装去耦电容器。

当镜像层不存在时,因为网格结构为射频电流提供了公共返回路径,使用电源和接地网格是可行的。



1. 印刷板上部分布全部垂直走向导线。
2. 印刷板下部分布全部水平走向导线。
3. 电源线与地线相交处穿孔。
4. 连接器及每片 IC 电源和接地端之间增加去耦电容。
5. 信号线沿垂直 / 水平走线。

图 4.29 网格状接地及电源线布线的两层 PCB 板

4. 非对称排列器件

在许多现代的设计中可以发现非对称排列器件。这种布线设计常常用于低频模拟系统——小于 1kHz, 以及几乎所有的低速产品和早期的产品。

(1) 在同一个布线层上以辐射方式布置所有的电源走线, 使走线长度之和减小。

(2) 电源和接地线彼此靠近(平行)布线。这样可以减少高频开关噪声(进入器件内部)产生的环路电流, 以免破坏其它电路或控制信号。理想情况下, 当这些走线必须分开连接到去耦电容器上时, 走线分开的距离才允许不大于任何一单独走线的宽度。信号流应该平行流过这些接地路径。

(3) 通过阻止树状的一个支路流到另一支路上, 防止环路电流。

观察图 4.30, 发现在低频时, 寄生 L 和 C 通常不会像在高频应用时那样引来问题。在这种情况下, 单点接地是可行的。

在图 4.30 中, 注意如下几点。对高频应用, 要控制所有信号走线和返回电流路径的表面阻抗(Z)。当处在低频应用, 取代阻抗控制的重点是考虑布线设计。通过不把器件连在一起, 可以防止产生环路电流。

4.14 网格接地系统

网格接地系统是减少走线电感的有效方法, 并提供射频电流返回路径。这种网格系统在方案设计中引入, 它通常仅用于单面或双面 PCB。当使用多层结构时, 网格接地系统不能提供足够的有效控制, 而镜像层提供更加有效的磁通量对消。网格接地系统在 PCB 上包括水平和垂直接地路径, 见图 4.31。网格的大小通常为 $0.5\text{in}(1.27\text{cm})$, 然而更大的尺寸也可接受, 这依

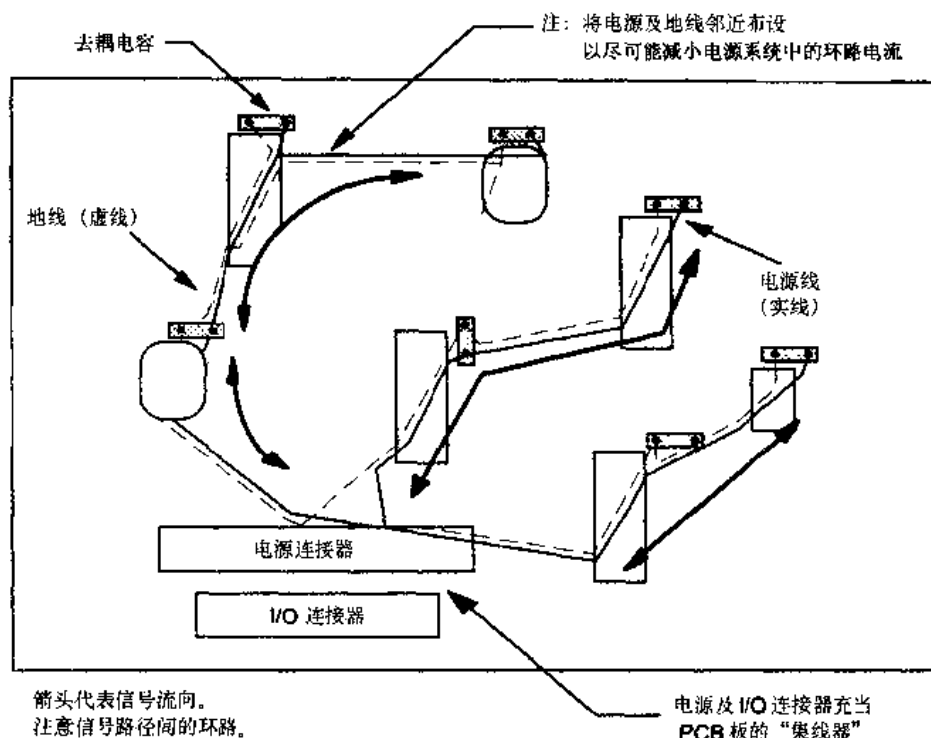


图 4.30 电源布线及流向星状结构的双层板

赖于信号边沿速度和器件布置的复杂程度。通常可接受的准则是网格尺寸是波长的 $1/20$ ，它基于网格可能承受的最高频率。主要目标在于限制走线的电感值，这可通过限制网格间的距离以及使接地网格和互相连接的器件尽可能地“粗大”。

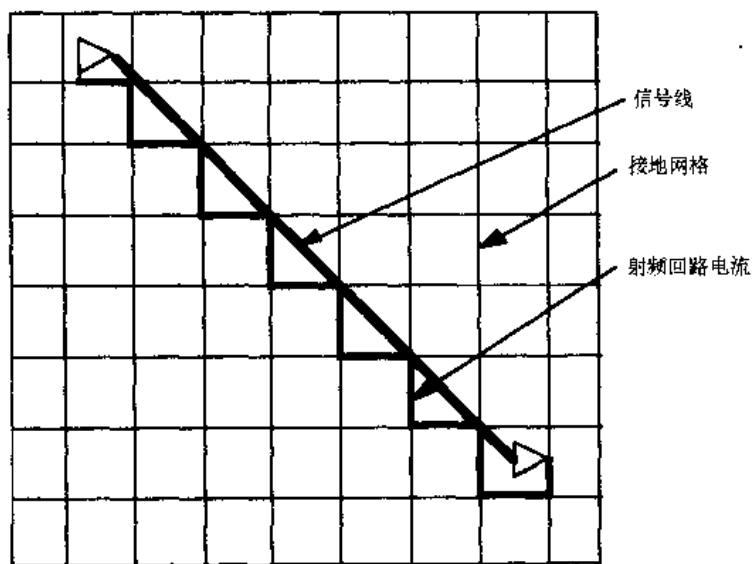


图 4.31 网格状接地结构

最好的准则是使网格的尺度为在板上任何一个 IC(集成电路)间存在一个网格。当不能实现接地层时,这种尺寸设计可提供一个替代的射频(RF)返回路径。这种网格可存在于单面板上(即使不是不可能,也极为困难),但它更适合于在双面板上实现。当使用双面板时,X 轴

方向走线通常在顶层布线,同时 Y 轴方向走线布置在底层。这些走线在跳接层用通孔连在一起。这种层的跳接可为必要的信号布线和相互连接扩大空间。PCB 板上某一面的接地网格与另一面的接地网格用转接孔连接,这种转接孔要尽可能地多。

返回电容器上的电压叫做接地电压降或接地反弹。PCB 返回结构上两点间的接地压降值越小,则 PCB 上的辐射越少。

研究图 4.31,我们注意到如果网格的尺寸比规定的小,RF 返回电流将以更近的镜像返回,且具有更大的互感。因为不存在直线路径,产生了一个旋绕的环路面积,增加了产生 RF 的能量。

使用网格接地结构优化 PCB 的设计和布线时,要在安装器件和布置信号走线之前设计网格结构。在布线之后实现网格结构是困难的。这种网格结构不增加产品的单位价格。对单面和双面板,这种网格结构可能是唯一的抑制杂波的工艺。

关于网格结构的一个普通问题是:“走线应多宽”?最佳的答案是:“尽可能地宽”。实际上,网格用窄导体制作,因为走线上的阻抗是并联地加在一起的,所以产生了一个低阻抗返回路径。这个阻抗可能仍高于镜像层情形下的阻抗。设计唯一要考虑的是保证走线的宽度能够处理 0V 返回电流(从电压源起,而不是 RF 返回电流)。注意窄走线网格比完全没有网格要好。

4.15 局部化的接地层

下面的布线技术可以捕获器件和振荡器内部产生的 RF 磁通量。这种设计概念称作局部接地层,它是构成分区概念的一部分。

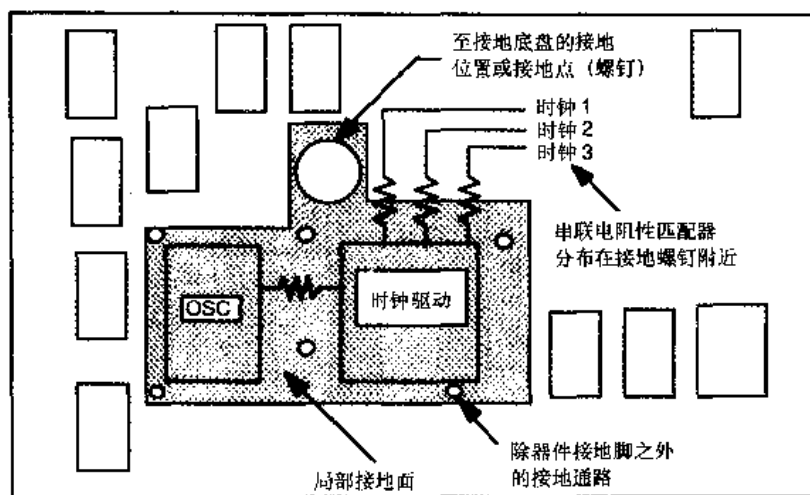
振荡器、晶振和所有时钟支撑电路(例如减震器、激励器等)可以被安装在一个单独的局部接地层上。这个局部接地层在 PCB 器件(顶)层上,它与 PCB 上主要的内部接地层直接连接,这个连接通过振荡器的接地引脚和最少的两个附加接地转接孔完成。这种接地层应该安装在接近接地引线的位置,并与其相连。图 4.32 显示了一个局部接地平面的例子。

把局部接地层安装在时钟产生区域的下面是因为如下的主要原因:

(1) 振荡器的内部电路决定了射频电流。如果该振荡器的封装是一个金属壳,则 DC 电源管脚既是 DC 电压的参考点,又为 RF 电流从振荡器电路流入地中提供了一个通道。根据振荡器类型的不同(CMOS、TTL、ECL 等),在封装内部产生的射频电流能够变得非常之大,以至于它的接地管脚不能够有效地将该大电流 LdI/dt ,以低损耗方式引线到地(L 来自于管脚引线)。结果,这个金属盒变成了一个单极性天线。最近的镜像层或接地层(PCB 板内部)有时离开两层或更多层,因此就不能有效地成为 RF 电流到地的辐射耦合路径。

(2) 如果振荡器是表面安装部件,上面提到的情况变得更坏,因为 SMT 封装常常是塑料。封装内部产生的 RF 电流能够辐射到自由空间,并耦合到其它器件。相对于振荡器接地管脚的阻抗,这种高阻抗的 PCB 塑料,阻止了 RF 电流被引向接地点。SMT 封装总是要比金属壳辐射更多 RF 能量。

(3) 在振荡器和时钟电路下安装局部接地层可提供一个镜像层,它捕获振荡器内部和相关电路产生的共模 RF 电流,这样就减少了 RF 辐射。这种局部化接地处在 RF 热电位。为包括引向局部接地层的差模 RF 电流,必须为系统提供多个接地层连接。在层 1 上,从局部化板



- 注1: 在第1层上不允许布设任何线穿过局部接地面。
 注2: 如果存在两条微带层, 不允许在局部接地面的第2层布设线路。
 注3: 接地面为敷铜面, 不采用通孔焊接, 而使用螺钉或其他方式将其连至主接地面。

图 4.32 局部接地面

到板内部接地层的转接孔提供了这种低阻抗接地路径。为了使局部接地层更好地工作, 时钟产生电路也应该放在靠近基壳接地(切换)连接处。把这种局部化接地层连接到电镀通孔上, 要 360°连接, 最好不用车轮式回转结构。应确保 RF 接地连接是低阻抗的。通过走线对接地针的连接是低阻抗的连接。当应用热释放“车轮式”栈回转连接时, 它们将降低这种低阻抗连接的性能。

(4) 当使用局部化接地时, “不要穿过这个层来布线”! 否则会破坏镜像层的功能。如果一条走线穿过局部化接地层, 就会存在小的接地环路或不连续性电位。这些小的接地环路在高频时会引起一些问题。当布线穿过这个层使其不连续性威胁到其使用功能, 为什么还要这个层?

(5) 逻辑支持电路(时钟激励器、储存器等)必须靠近振荡器放置。延伸局部化接地层以包括这种支持电路。通常, 一个振荡器驱动时钟缓存器。这种缓存器通常是超高速、快边缘速率的器件。由于这种驱动器的功能特性, 将产生主要时钟频率谐波的 RF 电流。附着大的电压漂移, 激励电流进入到信号走线, 将存在共模和差模 RF 电流。这些电流可引起性能问题, 并可能不符合电磁兼容性要求。

要考虑适当的数—模电路、器件和功能小区的分块。由于应用了电路分块, 无论生产厂家如何设计硅衬底, 都可能使用或不用公共接地结构。如果厂家在器件设计中使用公共数字/模拟接地于电源滤波, 则它只需要过滤电源层或电源管脚。

如果某器件应用不同的数字接地或不同的模拟接地, 该器件被设计在一个分立的硅片中, 那么这个器件本身可以布置在不同的 PCB 分区。通过绝缘的槽实现器件分区。所有模拟分立器件必须放在模拟区块中, 详见图 4.33。

在图 4.33 中, 我们有两种结构, 它们都有局部接地层和多层 PCB 中的槽隔离。在多层系统中, 我们可以外延这种局部接地层到电源和接地层。局部接地层与内部接地层的唯一区别在于, 局部化接地层在上面第一层, 直接位于器件或振荡器下。

当 PCB 板制造处于器件安装和划分区块阶段时, 如果器件生产厂家不能提供一个适合的

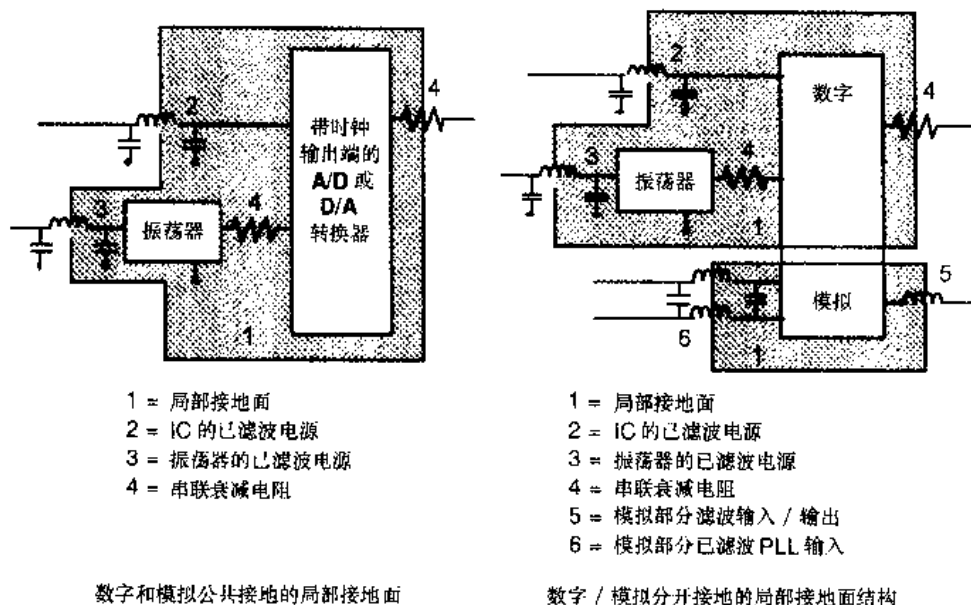


图 4.33 局部接地面—数字/模拟分块

管脚引出设定,以进行简单的数—模分区时,我们有时可以在器件的管脚间使用一个非常扭曲的形状——锯齿形。

对应用设计,进入部件的模拟电压使用铁氧体、磁珠和电容器进行滤波。磁珠的滤波侧放在“静”模拟层或局部化接地层。如果需要的话,模拟部件的输出可用一个适当的部件进行滤波。这种部件可以是另一个铁氧体部件或电感器,这基于应用和使用特性。

如果在电源和接地层结构上进行分块,则在 PCB 中,全部存在的层都必须有槽围绕。不出现重叠层是至关重要的,见图 4.19。在高噪数字层和低噪模拟层之间,防止出现容性耦合是强制性要求,以防止共模杂波引起潜在的共振。

4.16 小结

镜像层这个概念通常用于标明返回路径,以使 RF 电流回到出发点。镜像层由多层 PCB 中的实体铜板构成。镜像层提供了一个低阻抗 RF 传输路径,并产生磁力线通量,以抵消它们的源传输线的磁通量。源和返回路径间的距离越近,则消磁就越好。由于增强了消磁能力,高密度 PCB 板的每个镜像层可提供近似 6~8dB 的 RF 抑制。

多层板的好处:

- (1) 一层或多层板子专门用于电源和接地。其主要好处在于出现了固体层。
- (2) 存在好的去耦配电系统。
- (3) 减少了电环路面积,因而减少了差模辐射和敏感度。减少了的差模电流将抑制共模 RF 能量的产生。
- (4) 减小了信号和电源返回路径(接地)的阻抗水平。
- (5) 维持了全程走线特性阻抗的一致性。
- (6) 减少了邻近走线间的串扰。

参考文献

- [1] Montrose, M. I. 1996. *Printed Circuit Board Design Techniques for EMC Compliance*. Piscataway, NJ: IEEE Press.
- [2] Paul, C. R. 1992. *Introduction to Electromagnetic Compatibility*. New York: John Wiley & Sons, Inc.
- [3] Gerke, D., and W. Kimmel. 1994. "The Designers Guide to Electromagnetic Compatibility." EDN (January 20).
- [4] Ott, H. 1988. *Noise Reduction Techniques in Electronic Systems*. 2nd ed. New York: John Wiley & Sons.
- [5] Mardiguian, M. 1992. *Controlling Radiated Emissions by Design*. New York: Van Nostrand Reinhold.
- [6] Dockey, R. W., and R. F. German. 1993. "New Techniques for Reducing Printed Circuit Board Common-Mode Radiation." IEEE International Symposium on Electromagnetic Compatibility, pp. 334-339.
- [7] German, R. F., H. Ott, and C. R. Paul. 1990. "Effect of an Image Plane on Printed Circuit Board Radiation." IEEE International Symposium on Electromagnetic Compatibility, pp. 284-291.
- [8] Paul, C. R., K. White, and J. Fessler. 1992. "Effect of Image Plane Dimensions on Radiated Emissions." IEEE International Symposium on Electromagnetic Compatibility, pp. 106-111.
- [9] Hubing, T. H., T. P. Van Doren, & J. L. Drewniak. 1994. "Identifying and Quantifying Printed Circuit Board Inductance." IEEE International Symposium on Electromagnetic Compatibility, pp. 205-208.
- [10] Montrose, M. I. 1991. "Overview of Design Techniques for Printed Circuit Board Layout Used in High Technology Products." IEEE International Symposium on Electromagnetic Compatibility, pp. 284-291.
- [11] Montrose, M. I. 1996. "Analysis on the Effectiveness of Image Planes Within a Printed Circuit Board." IEEE International Symposium on Electromagnetic Compatibility, pp. 326-332.
- [12] Hsu, T. 1991. "The Validity of Using Image Plane Theory to Predict Printed Circuit Board Radiation." IEEE International Symposium on Electromagnetic Compatibility, pp. 58-60.
- [13] Johnson, H. W., and M. Graham. 1993. *High Speed Digital Design*. Englewood Cliffs, NJ: Prentice Hall.

第5章 旁路和去耦

旁路和去耦可防止能量从一个电路传到另一个电路,进而提高配电系统的质量。它主要涉及到3个电路区域:电源和接地层、器件、内部电源连接。

去耦是克服由数字电路切换逻辑状态引起的物理上和时间上限制的手段。数字逻辑通常涉及两个可能的状态,“0”和“1”。但某些器件可能不是二进制而是三进制。设置和检测这两个状态是通过元器件内部的开关来实现,它确定了该器件是否在逻辑“低”或在逻辑“高”。这些器件确定某一状态需要一定的时间间隔。在这种情形下,为了防止误触发,规定要有一段保护时间。在触发水平附近改变逻辑状态将产生一定程度的不确定性。如果我们增加高频干扰,这种不确定度就会增加从而产生可能的误触发。

在最大电容负载情形下,当全部器件的信号管脚同步转换时,为了在时钟和数据转化之间完成适当的操作,也需要去耦合来提供充足的动态电压和电流。通过在电路走线和电源层上确保一个低阻抗电压源来实现去耦合。因为去耦合电容器在高频时(直到自谐振点)有一不断增加的低阻抗,高频干扰能从信号路径有效地转移出来,此时低频 RF 能量保持相对的不受影响。通过使用体电容、旁路电容和去耦电容可以获得最佳的实现方案。所有电容值必须经过计算满足特定的性能。另外,我们必须正确地选择电容器介质材料,而不能随便选择。

以下是电容器的3个通常用途。当然,电容器还可以被用做其它用途,例如:计时、波成形、积分和滤波。

去耦:去除在器件切换时从高频器件进入到配电网络中的 RF 能量。去耦电容还可以为器件或器件提供局部化的 DC 电压源,它在减少跨板浪涌电流方面特别有用。

旁路:从元件或电缆中转移出不想要的共模 RF 能量。这主要是通过产生 AC 旁路消除无意的能量进入敏感的部分,另外还可以提供基带滤波功能(带宽受限)。

体电容:信号管脚在最大电容负载状态下同步切换时,用于保持器件 DC 电压和电流恒定。它还可以防止由器件产生的冲击电流 dI/dt 引起的电压击穿。

理想电容器在它的导体板和介质材料中无损耗。电流一直存在于两个平行板间。因为这一电流的存在,在平行板参数中有一电感因子。因为当一块板子充电时,与其相邻的另一块板放电,在电容器的总电感上加有一互耦因子。

5.1 谐振概述

所有的电容器都是由 LCR 电路组成,其中 L = 电感,它与导线长度有关, R 是指导线中的电阻, C 是指电容。图 5.1 为一电容器的原理图。在一可计算的频率上,该 LC 串联组合将产生谐振。在谐振状态下,将有非常小的阻抗和有效的 RF 旁路。当频率高于自谐振时,电容器渐变为高的感性,同时旁路或去耦合效果下降。因此,旁路和去耦受电容器引线长度电感的影响。

响(包括表面固定、径向或轴向类型),还受电容器与器件间的走线长度、介质填料、馈电盘等因素的影响。

在讨论印刷电路板(PCB)电路的旁路和去耦合之前,先了解一下谐振原理。当一个电路的总电抗值(感性和容性矢量值的电抗差值)为零时,谐振产生。这等同于在交流(AC)电压下,说该电路表现为纯电阻。有如下3种常见的谐振类型:

- 串联谐振
- 并联谐振
- 并联 C—串联 RL 谐振

因为谐振电路在特定的频率比在其它频率通过更多或更少的 RF 电流,所以说谐振电路是频率选择性的。如果 R 高而电源阻抗低时,一个串联 LCR 电路将通过某一选定的频率(通过 C 来测定)。如果 R 低而电源电阻高时,该串联 LCR 电路将反射某一选定的频率。一个并联谐振电路与负载串联时,将反射某一选定的频率。

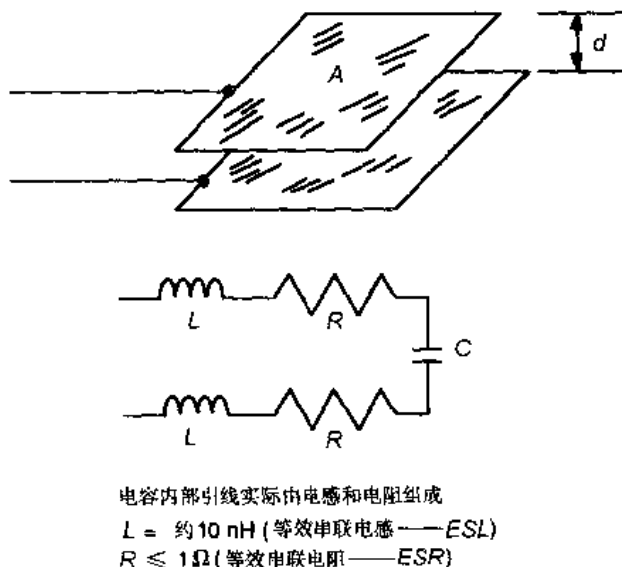


图 5.1 引线电容的物理特性

5.1.1 串联谐振

串联 RLC 电路的总阻抗 $Z = \sqrt{R^2 + (X_L - X_C)^2}$ 。如果一个 RLC 电路表现为电阻性,该电阻可通过图 5.2 计算出,此时, $\omega(2\pi f)$ 被称为谐振角频率。

当串联 RLC 电路谐振时

- (1) 阻抗值最小
- (2) 阻抗等于电阻
- (3) 相位差为零
- (4) 电流为最大值
- (5) 输出功率(IV)最大

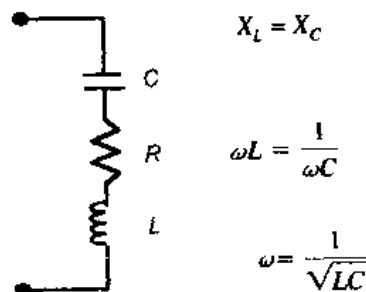


图 5.2 串联谐振

5.1.2 并联谐振

并联 RLC 电路见图 5.3。其谐振频率同串联 RLC 电路。当并联 RLC 电路谐振时

- (1) 阻抗为最大
- (2) 阻抗等于电阻
- (3) 相位差为零
- (4) 电流为最小值
- (5) 输出功率最小

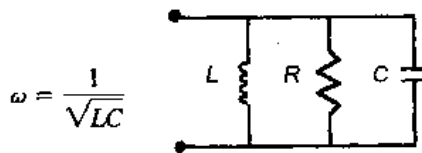


图 5.3 并联谐振

5.1.3 并联 C—串联 RL 谐振(反谐振电路)

实际的谐振电路通常由一个电感器与一个可变电容器并联构成。因为电感元件存在一定的电阻,其等效电路见图 5.4。电感支路中的电阻可能是

一个独立的元件或是非理想电感元件的内部电阻。

在谐振时,电容器和电感元件在不同的半个周期中交换同一保存的能量。当电容器放电时,电感元件充电,反之亦然。当在反谐振频率时,虽然该储能电路中电流很高,该储能电路相对于主电路电流表现为高的阻抗,功率仅消耗在网络中的电阻部分上。

反谐振电路等效于一并联 RLC 电路,其电阻为 $Q^2 R$ 。

$$\omega = \sqrt{\frac{1}{LC} - \left(\frac{R}{L}\right)^2} \approx \frac{1}{\sqrt{LC}} \quad [R \ll \omega_0 L]$$

$$Q = \frac{1}{\omega_0 CR} = \frac{X_C}{R} = \frac{X_L}{R}$$

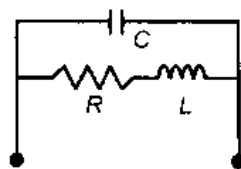


图 5.4 串并联 RCL 谐振

5.2 物理特性

5.2.1 阻抗

电容器的等效电路见图 5.1。电容器的阻抗表示为:

$$|Z| = \sqrt{R_s^2 + (2\pi fL - 1/2\pi fC)^2} \quad (5.1)$$

其中 Z = 阻抗(Ω), R_s = 等效串联电阻—— $ESR(\Omega)$, L = 等效串联电感—— $ESL(H)$, C = 电容(F), f = 频率(Hz)。

从这个公式得出,在谐振频率 f_0 时, $|Z|$ 拥有最小值,该频率为

$$f_0 = 1/2\pi \sqrt{LC} \quad (5.2)$$

实际上,该阻抗公式(5.1)反应的是内在的参数,我们用 ESL 和 ESR 来描述它们。

ESR 表示电容器中的电阻损耗。这个损耗包括金属电极分布电阻、内部电极间的接触电阻,以及外部端接点电阻。注意高频下的趋肤效应增加了器件的引线电阻值。因此高频 ESR 大于 DC 下的 ESR 。

ESL 是一个损耗单元,当限制电流在部件封装内流动时,必须要克服这个因素。限制越严,对电流密度要求也越高,对 ESL 要求也越高。为了减少这个寄生参数,要考虑宽和长的比例。

考察公式(5.1),我们得到一个用 ESL 和 ESR 表示的同一公式的变形,见公式(5.3)

$$|Z| = \sqrt{(ESR)^2 + (X_{ESL} - X_C)^2} \quad (5.3)$$

其中 $X_{ESL} = 2\pi f(ESL)$, $X_C = 1/2\pi fC$

某些介质电容器,其电容值随温度和直流偏压而变化。等效串联电阻随温度、直流偏压和频率变化,与此同时等效串联电感保持相对不变。

对于一个理想的平板电容器来说,当电流单一地从一侧流出注入另一侧时,电感实际上为零。在这种情况下,高频下的 Z 将等于 R_s ,不存在固有谐振,这正是 PCB 中的电源和接地层结构特性。图 5.5 很好的表明了这一点。

图 5.5 是理想平板电容器的理论阻抗频率响应。

理想电容器的阻抗随频率衰减的速率是 -20 分贝每十倍频。因为电容器的导线上存在

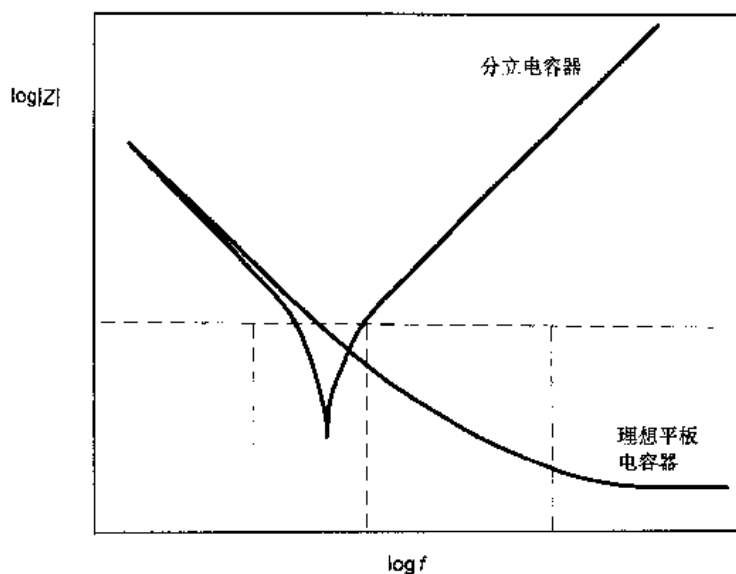


图 5.5 理想平板电容器的阻抗频率响应

电感,这电感使得电容器是非理想的,见公式(5.2)的描述。

必须注意到,由于不可能理想地布线以有效地消除磁通量,双面板上的长电源走线相当于增加电容器引线长度,将严重改变配电系统的自谐振。

高于自谐振频率时,电容器的阻抗变成感性,并且以 +20dB/十倍频的速率增加,详见图 5.6。高于自谐振频率时,电容器就不再有电容器的特性了。ESR 的值非常小,因此它不能显著影响电容器的自谐振频率。

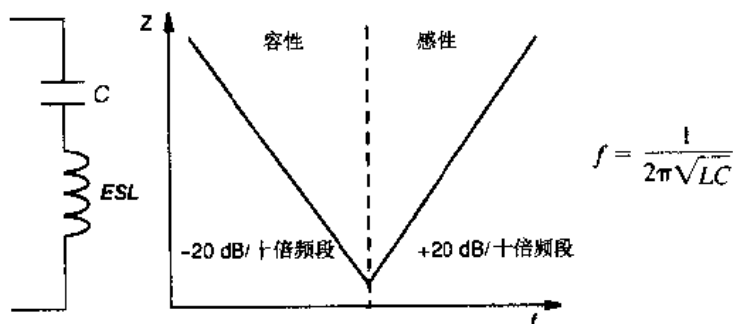


图 5.6 电容器引线电感的影响

在一特定频率下,减少电源分布噪声对电容器产生的影响由式 5.4 表示

$$\Delta V(f) = |Z(f)| \times \Delta I(f) \quad (5.4)$$

其中 ΔV 是加了修正的允许电压; ΔI 是部件上的电流; f 为频率。在确保杂波没有超过允许的限度下,为了优化配电系统,对于给定电流, $|Z|$ 必须小于 $\Delta V/\Delta I$ 。最大的 $|Z|$ 应该由最大 ΔI 估算出。如果 $\Delta I = 1\text{A}$,同时 $\Delta V = 3.3\text{V}$,该电容器的阻抗必须小于 3.3Ω 。*

为了使理想电容器工作在所需状态下,该部件应该有高的 C ,使其在工作频率上有小的阻抗,还应有低的 L 以使阻抗在更高频率下不增加。另外,该电容器必须有一个低的 R_s 值,以

* 译注:原书此处为 0.3Ω ,疑为 3.3Ω 之误。

得到最小可能的阻抗。正是这个原因,电源和接地层结构是 PCB 板上提供低阻抗去耦的最佳选择,它优于离散元件。

5.2.2 能量储存

理想的去耦电容器可以提供逻辑装置状态变换时所需的所有电流。这由式(5.5)给出。在双层板上使用去耦电容器也可减少供电电压的波动。

$$C = \Delta I / \Delta V / \Delta t \quad (5.5)$$

即

$$\frac{20\text{mA}}{100\text{mV}/5\text{ns}} = 0.001\mu\text{F} \text{ 或 } 1000\text{pF}$$

其中 ΔI = 转换电流

ΔV = 允许供电电压改变(波动)

Δt = 切换时间

注意到对于 ΔV 来说,EMI 的需求通常比芯片运行的要求更高。

去耦电容器的频率响应依赖于对电流突变的需要。根据电容器提供电流的能力来解释频域阻抗响应是有用的。电荷转移能力也用来说明时域特性。在经历一个相对慢的转换时,这种电源和接地层间的低频阻抗决定了电压变化的多少。在快速转换时,响应是电压波动的时间平均值。在低阻抗下,当电压突变时有更多的电流可供电子元件。高频阻抗决定了在电压快速转变时该电路板最初能提供多少电流。具有最小阻抗的板子(高于 100MHz),在突变最初的几个纳秒内,达到最大量的电流供应(对一个给定的电压变化)。

5.2.3 谐振

当选择旁路和去耦电容时,可通过逻辑系列和所使用的时钟速度计算电容器的充放电频率(自谐振频率)。必须根据该电容器在电路中的容抗选择电容值。在自谐振频率以下,电容器表现为容性。高于自谐振频率,该电容器表现为感性,并减少了 RF 去耦。表 5.1 描述了两种类型的陶瓷电容器的自谐振频率,其中一种是标准的 0.25in 引线,另一种是表面安装类型。SMT 电容器的自谐振频率总是更高些。这种更高的自振频率是因为它有更低的引线电感,这是因为它有更小的封装尺寸,并且没有长的径向或轴向引线。

在对不同封装尺度的 SMT 电容器进行 SPICE 测验或分析时,都具有相同电容值的所有电容器,在保持其它测验常数不变的情况下,不同封装尺度的电容器其自谐振频率仅有几个 MHz 的改变。包装尺度为 1210、0805 和 0603 的 SMT 电容器,在现在的产品中很常见,它使用不同的电介质材料。电容量保持常数的不同封装器件,不同封装之间只是引线电感不同。电介质材料对改变电容器的自谐振频率无明显作用。不同的封装尺寸,就 SMT 包装过程中引线长度电感的不同而言,自谐振频率的变化是不明显的,其范围在 $\pm 2 \sim 5\text{MHz}$ 之间。

当对大量的电容器样品在实验环境下进行测试后,观察到一个有趣的现象。与预测一样,在分析得到的频率上该电容器发生自谐振。根据大量样品,该自谐振频率改变显著,(这些不能在本章详述或列表)。这个自谐振频率的变化来源于电容器公差率。因为在制作过程中,电容器的公差率通常为 $\pm 10\%$ 。更贵一些的电器是在 $\pm 2\% \sim 5\%$ 。因为制作过程中使用的电容器的物理尺度是固定的,电容值可根据电介质的厚度和种类或其它参数来改变。制作上的公差影响元件电容值,实际的自谐振频率依赖于器件的公差比率。如果一个设计需要严格的去

图 5.7 显示的是不同逻辑系列不同电容器的自谐振频率。可以看出电容器在到达自谐振(零点)变成感性前是容性的。高于自谐振点的电容器变成感性,它的 RF 去耦功能按比例减少;但是,它们仍是部件中最好的电荷源,甚至在它们表现为感性的频率下,也是这样。这就是为什么要考虑从电容板到它的安装焊盘(或管脚)间的内部焊接线的原因。电感是导致去耦电容器在高于自谐振频率时去耦作用变小的原因。

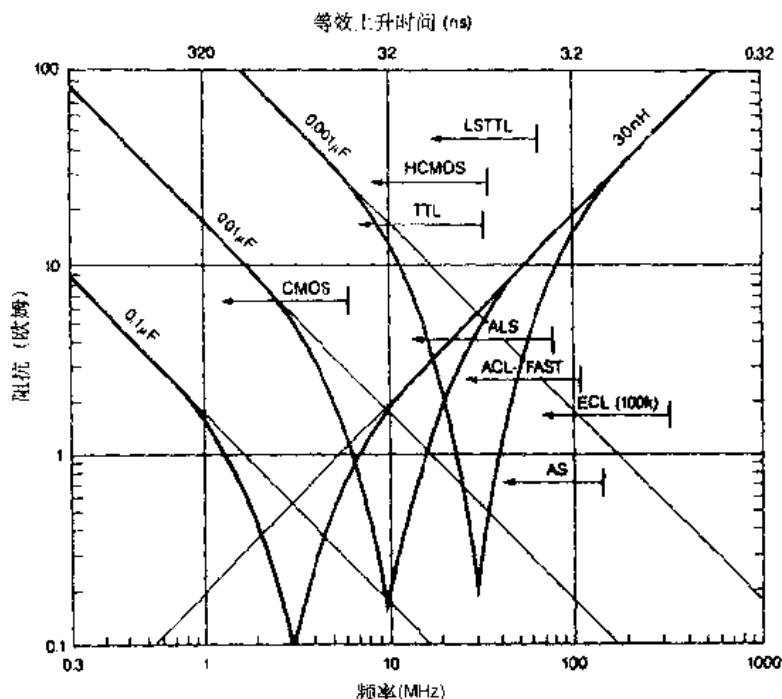


图 5.7 电容器与逻辑电路系列的自谐振频率的比较
电容器附加 30nH 串联电感(导线加上引线长度)

某些逻辑系列产生较高的射频能量。这个能量的频率通常高于去耦电容器在电路中的自谐振频率。例如：一个 $0.1\mu\text{F}$ 电容通常不用于“ACT 或 F”逻辑部件射频电流的去耦。与此同时, $0.001\mu\text{F}$ 电容更适合高边沿速率(最小 $0.8 \sim 2.0\text{ns}$)的高速器件。

我们现在比较一下通孔电容器和表面安装电容器(SMT)的不同。因为 SMT 器件有小得多的引线长度电感,其自谐振频率要高于通孔器件。图 5.8 是陶瓷电容器在不同电容值时的自谐振频率。为了进行比较,图中所有的电容器都有相同的引线长度电感。

当电容器适当地安装在 PCB 上时,可得到有效的容性去耦。随意的安装或过量使用电容器是一种材料的浪费。某些时候,合理地少安装电容器,可更好地执行去耦功能。在特定应用时,两个并联电容要求提供更宽频带的射频抑制。为了获得最佳特性,这两个并联电容器必须相差两个量级幅度或值(例如 0.1 和 $0.001\mu\text{F}$)或 100 倍。在这章的后面要讨论并联电容器的用法。

5.2.4 电源和接地层的好处

使用多层 PCB 板的一个好处在于可以将电源和接地层彼此靠近安装。这两个板的物理关系产生了一个大的去耦电容器。这个电容器通常为低速率(慢边沿速率)设计提供了足量的去耦;但是,增加层增加了 PCB 板的成本费用。如果部件的信号边沿(t_r 或 t_f)慢于 10ns (例如,

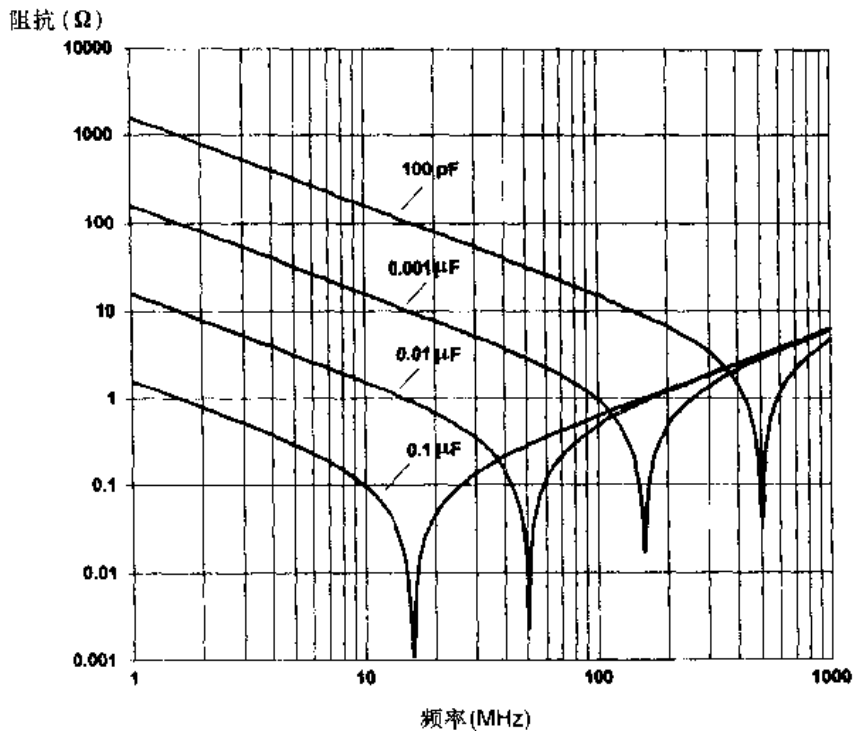


图 5.8 表面装电容器的自谐振频率 ($ESL = 1nH$)

标准 TTL 逻辑),就不需要使用高性能、高自谐振频率的电容器。但是需要使用体电容器来维持适当的电压水平。出于性能的原因,电容值在 $0.1\mu F$ 到 $10\mu F$ 较适合于部件电源管脚。

当使用电源和接地层作为主要的去耦电容器时,要考虑另一个因素,即这种自带的电容器的自谐振频率。如果电源和接地层电容的自谐振频率与安装在板上的集总去耦电容器的自谐振频率一样,在这两个频率相遇的地方,将有尖锐的共振。将不再有一个宽的去耦频段分布。如果时钟同步的频率也是在这个尖锐的共振频率上,这个板表现为存在很少的去耦。如果这种状况发生了,该 PCB 变成了一个非预期的可能不符合电磁干扰要求的发射器。假如发生这种情况,使用具有不同自谐振频率的附加去耦电容,可避免发生与 PCB 板电源和接地层的尖峰共振。

改变电源和接地层自谐振频率的一个简单的方法就是改变这两个层间的空间距离。增加或减少叠层的分离高度或在叠层中重新定位将改变系统的电容值。公式 5.7 和 5.8 提供这个计算方法。使用这种技术的一个不利之处在于信号布线层的阻抗也要改变。许多多层 PCB 板的自谐振频率通常在 $200 \sim 400MHz$ 。

过去,较慢的逻辑器件在 PCB 电源和接地层自谐振频率之下的区域工作很好。使用更先进设计技术的逻辑器件达到或超过了这个临界的共振频率。当电源板的阻抗和去耦电容器达到这个相同的共振频率时,将发生严重的性能退化。这退化的高频阻抗将导致严重的电磁干扰问题。实质上,这个集成的 PCB 变成了一个非预想的发射器。PCB 不是真正的发射器,高度重复的电路或时钟是射频能量产生的原因。去耦不能解决这类问题(因为去耦的共振),需要用系统级的封装方法来解决。

5.3 并联电容器

在产品设计中,通常采用并联去耦电容来提供更大的工作频带,减少接地不平衡。接地不平衡是在 PCB 板中产生电磁干扰的一个因素。当使用并联去耦时,必须不要忘记存在第三个电容器——电源和接地层结构。

当部件转换消耗 DC 能量时,将在配电网络中产生一个瞬间脉冲。因为供电网络中存在一个有限的电感,去耦提供了局部化的点电源电荷。通过将电压保持在一个稳定的参考点上,防止出现错误的逻辑切换。去耦电容器也减少了辐射,这是通过提供一个非常小的为产生高频谱分量的切换电流的环路面积,以代替部件和远端电源间的一个大的环路面积的结果。

研究多重去耦电容的有效性表明:并联电容在高频情况下没有明显的效果,比使用单个大容量的电容器仅仅改善 6dB。¹虽然 6dB 对抑制射频电流看起来是一个小数,但按照国际电磁干扰规范它可能使一个不合格的产品变成一个合格的产品。根据 Paul 的研究:

高于自谐振频率时,大电容值的电容器阻抗随频率增加而增加(感性),小电容值电容器阻抗随频率增加而减少(容性)。同一原因,小电容值电容器阻抗比大电容值电容器阻抗要小,并起支配地位,它可比大电容值电容器单独存在时提供更小的净阻抗。

这个 6dB 的改善主要是并联电容提供了更小的引线电感和器件体电感的结果。这样从电容器内板中并联引出两套平行导线。两条引线比只有一套引线提供了更宽的通道。更宽的通道,就会有更少的引线长度电感。这个减少了的引线长度电感是为什么并联电容器工作如此之好的主要原因。

图 5.9 显示 2 个旁路电容;0.01 μ F 和 100pF,它们是独立地并联在一起的。0.01 μ F 电容器的自谐振频率是 14.85MHz。100pF 电容器的自谐振频率是 148.5MHz。在 110MHz,由于存在并联组合,阻抗大幅增加。这时 0.01 μ F 电容器是感性的,而 100pF 电容器还是容性的。由于在共振时,有 L 和 C 同时存在,因此,如果符合电磁干扰要求是强制性的,反谐振频率点就是我们在 PCB 中不想有的。

在大电容值电容器 0.01 μ F 的自谐振频率与小电容值电容器(100pF)的自谐振频率之间,大电容值电容器的阻抗实质上是感性的,此时小电容值电容器的阻抗是容性的。在这个频段存在并联共振 LC 电路,我们因此希望找到并联组合的无限大的阻抗。在这个共振点周围,并联组合的阻抗实际上大于其它孤立的电容器的阻抗。

在图 5.9 中,可观察到在 500MHz,独立电容器的阻抗实际上是近似相同的,并联阻抗只是 6dB。这 6dB 的改善只在有限的频率段内(120~160MHz)有效。

为了进一步检测当两个电容器并联使用的会发生什么,我们看一下两个电容器并联表现出的阻抗波特图(见图 5.10)。

在图 5.10 的波特图中,不同频率中断点的共振频率值为

$$f_1 = 1/2\pi\sqrt{LC_1} < f_2 = 1/2\pi\sqrt{LC_2} < f_3 = 1/2\pi\sqrt{LC_3} = 2f_2 \quad (5.6)$$

注 1: 见 Paul Clayton: "Effectiveness of Multiple Decoupling Capacitors" IEEE Transactions on EMC, May 1992, Vol. EMC - 34. PP. 130 - 133.

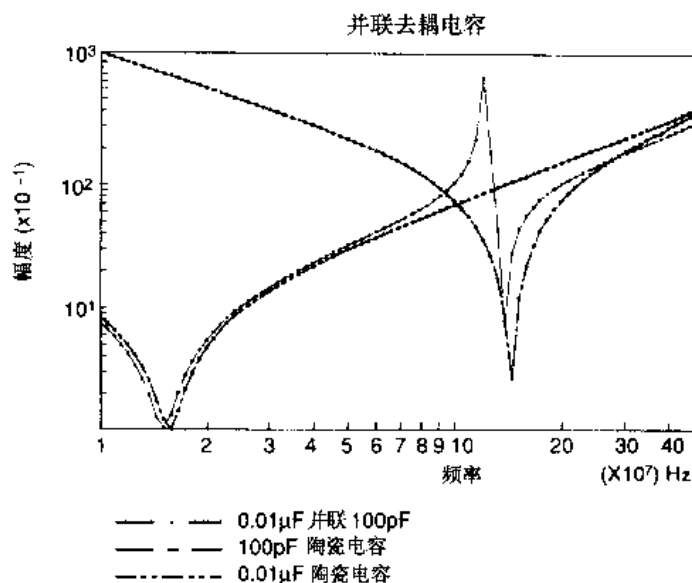


图 5.9 并联电容的谐振

通过缩短较大电容器($0.01\mu\text{F}$)的引线长度,我们得到相同结果的 2 倍。因为这个原因,在特殊的设计中选用单个电容比两个电容器更佳,特别是当存在较小的引线长度电感时,更是这样。

为了消除部件同时转换全部信号管脚时(希望并联去耦)产生的射频电流,通常的做法是安装两个并联电容器($0.1\mu\text{F}$, $0.001\mu\text{F}$),并分别直接连在两个电源引脚上。如果在 PCB 方案中使用并联去耦,必须意识到其电容值要相差两个数量级或 100 倍。并联电容器总的电容值是不重要的。由并联电容器(存在自谐振频率)提供的并联响应是一个重要的因素(见表 5.1 和 5.2)。

为了使并联旁路效果更佳,以及仅允许使用一个电容器,就必须减少电容器的引线长度电感。当在 PCB 板上安装电容器时,总是存在一定数量的引线长度电感。注意引线长度必须包括连接电容器到板子的走线的长度。无论是用单个还是多个并联去耦,减少引线长度都会使性能变得更好。另外,一些工厂提供的电容器可显著减少内部的体电感。

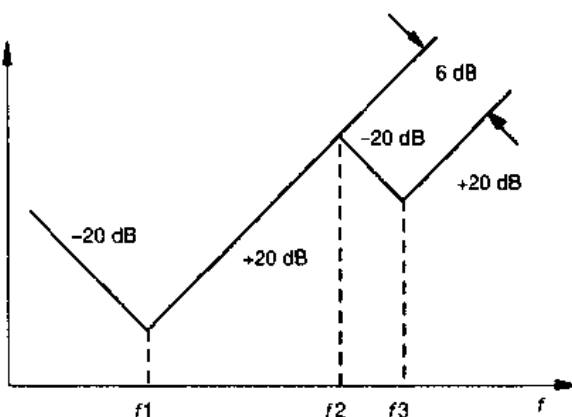


图 5.10 并联电容的波特图

5.4 电源层和接地层电容

PCB 内电源和接地层影响,在图 5.9 中没有考虑。但是,多重旁路影响在图 5.11 中表示出。电源和接地层有非常小的等效引线长度电感,没有 ESR。通常在一些高频区段使用电源层作为去耦电容器来减少射频能量辐射。

在大多数多层板中,两个部件间的最大板间电感远远小于 1nH 。相对应的,引线长度电感

(例如,连接部件和它相关的走线加上其内部的走线,这些所涉及的相关的电感)。典型为 2.5 ~ 10nH 或更大。

在电压板和对应的接地板间总是存在着电容。根据芯的厚度,填充的介质,叠层板中板的位置,存在着不同的内部电感值。网格分析、数学计算或模拟实验将给出电源层的实际电感值。还可以定出全部电路层的阻抗值以及潜在 RF 发射器的整体自谐振频率。这个电容值很容易根据(5.7)、(5.8)式估算出来。这个近似法仅用于估算层间的电感,因为层是有限的,其上有多个孔、通孔和类似这样的东西。实际的电容值常常小于这个计算值。

$$C = \frac{\epsilon_0 \epsilon_r A}{d} = \frac{\epsilon A}{d} \quad (5.7)$$

其中, ϵ = 电容器层间的介质的介电常数(F/m), A = 平行板的面积(m^2), d = 层间分开的距离(m), C = 电源和接地层间的电容值(pF)。

引入不同导电材料的相对介电常数 ϵ_r 和自由空间介电常数值 ϵ_0 , 我们得到了平行板电容器的电容值, 也称作电源和接地层组合。

$$C = 8.85 \frac{A \epsilon_r}{d} \text{ (pF)} \quad (5.8)$$

其中 ϵ_r = 板间媒介的相对介电常数, 通常约等于 4.5 (线性材料通常在 1 ~ 10 之间)

ϵ_0 = 自由空间介电常数, $1/36\pi \times 10^{-9} \text{F/m} = 8.85 \times 10^{-12} \text{F/m} = 8.85 \text{pF/m}$

相距 0.04in ($\epsilon = 4$) 的材质, 公式 5.7 和 5.8 表示的电源和接地层将有电容值 100pF/in²。

因为在多层 PCB 板中, 通常用分离的去耦电容, 我们必须考虑慢边缘速率部件在低频时, 电容器的值, 通常这个频率范围小于 25MHz。对分离型电容器与电源和接地层一起的综合效果进行研究, 可得到有意义的结果。

在图 5.11 中, “裸板”的阻抗非常近似理想去耦电容器的阻抗, 理想去耦电容器是只有纯电容, 没有附加的电感和电阻的电容器。这个理想阻抗是按 $Z_c = 1/j\omega C_0$ 给出。这个独立的电容器在串联共振频率 f_s 时是零, 在并联共振频率 f_p 时为无穷大, 其中 n 等于独立电容器数目, C_d 是独立电容器电容, C_0 是电源层接地层结构的电容值。

$$f_p = f_s \sqrt{1 + \frac{nC_d}{C_0}} \quad f_s = 1/2\pi \sqrt{LC} \quad (5.9)$$

当频率低于串联谐振频率时, 独立去耦电容器的阻抗值为 $Z = 1/j\omega C$ 。当频率接近串联谐振频率时, 加负载的 PCB 板阻抗值实际上小于理想的 PCB 板的阻抗。但是当频率高于 f_s 时, 由于涉及到它们内连的电感, 这些去耦电容开始表现为感性。因此, 当频率高于它们的串联谐振频率时, 独立的去耦电容器功能上表现为电感器。有去耦电容和没有去耦电容的板阻抗值相同的频率(在这里, 非理想 PCB 有负载和无负载相交)是

$$f_u = f_s \sqrt{1 + (nC_d/2C_0)} \quad (5.10)$$

高于频率 f_u , 附加的“ n ”个去耦电容器不能带来附加的好处(只要部件的转换频率在电源层和接地层结构的去耦范围内), 因为裸板的阻抗远远小于有独立电容器负载时的阻抗。当接近负载板极点频率(并联共振)时, 负载板阻抗的值异常高, 负载板的去耦性能比无负载(没有附加去耦电容器)时差很多。分析结果清楚地表明, 减小去耦电容器连线的串联电感是获得在

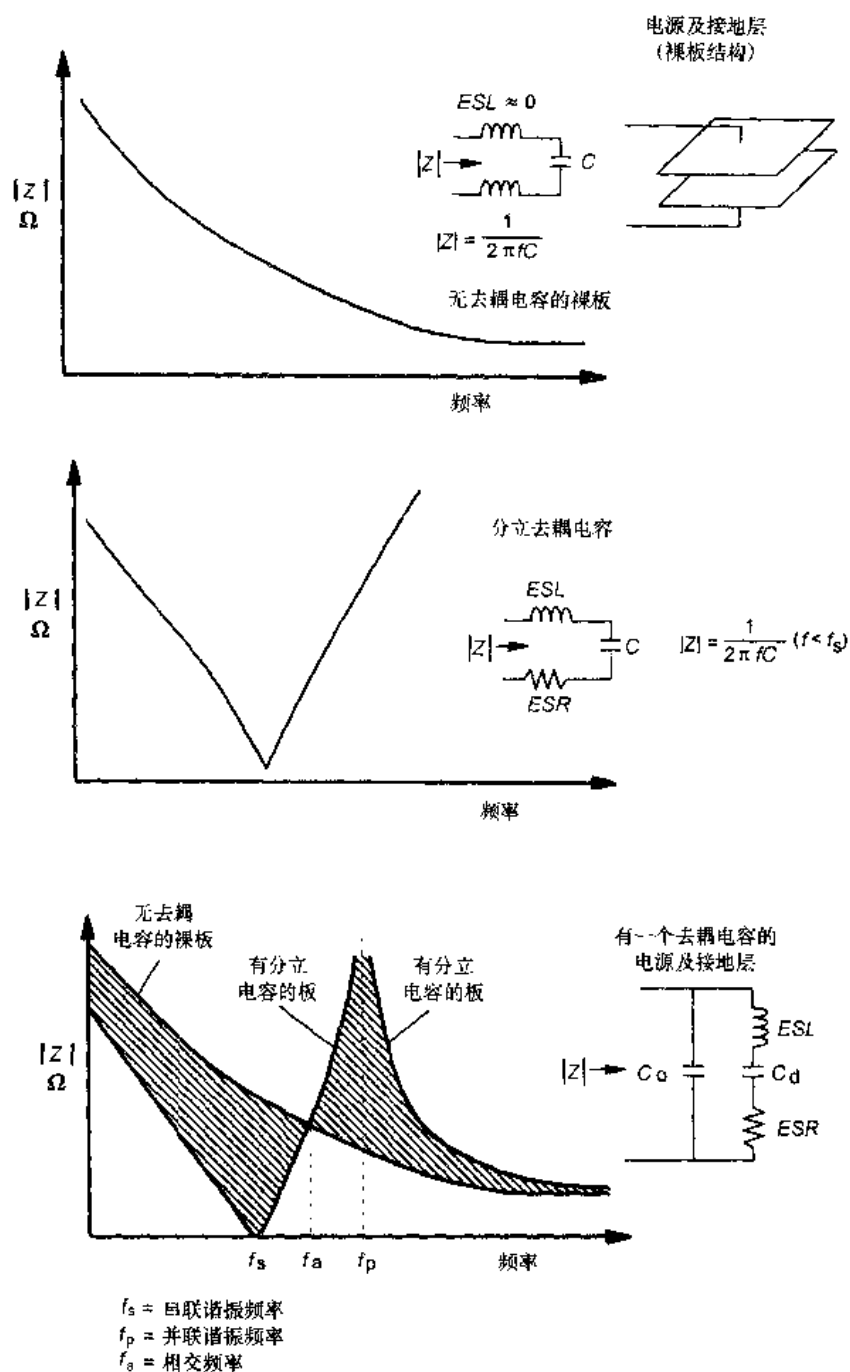


图 5.11 具有分立电容的电源和接地层的去耦效果

宽频域范围内理想性能的关键。时域上,它对应于快速供电。减少内连电感可增加串联和并联共振频率,拓宽理想电容器的工作频段范围。

在板阻抗表达式中,并联谐振对应于极点,串联谐振对应于零点。当提供多个电容器时,极点和零点将交替出现。因此,在每一对串联谐振频率之间都有一个并联谐振。两个串联谐振间总存在一个并联谐振点。

虽然,当使用电源层接地层结构时,存在好的分布电容,在整个 PCB 部件中,这两个层的相邻叠加起着关键的作用。如果存在两套电源和接地层,例如, +5V/地和 +3.3V/地,两者具

有不同的层间介质,因而有可能在板上存在多个自带的内部去耦电容。如果合理地选择叠层,不用任何独立电容器就可以得到高频和低频去耦电容。从这个理论出发,引入一个技术——隐藏电容,可以应用于高频去耦的高科技产品中。

5.4.1 隐藏电容

隐藏电容是一个专利制造过程,在这个过程中,电源和接地层被 0.001in(0.25mm)的介质材料分开²。由于介质空间很小,在 200 ~ 300MHz 间才有去耦作用。高于这个频段,就要使用独立的电容器来做去耦部件,它工作在隐藏电容截止频率之上。要记住的重要点是,电源层和接地层间的距离越小,去耦性能就越好。还要记住,虽然隐藏电容器可以减少独立电容器的使用和费用,但使用这个技术的费用远远超过所有被取消的独立电容器的费用。

为了更好地理解隐藏电容的概念,我们考虑电源和接地层在低频时为纯电容,并且具有很小电感的情况。这些层可考虑成等电位表面,除了很小的 DC 电压接入,没有电压梯度。这个电容值简单用面积除以厚度乘以介电常数,例如:一个 10in 的正方板,应用厚度为 2mil 的 FR-4 介质,电源层与接地层间其电容为 45 nF(0.045 μ F)。

在某些频率时,沿 PCB 边缘,在电源、接地层间可观察到全波存在。假设传播速率为 6in/ns(15.24cm/ns),我们发现对 10 × 10in 板子这个频率是 600MHz。在这个频率时,这层不是等电位层,通过两点间电压测量,当我们在板子周围移动测量探头,电压变化很大。合理的转换频率是 600MHz 的 1/10,即 60MHz。小于这个频率,该板可以看成是纯电容。

知道了单位面积的传播速率和电容值,我们能够计算出板子的电感。对 2mil 厚的电介质,电容为 0.45 nF/in²,传播速率为 6in/ns,其电感为 0.062nH/in²。这个电感是扩展电感,类似于扩展电阻的解释,它有很小的数值。这个很小的数值,正是电源板主要为纯电容的原因。

利用电容和电感,我们计算阻抗为 $Z_0 = \sqrt{L/C}$,它为 0.372 Ω /in。一平面波通过长度为 10in 的板子时,其阻抗为 0.372/10 = 0.0372 Ω ,这也是一个很小的值。

因为层间的距离 d 在分母上,去耦电容值增加。电感减少,因为传播速率必须保持常数,而整个阻抗也减少。电源层和接地层是配电的方法。减少电介质的厚度,可以有效地增加高频去耦电容值,也有效地通过低阻抗配电系统传递高频能量。

5.4.2 电源和接地层电容值的计算

电源和接地层电容值表示为

$$C_{PP} = K \frac{\epsilon_r A}{d} \quad (5.11)$$

其中 C_{PP} = 平行板电容值(pF)

ϵ_r = 材料的相对介电常数(真空 = 1,FR4 材料 = 4.1 ~ 4.7)

A = 平行板的面积(in² 或 cm²)

d = 层间距离(in 或 cm)

K = 转换系数(in 0.2249, cm 为 0.884)

注 2:隐藏电容是 HADCO 公司的注册商标(由该技术的开发商 Zycon 公司购进)。

使用这个技术时发现,在电源和接地层中,非焊盘部分(穿孔区域)产生的电感将减小该技术的理论效果。

由于作为去耦电容器的电源层的影响,在标准 TTL 或低速逻辑中,不需要使用高自谐振频率的去耦电容器。但是,只有当电源层很近的时候(小于 0.01in),才存在最佳效果。对高速应用而言,距离为 0.005in 更好。

如果附加去耦电容器没有选择合适,则电源层在低于去耦电容器自谐振频率时,将变成感性。在孔隙产生共振时,对抑制射频不利。在这个点上,PCB 上的射频抑制技术变得无效。必须使用贵得多的封装方法。

5.5 引线长度电感

所有电容器都存在引线电感和器件体电感。过孔也增加电感值。在任何时候都必须减少引线电感。当安装附加有引线长度电感的信号走线时,在部件接地管脚和系统接地板之间,将出现高阻抗失配。当存在走线阻抗失配时,在两源之间就要产生电压梯度,导致射频电流。在 PCB 板上,射频场产生射频辐射;因此,必须设计去耦电容使引线长度电感最小化,这包括过孔和管脚延线。

在电容器中,介质材料决定了自谐振频率的零点值。所有介质材料都是温度敏感的。电容器的电容值将随环境温度的变化而改变。在特定温度下,电容值改变很多可能导致非适合的运行性能,或作为旁路或去耦电容作用时,失去部分运行性能。介质材料的温度特性越稳定,电容器的工作特性就越好。

在介质材料的温度敏感性之外,等效串联电感(*ESL*)和等效串联电阻(*ESR*)在所考虑的运行频率时,必须要小。*ESL* 的作用等同于寄生电感器,而 *ESR* 的作用等同于寄生电阻,它们都与电容器串联。*ESL* 在相当小的 SMT 电容器中不是主要因素。径向或轴向引线部件总是存在一个大的 *ESL* 值。同时,*ESL* 和 *ESR* 将削弱电容器作为旁路器件的效果。当选择电容器时,必须选择在它们的数据表格中公布了实际的 *ESL*、*ESR* 的电容器系列。随机地选择标准电容器,如果 *ESL* 和 *ESR* 过高,可能导致不合适的运行性能。由于多数电容器厂家不公布 *ESL* 和 *ESR* 值,当选择用于高速、高技术 PCB 的电容器时,应注意选择合适的参数。

因为表面安装的电容器有足够小的 *ESL* 和 *ESR*,他们比径向或轴向类型更合适。通常,*ESL* 小于 1.0nH,*ESR* 为 0.5 Ω 或更小。对去耦电容器来说,电容值公差与温度稳定性、介质常数、*ESL*、*ESR* 和自谐振频率的重要性不一样。

5.6 安装

5.6.1 电源板

多层 PCB 通常包括一对或多对的电压和接地板。电源层的功能等同于一个低电感的电容器,它约束在部件和信道上产生的 RF 电流。多个机壳接地连接到接地板将减小板子的机壳和板间、板中的电压梯度。这些电压梯度是共模 RF 场的主要来源,这也是到机壳接地的 RF 电流的来源。在许多情况下,多个接地连接并不总是必要的,特别是在卡式设计中。在这种情

况下,必须注意分析和判断 RF 的循环路线,以及如何优化电源板的接地。

安装在接地层旁边的电源层提供电磁抵消,同时,为 RF 电流去耦,这些 RF 电流是器件的电压波动和进入电源层和接地层的噪声引起的。器件开关逻辑状态转换时,产生电流脉冲。这个电流冲击在配电网中产生杂波。镜像平面是相邻于信号层的铜板电源面和零电位面。信号走线上产生的 RF 电流将在相邻的金属板上映像出镜像电流。这个金属层不一定要与配电网隔离开[a]。为了去除 PCB 中产生的共模 RF 电流,所有布线(信号)层都必须与这个镜像层相邻(参考第 4 章关于镜像层的详细讨论)。

5.6.2 去耦电容器

在决定如何安装去耦电容器之前,必须了解 PCB 的物理结构。图 5.12 是 PCB 的等效电路。在这个图中,考察在电源与接地之间存在的回路,它们由各种因素产生,包括走线、IC 连线接头、部件的引脚、器件内部连接的引线 and 去耦电容器。加强去耦效果的关键是减少 R_2 、 L_2 、 R_2' 、 L_2' 、 R_3 、 L_3 、 R_3' 、 L_3' 、 R_4 、 L_4 、 R_4' 和 L_4' 。把电源和接地管脚安置在器件的中央,有助于减小 R_4 、 L_4 、 R_4' 和 L_4' 。最重要的是 PCB 结构的阻抗必需要减小。最容易减小 PCB 上器件的阻抗和电感的方法是提供一个固体层。为了减小器件的电感,可使用 SMT、球栅阵列、薄芯片。通过减短从焊盘到 PCB 的搭接长度,可以减少整体阻抗。

图 5.12[1]清楚表明:EMI 是与几何形状和频率相关的特性。因此,尽可能小地闭合回路区域是理想的。我们通过在邻近集成电路的电源管脚附近的一个储存电流用的局部去耦电容 C_{pcb} ,即可获得这种小的闭合回路区域。去耦回路阻抗应比电源分布系统其它部分的阻抗小得多。回路低阻抗可使由走线及元件所产生的高频 RF 能量几乎全部局限于这个小的闭合回路中。结果就可觉察到较低的 EMI 发射。

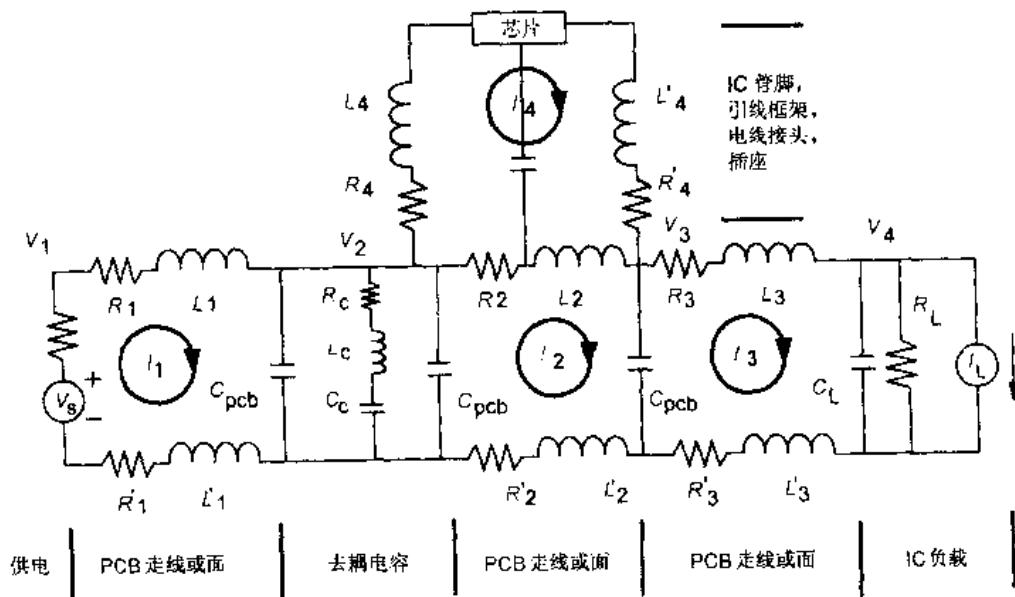


图 5.12 PCB 板等效电路

如果环路的阻抗小于系统的其余部分,部分高频 RF 分量将转换或耦合到更大的由电源系统形成的回路中。在这种情形下,将产生 RF 电流,并因此产生 EMI 发射。图 5.13 描述了这种状态。

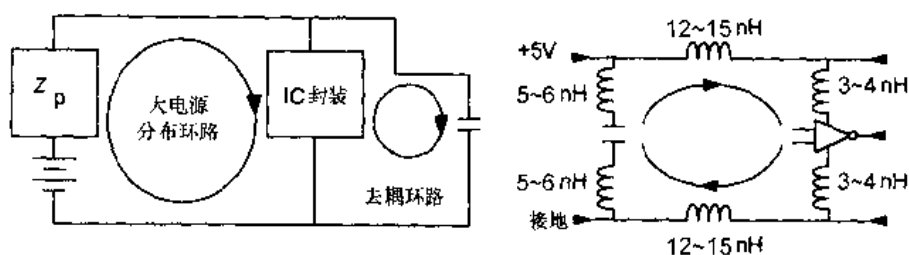


图 5.13 环路控制的电流分布模型

概括如下：

在使用去耦电容器时,重要的是减小引线长度电感,并把电容器尽可能地安装在器件边。

对于任何部件,去耦电容器必须也应该规定其边缘速率快于 2ns,并合理安装。对去耦电容器做出规定是必要的,因为以后的 EMI 测试能决定对这些器件的需求。在测试中,可能发现系统中存在过多的电容。如果不是不可能,在系统板上增加电容器也是很困难的。如今,除电源、接地结构之外,诸如 CMOS、ECL 和其它高速逻辑系列都需要增加去耦电容器。

如果在安装后需要为穿孔器件增加去耦电容器,只能进行改型。一些厂家的去耦电容器是平面结构,可安在器件与 PCB 之间。这个平的组件与器件共用相同的电源和接地引脚。因为这些电容器结构上是平的,所以,引线电感比径向或轴向电容器的引线电感要小得多。既然电容器与器件共用电源和接地引脚, R_2 、 L_2 、 R_2' 、 L_2' 也减小了。引线长度电感将保持存在而不可能被消除。应用最广的改进型小平板电容器称作 Micro-QTM。³ 其它厂家提供了类似的产品。图 5.14 详细表明了这类电容器的一个例子。在管脚栅格阵列(PGA)中也存在其它结构。对 PGA 改进型去耦电容器来说,需要基于器件的特殊引脚设置,可以有独有的安装方式。

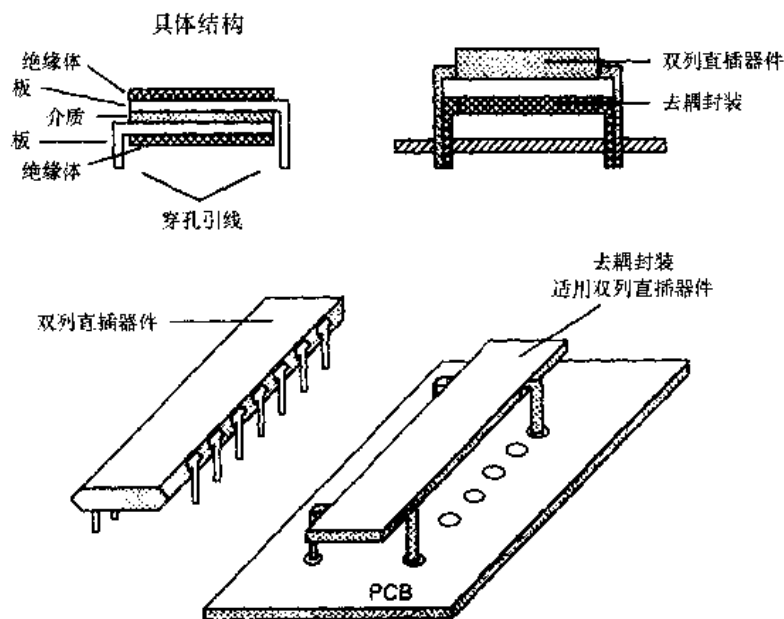


图 5.14 改进型去耦电容--双列直插封装类型

改进型电容器的自谐振频率的范围通常在 10~50MHz,这依赖于器件的电容值。因为 DIP 类型有过多的引线长度电容,太高频率的使用是不允许的。虽然有些时间称为“改进型”器件,

注 3: Micro-Q 是电路器件公司(前身为 Roger 公司)的注册商标。

与双层板上的轴向引线电容相比,这种先进去耦电容器适合初步的设计实现。

当设计 PCB 和选择部件时,缺乏规划的方案要求用到 Micro-Q 器件。到目前为止,尚没有 SMT 部件的等效改进型。

在选择一个电容器时,我们不仅应该考虑其自谐振的频率,还同样要考虑其介质材料。最常用的介质材料是 Z5U (barium titanite ceramic)。这种材料有高的介电常数。这个高的常数允许小体积的电容器有大的电容值,其自谐振频率可从 1MHz 到 20MHz,这依赖于设计和制造。高于自谐振频率,由于介质的损耗因素变成主要的,使得 Z5U 的性能下降,其最高使用频率大约为 50MHz。

另一种广泛使用的电介质材料是 NPO (铌硝石),由于它的介电常数很小,因此具有更好的高频特性和温度稳定性。与其它电容容易受外界温度和环境改变而变化相比较,NPO 的电容值(自激频率)基本保持不变。

在 PCB 上一英寸的方格上放置一个 1nF 的电容(具有非常高的自激频率),能对由信号线和电源板产生的 RF 电流给予额外的保护,尤其是在高密分层的 PCB 板上。这些额外的去耦电容的放置位置无法精确计算,但从 PCB 板的模块分析中可见,它们仍然像需要的那样起作用,不管为去耦目的把它放在何处。根据 PCB 板的谐振结构不同,方格上放置的电容值可以小到从 30~40pF 不等。

VLSI 及高速元件(如 F、ACT、BCT、CMOS、ECL 逻辑门器件)需要并接去耦电容。元器件的转换速率越陡峭,产生的 RF 电流频谱就越大。并接电容的放置一般用于过滤高频 RF 能量并能对电源板噪声产生旁路作用。多个成对电容围绕 VLSI 四周放置在电源和接地管脚之间。在 50MHz 系统下,最典型的高频去耦电容是 $0.1\mu\text{F}$ 与 $0.001\mu\text{F}$ 并联,在更高时钟频率下则为 $0.01\mu\text{F}$ 与 100pF 并联。

由于本章讨论的是多层板,单层或双层板同样需要去耦作用。图 5.15 给出了在单、双层

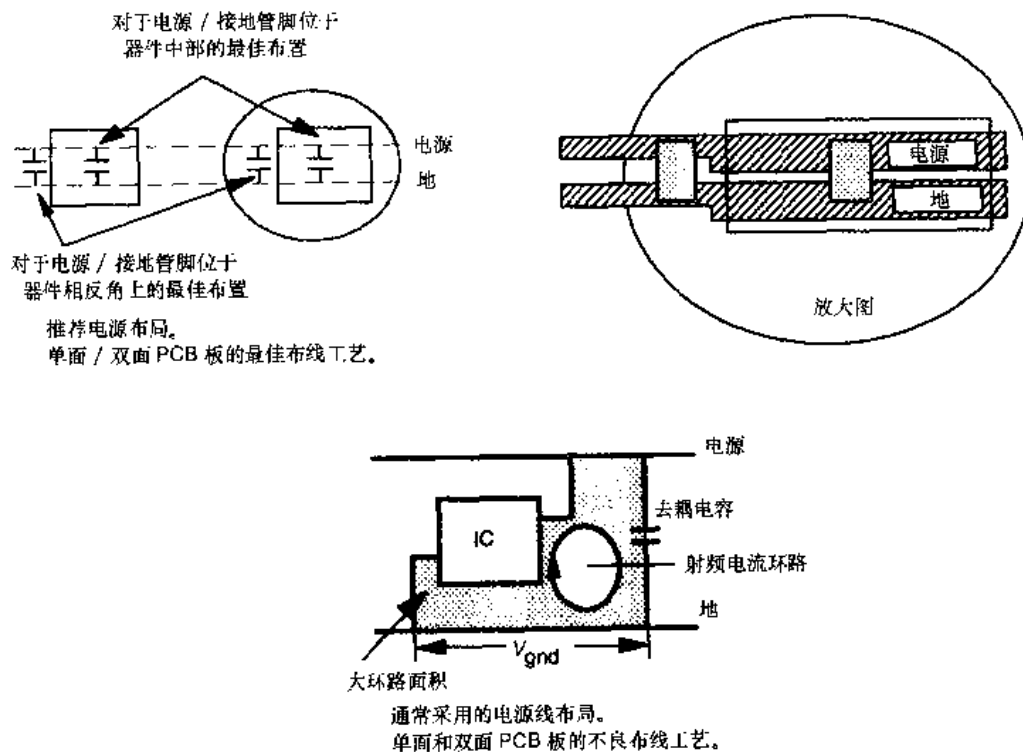


图 5.15 去耦电容的布置—双层板

板中去耦电容的正确与错误连接。放置去耦电容时,必须考虑接地环流控制。当使用有内嵌电源、接地板的多层板时,去耦电容应放在元器件的电压引脚附近,虽然这样放置会使 PCB 板上的 RF 电流更活跃。同时,它取决于元器件是否直接连接到电源/接地板,或线路是否连接到分立电容上。由于电源层的集总分布电容及元件必须连接到电源、接地层,因此电容的放置位置并不是非常严格,这与去耦电容一样。

去耦电容的另一个功能是存储局部能量,从而减少辐射环的辐射功率。由于电流在闭环电路中流动,所产生的 RF 能量正比于 IAF ,其中 I 是环中电流的大小, A 为环的面积, F 为电流的频率。由于电流、频率是由所选的逻辑器件确定的,因此只能通过使环的面积最小来减少辐射。适当放置去耦电容可以得到最小的环面积。图 5.15 给出了一个最好的例子。

在图 5.15 中, V_{gnd} 为 LdI/dt ,是在接地线上的流过去耦电容的感应噪声。它驱动接地板并产生流过全板的共模电压。我们必须减小接地结构与去耦电容的公共接地回路。

5.7 去耦电容的选择

对时钟电路元器件,应尤为注意 RF 去耦问题。这是因为元件的转换能量注入到电源、接地分配系统中。这些能量以共模或差模 RF 的形式传送到其他电路或子系统中。根据不同的需要选择相应的大电容,如钽、高频陶瓷片电容。进一步来说,陶瓷片电容需要具备比时钟电路要求的自激频率更高的频率。一般的,我们选择一个自激频率在 10 ~ 30MHz,边沿速率是 2ns 或者更小的电容。许多 PCB 板的自激范围是 200 ~ 400MHz,根据 PCB 的结构(看作大电容)的自激频率,选择适当的去耦电容,可以增强对 EMI(电磁干扰)的抑制。表 5.1、表 5.2 给出了对轴、径向引子电容的有用数据。由于引线中存在的较小电感,表面装配元器件具有更高的自激频率,大约要高两个数量级。铝电解电容并不适用于高频去耦,它适用于电源子系统或电力线滤波。

根据不同的情况选择不同的去耦电容,通常是根据时钟或处理器的第一谐波来选择。不过有时,主要的 RF 电流是由三次或五次谐波产生的,此时就应该考虑该相应的谐波,需要许多大的分立电容去耦。在 200 ~ 300MHz 以上频率的电流,0.1 μ F 与 0.01 μ F 并联的去耦电容由于感性太强且转换速度缓慢,不能提供满足需要的充电电流。

在 PCB 上放置元器件时,必须提供对高频 RF 的去耦。我们必须确保所选去耦电容能满足可能的要求,这点对时钟产生电路尤为重要。考虑自激频率的时候需要考虑对重要谐波的抑制,一般考虑到时钟的五次谐波。在最后,给出了去耦电容容抗的计算公式(5.12)。

$$X_c = \frac{1}{2\pi fC} \quad (5.12)$$

其中: X_c 是容抗(Ω), f 是谐振频率(Hz), C 为电容大小。

下面介绍电容值的计算(波形法)。

电容器也可用于对单个线路上的差模 RF 电流进行波形改变,常用于 I/O 电路和连接器,但很少用于时钟网络。电容值 C ,如图 5.16 所示,在由逻辑状态 0 到逻辑状态 1 转换中,通过改变信号的时间常数来改变输出时钟信号的边沿速率。

在图 5.16 中,我们注意到,实际的时钟边沿速率发生了变化。虽然切换位置仍保持不变,但 t_r 、 t_f 已改变。信号沿的变缓是电容充放电的缘故,其变化如图 5.17 所示。注意到戴维宁等效电路中没有负载。源电压 V_b 以及系列阻抗来自于激励源或时钟产生电路。如图所示的走

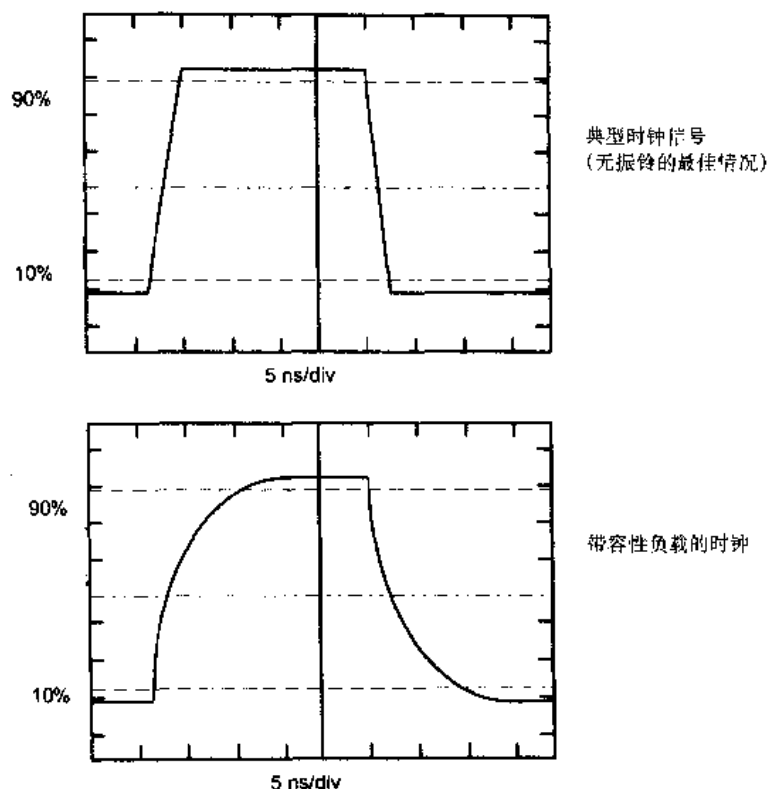


图 5.16 时钟信号的容性影响

线上的电容效应,就是该电容作用的结果。可用图 5.17 中的公式来计算如图 5.16 中所示的。时钟沿的变化率。

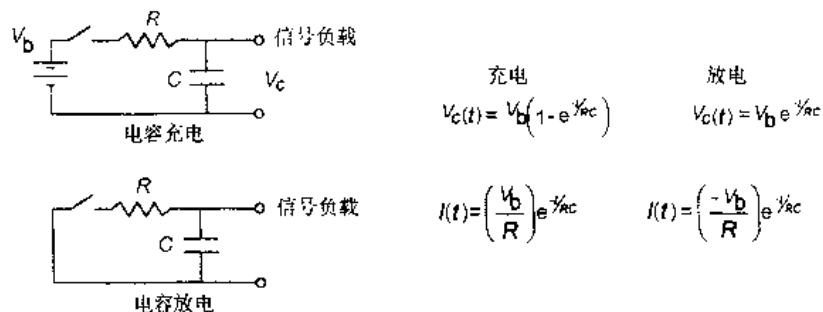
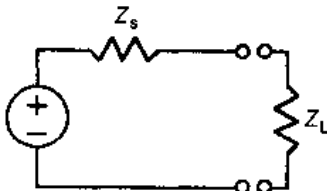


图 5.17 电容方程

对信号进行傅里叶分析(从时域到频域),在 RF 频谱分布中,RF 能量随频率下降而减少,因而改善了 EMI 性能。要注意的是,在设计时,必须确保最慢的边缘变化率不会影响其工作性能。

去耦电容的计算方法有两种。然而,去耦电容值是在某一特定的谐振频率、安装、引线长度、走线长度以及其它改变电容器谐振频率的寄生参数下,以最佳滤波特性为基础获得的。计算出的电容值一般都能满足实际的需要。

在计算去耦电容之前,我们需要先画出戴维宁等效电路。总的阻抗值等于电路中两个电阻的并联。在戴维宁等效电路中,假定 $Z_s = 150\Omega$, $Z_L = 2.0k\Omega$,则

$$Z_t = \frac{Z_s \times Z_L}{Z_s + Z_L} = \frac{150 \times 2000}{2150} = 140\Omega$$

(5.13)

方法一:在已知时钟信号的边沿速率时,用等式 5.14 来计算。

$$t_r = kR_t C_{\max} = 3.3 \times R_t \times C_{\max}$$

$$C_{\max} = \frac{0.3t_r}{R_t} \quad (5.14)$$

其中, t_r 是信号的边沿速率, R_t 是网络总电阻, $C_{\max}$ 是所用的电容的最大值, k 则是时间常数。

注意:当 t_r 单位为 ns 时, C 用 nF, 当 t_r 单位为 ps 时, C 用 pF。

我们必须选择适当的电容使当 $t_r = 3.3RC$ 时可满足信号上升/下降沿的需要。选择不当会引起基线漂移。基线指的是判断某个逻辑门器件逻辑高或低的稳态电平。式中的 3.3 是时间常数。大约 3 倍时钟常数等于一个上升时间。由于我们只需要一个时钟常数来计算电容值, k 的值是 $1/3t_r$, 在等式中就是 3.3。

举例来说,如果边缘率是 5ns, 电路等效阻抗为 140Ω , 我们可以计算出最大的电容值 C :

$$C_{\max} = \frac{0.3 \times 5}{140} = 0.01 \text{ nF 或 } 10 \text{ pF} \quad (5.15)$$

一个上下沿均为 8.33ns, 60MHz 频率下, $R = 33\Omega$ (典型的 TTL 参数), 则 $t_r = t_f = 2\text{ns}$ (等于上下沿值的 25%), 因此:

$$\left(C = \frac{0.3 \times t_r}{R_t} \right) \quad C = \frac{0.3(2 \times 10^{-9})}{33} = 18 \text{ pF} \quad (5.16)$$

方法二:

- 决定所要滤除的最高频率;
- 对一对差动走线, 用式 5.17 可获得在最小信号畸变情况下的最大电容值。

$$C_{\min} = \frac{100}{f_{\max} \times R_t}$$

$$\frac{1}{2\pi f_{\max} \times \frac{C}{2}} \geq 3 \times R_t \quad (5.17)$$

其中: C 为 nF, f 为 MHz。

在 $R_t = 140\Omega$ 的情况下, 为滤除一个 20MHz 的信号, 在忽略源内阻 Z_c 时可得 $C_{\min}$:

$$C_{\min} = \frac{100}{20 \times 140} = 0.036 \text{ nF 或 } 36 \text{ pF} \quad (5.18)$$

当使用旁路电容时, 以下几点需要考虑:

- (1) 如果边沿速率的畸变容许(一般 3 倍于 C 值), 应使用大一级的电容标准值。
- (2) 选择具有适当额定电压和介电常数的电容。
- (3) 选择稍大的误差, 误差在 +80% ~ 0% 对供电滤波是适合的, 但作为高速数字信号电

路的去耦电容却不合适。

(4) 使电容的引线最短,线路电感最小。

(5) 确认装上电容后,电路的工作状态正常。太大的电容会导致信号的过大畸变。

5.8 大电容的选择

在最大容性负载情况下,大电容可给元器件提供直流电压及电流,以实现数据、编码及同步控制信号的转换。在功率分配网络中的器件切换常会引起电流的波动,由于电压的下降,电流的扰动会导致器件的功能异常。大电容可以为电路提供能量储存,从而为电路提供稳定的最佳电压和电流。

大容量电容(钽介质)除了用于高自激频率电路的去耦以外,还可为元器件提供直流功率和对电源板上的 RF 电流进行调制。另外,除了在每两个 LSI 和 VLSI 器件之间要放一个大电容外,在下面位置要放置去耦电容:

- (1) 供电源与 PCB 的接口处。
- (2) 自适应卡、外围设备和子电路 I/O 接口与电源终端连接处。
- (3) 功率损耗电路和元器件的附近。
- (4) 输入电压连接器的最远位置。
- (5) 远离直流电压输入连接器的高密元件布置。
- (6) 时钟产生电路和脉动敏感器件附近。

在使用大电容时,我们以标称电压等于实际需要的额定电压的 50% 来计算额定电压,从而避免在冲击电压下电容的毁坏。举例而言,如果电压为 5V,则应该用额定电压为 10V 的电容。

表 5.3 给出了某些逻辑门器件所需的电容值。此表是在最大允许下降电压,也就是能对电路噪声 25% 去耦的情况下获得的。注意到对标准的 CMOS 逻辑器件,表中的数据是相当保守的,因为在没有太大的压降时,器件的连接线无法提供所需的峰值电流。实际电容的选择应根据应用而定。

表 5.3 所选逻辑器件的去耦电容数目

逻辑器件	传送电流需求峰值		
	门最高电流 (mA)	门驱动电流 (mA)	对于输出能力为 5 门 + 10 cm 走线 长度的去耦电容数目
CMOS	1	0.3	1.0
TTL	16	1.7	2.6
LS-TTL	8	2.5	2.0
HCMOS	15	5.5	1.2
STTL	30	5	1.8
FAST	15	5.5	1.8
ECL	1	1.2	1.0

资料来源: *Controlling Radiated Emissions by Design*。

在存储器阵列中,由于它的状态恢复需要额外的电流,因此同样需要大电容,该点对多管脚的 VLSI 器件同样适用。高密度 PGA 模块必须有额外的大电容,尤其是在最大容性负载情况下信号、编码和控制脚同步切换时。

用等式 5.5 来计算被电容消耗的峰值电流,我们发现电容并不是越大越好。过大的电容会消耗大量的电流,就对输入功率有很高的要求。

根据以往在低速逻辑器件下获得的经验选择的电容并不适用于高速电路中的旁路和去耦。选择电容时要考虑到谐振、PCB 的放置、引线的电感以及其他因素。

通过以下步骤,可以选择最佳的大电容[1]。

方法一:

(1) 假设板上所有的切换器件同时开关,获得最大的损耗电流,包括逻辑交叉产生的电压冲击效应(交叉电流)。

(2) 计算允许的最大电源噪声容限 ΔV 。

(3) 判断电路可允许的最大共路径阻抗 Z_{cm}

$$Z_{cm} = \Delta V / \Delta I \quad (5.19)$$

(4) 如果使用的是实心板,分配好连接电源和接地层的连接阻抗 Z_{cm} 。

(5) 计算从电源到板之间连接电缆的阻抗 Z_{cable} ,在电源合理布线的基础上,通过 $Z_{total} = Z_{cm} + Z_{cable}$ 来决定频率。

$$f = \frac{Z_{cable}}{2\pi L_{cable}} \quad (5.20)$$

(6) 如果实际切换频率低于上式中的计算频率,则电源线的布线是合理的。若高于 f ,则需要电容 C_{bulk} ,在频率 f ,阻抗为 Z_{total} 时,可通过式 5.21 计算出所需的电容值。

$$C_{bulk} = \frac{1}{2\pi f Z_{total}} \quad (5.21)$$

方法二:

假设一块有 200 个 CMOS 器的 PCB,在 2ns 时钟周期内,每个具有 5pF 的切换负载,,电压源的电感为 80nH,则:

$$\Delta I = GC \frac{\Delta V}{\Delta t} = 200(5 \text{ pF}) \frac{5V}{2 \text{ ns}} = 2.5A(\text{尖峰最坏情况})$$

$$\Delta V = 0.200V(\text{根据噪声预期极限值})$$

$$Z_{total} = \frac{\Delta V}{\Delta I} = \frac{0.20}{2.5} = 0.08\Omega$$

$$L_{cable} = 80 \text{ nH}$$

$$f_{ps} = \frac{Z_{total}}{2\pi L_{cable}} = \frac{0.08\Omega}{2\pi 80 \text{ nH}} = 159 \text{ kHz}$$

$$C = \frac{1}{2\pi f_{ps} Z_{total}} = 12.5 \mu F \quad (5.22)$$

在 PCB 上常用的大电容电容值为 10 ~ 100 μ F。

通过需要去耦的逻辑器件的谐振工作频率,可以获得器件的切换能量,从而能够计算出电压板所需的 RF 电流的去耦电容。难点在于,必须已知器件引线的电感才能计算谐振频率。如果 ESL 未知,就必须用到阻抗计或者是网络分析仪去测量 ESL。使用阻抗计的缺点是

它是低频仪器,无法测量高频响应。通过已知电容值和寄生振荡频率, ESL 的值可以近似获得。

5.9 组件内电容的设计

今天的技术已发展,主要的辐射源不再是糟糕的板结构、布线、阻抗失配或者是电源不稳定原因产生。使用数字器件必然会存在辐射,那为什么说数字器件是 RF 电流的主要的源呢?答案很简单,RF 能量是由硅晶片状态的转换电流的傅里叶频谱产生的。此硅晶片是胶合在保护层里的。在组件中很容易识别,它是由塑料或陶瓷材料作成的。

现代如微处理器、数字信号处理器和专用集成电路的发展,它们成为了电磁干扰的主要来源。近年来,时钟频率已从 $25 \sim 35\text{MHz}$ 发展到 $200 \sim 500\text{MHz}$,甚至更高,随着时钟频率的升高,由于每个 VLSI 器件的切换电流的存在,我们可得到功率损耗达到 10W 。

硅晶片需要从功率分配网络中获取电流,只有当电压和电流达到一定时才能驱动传输线。此外,今天技术的发展,上百万的晶体管被集成到了一块小硅片上。生产工艺达到了 $0.18\mu\text{m}$ 线宽,设备的边沿速率变得更快并有利于硅盘尺寸的收缩。硅盘尺寸收缩是指在一块小硅片上集成的元件增加,从而增加了产品的批量生产。在功能单元增加的同时降低了成本。因为线宽越小,两个逻辑门元件之间的传输延时就越短。但边沿速率越快,辐射能力就越强。随着边沿速率的提高,切换效应在组件内部之间感应的作用下,加大了能量的损耗。

边沿速率越快,就需要以更快的速率由功率分配网络提供直流电流。切换开关在功率分配网络中的来回转换,会在电源板和接地板之间引起差模电流的不平衡。随着差模、共模电流的失调,在 EMI 测试中,会发现共模电流在电缆组装连接处或 PCB 元件中产生辐射。

为解决元件级问题,EMC 工程师和元件制造商必需采用艺术级的原则来解决对 IC 干扰的抑制,尤其是去耦。另外,设计费用也是影响 EMC 解决程度的一个决定性因素。

正如前面所说,在元件开关时间周期,去耦电容提供了瞬时的充放电。去耦电容必须向器件提供足够快的充放电过程以满足开关操作的需要。电容的自激频率取决于很多因素,不仅包括电容大小,还包括 ESL 、 ESR 等。

器件供应商可用不同的技术把去耦电容嵌入到组件中。一种方法是在把硅盘放到组件之前先嵌入去耦电容,如图 5.18 所示。

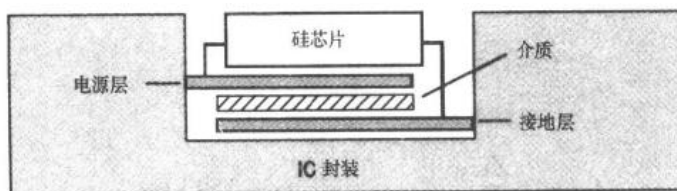


图 5.18 硅芯片封装内部的去耦电容

双层金属膜,中间加一个介质层,就形成了一个高质量的平板电容器。由于外加的电压很低,因此,介质层可以做得很薄。对很小区域,它所产生的电容可满足需要,其有效引线长度趋向于零。平行板结构获得的谐振频率会非常高。与全部 IC 集成的花费相比,运用这种技术生产的花费很低。此外,还可以提高性能,由于不需要分立去耦电容,整个 PCB 的成本就会降低。

另外一个在器件组件中形成去耦就是采用强压技术。高密度、高技术元件常直接把 SMT 电容加入到组件中。分离电容常用于多芯片模块中。根据硅盘的侵入峰值电流冲击情况,以设备所需的充电电流为基础来选择合适的电容。此外,在元件自激时能对差模电流产生去耦作用。虽然内嵌有电容,在模块外部同样要加上分立电容。如图 5.19 所示。

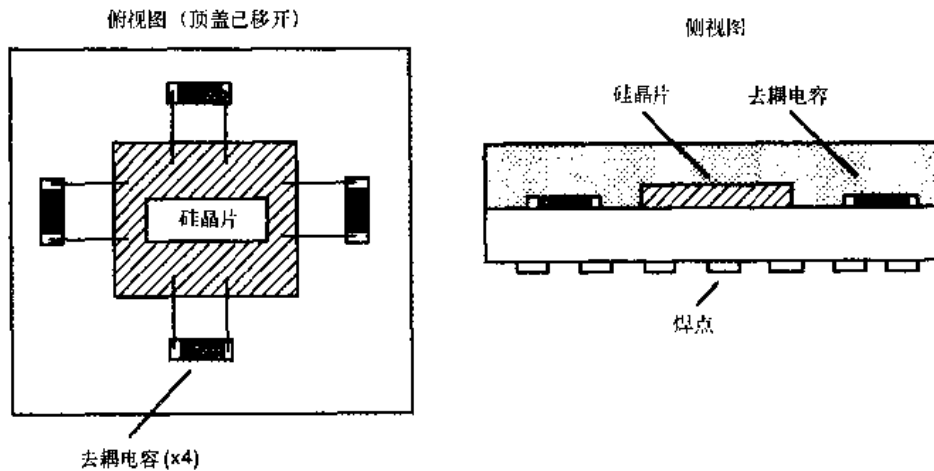


图 5.19 多芯片模块内部的去耦电容布局

对同步设计来说,CMOS 功率损耗表现为容性放电效应。一个在 3.6V 电压、100MHz 频率下的设备损耗 2400mW 的功率,就会有大约 2000pF 的容性效应,并在每个时钟触发下均可观测到。如果我们允许有 10% 的电压降,就意味着我们需要 20pF 的大电容才能获得最佳特性。一个 $6 \sim 7\mu\text{F}$ 的门电容需要占据大约 3mm^2 。对高密元件来说该尺寸是很大的,此外,此电容值也不是很大。

CMOS 逻辑门通过它们的输入电容,包括对设备的耦合和输入晶体管的串联电容来提供分布电容。这些内部电容并不等于运行所需的电容值。硅盘不允许用另外的硅材料作大电容(底板),因为亚微米设计会消耗布线空间,同时需要支持氧化物层的装配。

5.10 实心电压板的通路及通路效应

在板上通路的数量以及器件数目一定的情况下,在实心板上,使用通路能减少总的电容。由于电容器的能量是存储在金属结构中的,金属越小(铜板),电流的分布密度就会减少。因此,金属越小,所能存储的电子数量就越少,因而电流分布密度降低。图 5.20 给出了平行电源板中实心及具有 30% 间隙的电源板两种结构的电容值。

第6章 传输线

6.1 传输线概述

随着今天高科技产品的发展,逻辑门元器件速度的提高,PCB 传输线效应成为了电路正常工作的制约因素,毗连参考板的走线就形成了简单的传输线。考虑多层 PCB 的情况,当在外层 PCB 上布线时,我们一般用微带线技术,虽然微带线技术有可能导致结构上的不对称。有关于微带线与带状线的影响在第 4 章和本章给予详细论述。

传输线就是一个适合在两个或多个终端间有效传输电功率或电信号的传输系统,如金属导线、波导、同轴线和 PCB 走线。

为满足高速数字信号处理的要求,今天的多层 PCB 板必须具有以下功能:

- (1) 尽量减少设备间的传输延时
- (2) 处理好传输线的反射和串扰(保持信号的完整性)
- (3) 尽量减少信号损耗
- (4) 考虑进行高密连接

传输线是以什么模式进行电传输的呢? 传输线允许一个信号在媒质中以光速或接近光速在两个设备间传送,由于电路中走线电容和有源器件的存在,速度会有所降低。信号中存在多种形式的能量,此能量究竟是通过电子、线电压和电流,还是别的方式传送的呢? 在传输线中,电子的移动并不是传统意义上的移动,传输线的内部和线的周围存在电磁场,能量是通过此电磁场来进行传输的。

我们通常用传输线电压和电流来衡量传输线。电压用外界静电场加载到电子上的静电力对空间的导数来描述,电流则是描述在一定的时间内电子的流动数目,但电压和电流都不是电磁场或电磁波的描述单位。

以下为一些典型的电磁场:

- (1) AM/FM 电波
- (2) 电视信号
- (3) 光波
- (4) 蜂窝电话、无线寻呼电波
- (5) 微波和雷达波
- (6) 数字元器件产生的 EMI/RFI 辐射波(不希望出现的能量)

所有以上的波在媒质中以接近光速传播。在上述列表中包括 EMI/RFI 是为说明电磁能量是以波的形式存在,它容易对其他的对电磁波敏感的设备产生电磁干扰。

如果传输线终端匹配不好,电路的功能性问题和 EMI 就会出现,包括电压下降、冲击激励

产生的振荡、波峰和波谷。上述这些因素会严重影响到切换操作以及信号的完整性。当环路传播时延超过切换电流的转换时间时,就应该考虑传输线效应。对高速逻辑器件而言,其边沿速率在亚纳秒级,PCB上的长线对 RF 电流来说就是一个天线,在设计电路时设计不好就会影响功能的实现。

在处理传输线效应过程中,线路阻抗成为所设计产品是否获得最佳特性的一个重要因素。当且仅当电路终接的负载等于特性阻抗时,在 PCB 走线上传输的信号才会在足够远处被吸收。如果终端匹配不当,大部分的信号会反射回来。当终端设备连接不当,就会发生多重反射现象,波峰和波谷的存在导致反射信号稳定时间过长。此现象就称为振荡,在本章后面部分会加以讨论。

在传输线上传输高速电信号时,就会有电磁波沿线(电缆、同轴线、或 PCB 走线)进行传播。PCB 走线传输高频信号与传送直流或低频信号有很大的不同。传输线的特性阻抗用字母 Z_0 来表示,对无损耗传输线,它的特性阻抗等于 L/C 的平方根,其中 L 为每单位长度的电感, C 为每单位长度的电容。在欧姆定律中,阻抗也等于线电压和线电流的比值。我们看到式(6.1)中线电压和电流的下标,在终端匹配情况下,任一点 x 的线电压和电流的比率为一个常数,下标 x 表明,线电压和线电流是沿线分布的。

$$Z_0 = \sqrt{\frac{L_0}{C_0}} = \frac{V_{(x)}}{I_{(x)}} \quad (6.1)$$

我们现在来看特性阻抗。当一个逻辑信号从逻辑低变为逻辑高状态,或相反过程,并在 PCB 走线上传送时,所遇到的阻抗(电压比电流)就等于特定的特性阻抗。当信号来回传送时,如果还有线路的反射的话,都会消失或变成影响信号的噪声,并最终达到静止状态,此时,线路的特性阻抗对信号就没有任何影响,信号变成了直流信号,线路就成为了典型的电线。

为描述传输线效应,我们假定在单向 PCB 走线上每英寸有固定的传播时延为 150ps,环路则为每英寸 300ps。如果一个时钟信号的边沿速率为 2ns,则很短的 PCB 走线就不用考虑传输线效应,因为在下一个触发信号产生时,反射信号早已到达源处,不会对下一个信号产生影响。在适当端接终端的情况下,所有反射信号会在网络中被吸收并消耗,在负载设备上得到很好的信号,从而获得最佳功能。当时钟走线长为 10in 时,在传输线上就会产生严重的问题(现在环线长是 20in),反射信号在下一个触发事件产生后才发射回来,如果终端匹配不好,会影响功能。

当时钟或选通脉冲使用一条边线驱动多重集成电路时,会产生额外的分布电容及电感,这是回路上外加元件所致。每个集成电路都有几个 pF 级的输入分流电容。该负载增大了走线电容,因此加大了信号的传播时延,这是因为分布电容正比于每单位长度的电容的平方根(式 6.1)。在一个 2ns 或更快边沿速率的信号作用下,短短几英寸的引线的传输线效应就变得很重要。

图 6.1 从概念上给出了 PCB 结构上典型的传输线结构,为了简化,电阻省略。

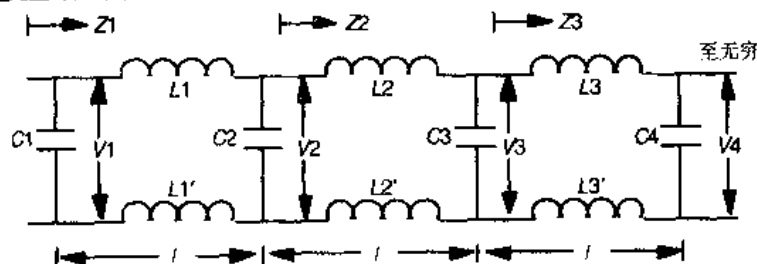


图 6.1 PCB 内传输线等效电路

6.2 传输线基础

传输线会引起什么问题呢？当信号在阻抗不连续的 PCB 走线上传送或阻抗随走线的几何结构发生变化时,就会产生传输线效应。我们把传输线效应用高速边沿速率信号的欧姆定律来分析。当输出驱动器逻辑状态改变,线路中的电压与电流的比率等于特性阻抗。但只要传输线内的阻抗保持不变,在线内传输信号波形基本保持不变。当传输线终端开路(负载为无限大),电流就为零,在线路末端,电压和电流的比率则反转,为满足欧姆定律,就会产生一个极性相反的波来抵消原信号。此反射波返回到驱动源。如果驱动源的内阻与传输线特性阻抗不匹配,反射信号到达驱动源时,就会发生再反射,此过程不断反复直到信号能量被网络完全吸收为止。图 6.2 详细描述了本过程。

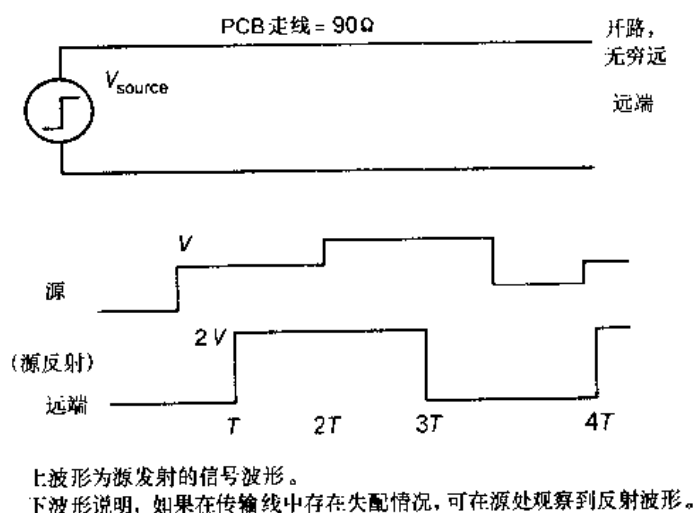


图 6.2 传输线上的反射

如果终端阻抗比线路阻抗大,则在传输线终端的反射电平要大于始端电平,反之亦然。传输线终端反射电压的幅度可通过式(6.2)来计算。

$$V_r = V_i \left(\frac{R_t - Z_0}{R_t + Z_0} \right) = \rho V_i \quad (6.2)$$

其中 V_i 是足够远处的终端电压, V_i 是初始电压, R_t 是终端阻抗, Z_0 则为线路的特性阻抗, ρ 为反射率。此式给出在终端阻抗不匹配的情况下的反射电压。注意到如果 $R = Z_0$, 则反射率 $\rho = 0$, 即没有反射, 电压保持不变。如果 $R_t = \infty$, $\rho = +1$ 也就是 100% 的电压反射, 此时的电压值是原来电压值的两倍(原电压加上反射电压)。如果 $R_t = 0$, 即短路情况 $\rho = -1$, 则总电压就为零。失配越大, 则反射电压就越大, 若传输线两端都不匹配, 就会产生振荡。

每个电路都可看为是由容性器件和感性器件来组成。当相对于在线路上传输的信号波长来说, 线段长度较小时, 就可看为该种情况。随着信号频率的提高, 就必须把电路看成传输线, 在此情况下, 阻抗调节、终端匹配以及辐射效应都要加以考虑。

6.3 传输线效应

对高速传输线,有一个基本的概念叫“电气长线”,也就是说线路长度大于信号的 $\lambda/20$ (频域),或传播时延大于信号上升沿时间的 $1/4$ (时域)。边沿速率是指信号逻辑状态转换的时间 dV/dt ,用 t_r 来表示边沿速率。在下面用 $\lambda/20$ 和上升沿时间的 $t_r/4$ 进行讨论时,所获得的线长基本上是相等的。根据不同的情况而用 $\lambda/20$ 或 $t_r/4$ 来获得精确的结果。

如果单向“传输时间”,即从发送设备到接收设备之间的距离大于 $\lambda/20$ (频域)或传播时延等于或小于环路反射所需的传输时间时,PCB 走线就可看为传输线。上述数据相对来说比较保守。但当走线的尺寸与上述尺寸相当时,就可认为是电气长线。

对一个边沿速率为 1ns 的信号,当传输线长度超过 $9\text{cm}(3.5\text{in})$ 时,就需要考虑阻抗匹配问题。假定信号的传播速度为光速的 60% ($c = 3 \times 10^8\text{m/s}$ 或 $V_p = 1.8 \times 10^8\text{m/s}$),超过 9cm 就应看为带某种类型负载的传输线。为获得最大的长度,可以根据以前时域分析得到的等式(6.3)来计算。

$$\begin{aligned} l &= (t_r/2) \times V_p (\text{单程传输}) \\ l &= (1 \times 10^{-9}\text{s}/2) \times 1.8 \times 10^8\text{m/s} \\ l &= 0.09\text{m} (9\text{cm} \text{ 或 } 3.5\text{in}) \end{aligned} \quad (6.3)$$

其中 l 为传输线的长度, V_p 是传播速度(60% 光速), t_r 是信号的边沿转换速率。

对于边沿速率为 1ns 的信号,任何等于或长于 $l = 9\text{cm}$ 的传输线都可视为电气长线。该值是信号在自由空间而不是在微带线或带状线中传输获得的。信号在 PCB 中传播速度会有所降低,原因在于磁芯或树脂材料的介电常数所致。

信号线的长度与在线路中传输的最短波长相比较,决定该电路是看为集中参数还是分布参数结构。如果单程长度小于 $\lambda/20$,就可认为是低频集中参数,若长度大于 $\lambda/20$,则看为分布参数。对分布参数电路,为了保持好的信号波形,必须考虑调节传输线的特性阻抗和终端匹配问题。

人们经常问的问题是:终端匹配是指 $Z_L = Z_0$ 还是 $Z_s = Z_0$? 如图 6.3,传输线需要同时匹配激励源和负载。当信号是双向的,如图 6.3 中的总线结构,两端都可看为终端。我们需要知道究竟是应该匹配源电路还是匹配终端负载。终端连接方式及应用,以及终端连接所要决定的几个因素都在第 8 章中讨论。

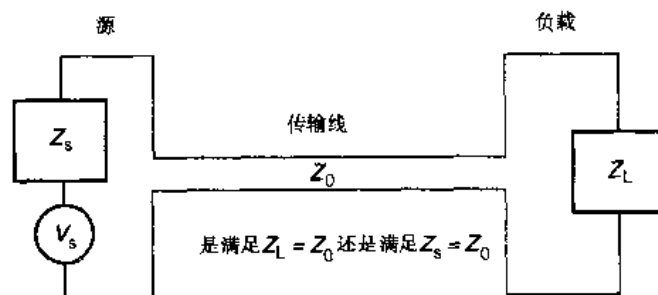


图 6.3 阻抗与电路相匹配

如果负载 Z_L 保持不变,则传输线设计成匹配终端负载, $Z_0 = Z_L$ 。此种情况是在已有设备

和传输线连接需要匹配的情况下发生。当负载不知道(经常是这种情况)或无法预知时,就选择最佳的 Z_0 来使负载传输线匹配($Z_0 = Z_L$)。如果 Z_L 未知,则在 PCB 设计中,可通过经验来选择适当的元件以实现阻抗匹配。

为详细讨论线路阻抗,图 6.4 画出了一个简单的网络结构。在阻抗为 Z_0 的线上加上一个幅度为 V 的激励电压脉冲,我们得到激励电流 $I = V/Z_0$ 。假定 $V = 5V$, $Z_0 = 5\Omega$ (非理想值),我们看到的激励电流就是 1A。如果现在 $Z_0 = 50\Omega$,需要的激励电流就是 100mA。对一个仅需要几个 nA 激励电流的电路而采用 100mA 的激励源是不明智的(从功能上,输入功率和 EMI 考虑)。因此,大多数元器件都被设计成至少 30 ~ 65 Ω 的线路阻抗。

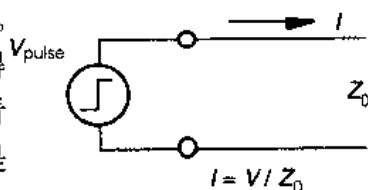


图 6.4 简化网络的驱动电流

信号在媒质中的传播速度是有限的。每单位长度的传播时延 δ 等于每单位长度的电感和电容乘积的平方根。一个典型的 PCB 传输线(介电常数 = 4.6)的传播时延为 1.72ns/ft (0.36ns/cm 或 0.143ns/in)。

$$\delta = \sqrt{L_0 C_0} \quad (6.4)$$

6.4 多层 PCB 中传输线的形成

不同的逻辑门器件具有不同的源特性阻抗。ECL 逻辑门的源、负载阻抗为 50 Ω , TTL 源阻抗的范围则是 70 ~ 100 Ω 。在一块 PCB 上形成传输线时,设计人员需要考虑与逻辑门器件的源阻抗匹配问题。

大多数的高速传输线必须进行阻抗调节。可以通过计算得到距离参考板最近的走线宽度和距离,板生产商可用 CAD 计算机辅助软件来完成。如果有必要,板生产商在设计 PCB 时会寻求相应的技术支持,或通过计算机软件来获得有效的线宽和板间距离,从而找到获得最佳特性的生产方法。由于在生产过程中总存在可容忍的生产误差,因此相应的近似计算公式的计算结果并不精确。这些公式都是实际模型的简单化!不同的介质材料具有不同的厚度值和介电常数,实际蚀刻的走线的线宽与原来的期望值有些差别,或在生产过程中会存在些生产上问题。板设备供应商知道实际生产和组装的实际参量,我们可向他们要求提供实际或相近的介电常数、蚀刻线宽(最大最小范围)。如图 6.5 所述。

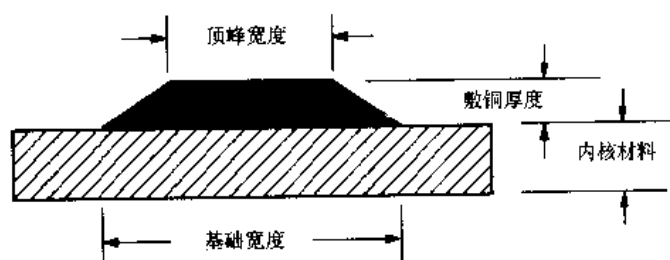


图 6.5 蚀刻后导线尺寸

6.5 相对介电常数

在详细介绍 PCB 板传输线如何形成之前,我们讨论一个重要的电气参数 ϵ_r ,即相关电容率或介电常数。

相对介电常数是衡量每单位电场中介质材料区域存储能量的大小,相对于在真空中相同导体形成的电容来说,它也可以衡量一对导体之间电容的大小。真空中相对介电常数是 1.0。所有其它材料的介电常数都大于此值。此值越大,表明每单位空间能存储的能量就越大,电容越大,信号在传输线中的传播速度就越慢。电容与传播速度之间的关系如等式 6.4 所述。

电磁波的传播速度取决于周围的传输媒质。传输延迟一般用每 ps/in 来衡量。传播时延与 PCB 的传播速度成反比,如第 2 章所述。一些材料的介电常数在某些情况下会发生变化,影响因素有频率、温度、区域水分的吸收率(形成损耗),以及电气特性。此外,对有两层或多于两层板组成的 PCB 板,构成板的材料中树脂和石硅的比率对 ϵ_r 影响很大。

在真空或空气中传播速度为光速。在介质材料中速度会减慢(在普通的 PCB 层中速度约为光速的 0.6 倍),传播速度和有效介电常数的计算公式为等式(6.5)。

$$V_p = \frac{c}{\sqrt{\epsilon_r}} \text{ (传播速度)}$$

$$\epsilon'_r = \left(\frac{c}{V_p} \right)^2 \text{ (介电常数)}$$
(6.5)

其中 c 为 $3 \times 10^8 \text{ m/s}$, ϵ_r 为有效介电常数, V_p 为传播速度。

等效介电常数 ϵ_r 是电信号在导体路径中传送时所得到的经验值,它可由时域反射计 TDR 来测量,或通过已知传输线长度上的传播时延来计算。

表 6.1 给出了 PCB 基底材料的传播时延和介电常数。同轴线中通常采用介质来充当绝热材料,从而改善其性能。介质材料在降低电气损耗的同时也降低了传播速度。

表 6.1 不同传输介质中的传播时延

介质	传播延迟 (ps/in)	相关电介质常数
空气	85	1.0
FR-4(PCB), 微带	141 ~ 167	2.8 ~ 4.5
FR-4(PCB), 带线	180	4.5
Alumina(PCB), 带线	240 ~ 270	8 ~ 10
同轴电缆(65%速率)	129	2.3
同轴电缆(75%速率)	113	1.8

构造 PCB 最常用的材料是 FR-4,此材料的介电常数随信号频率的变化而变化。一般工程人员认为 ϵ_r 在 4.5 ~ 4.7 之间,多年前这些参数就已经提供在各种技术参考手册中以供技术人员参考。还要说明的是这些参数是在 1MHz 的频率下获得的,而不是在实际的工作环境中,尤其是在今天的高速情况下得来的。现在有关于 FR-4 的正确 ϵ_r 的介绍,比较精确的 ϵ_r 值可

通过时域反射计测量传输线上的时延并计算出。表 6.2 的数据是在高速边沿速率信号的基础上获得的。

图 6.6 给出了当前最常用的 FR-4 材料的“实际” ϵ_r 值,它是由 IPC 组织研究给出的。这些数据收录在文献 IPC-214 中,见“Controlled Impedance Circuit Board and High Speed Logic Design”。

图 6.6 给出了频率范围在 100kHz ~ 10GHz, 石硅和树脂重量比为 40:60 下 FR-4 材料的 ϵ_r 值,范围大概在 4.7~4.0 之间。 ϵ_r 值变化的原因是由于树脂的频率响应,当混合材料中石硅材料的比率增加时, ϵ_r 就会减少。此外,如果选择别的材料代替树脂,相应频率也会改变。材料供应商一般提供在 1MHz 下的电气特性参数,而不是在今天非常容易就超过 100MHz 的实际系统频率^[9]。

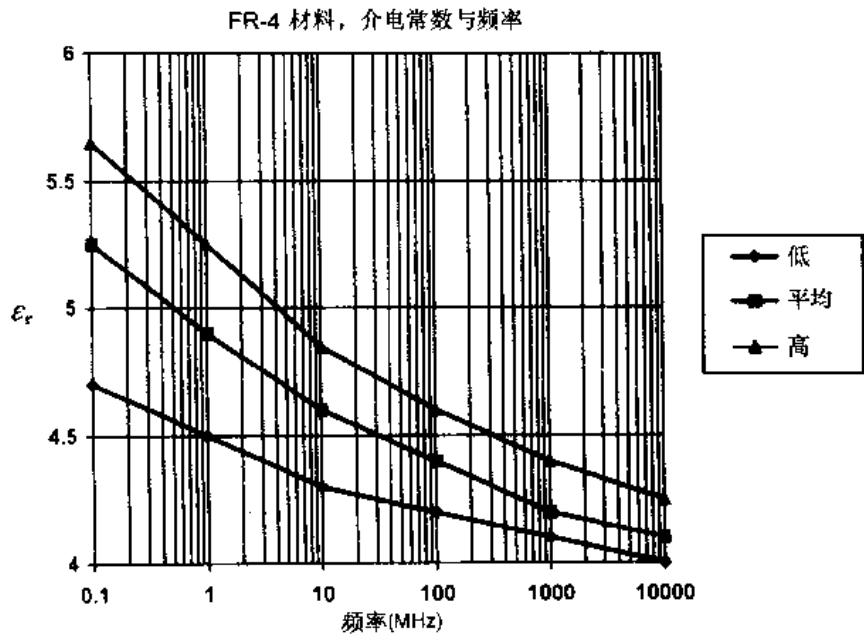


图 6.6 FR-4 材料的实际介电常数值

如果用 TDR 来测量传播速度,应该选择 PCB 实际工作频率来获得电气参数。TDR 是时域分析的宽带测量技术。TDR 测量位置会影响测量值。IPC - 2141 给出怎么样用 TDR 来测量传播时延的很好论述。

表 6.2 给出了常用于 PCB 各种材料的介电常数,这些值是由 TDR 测得的,而不是从已出版或有限的基本的参考材料中而来。

表 6.2 PCB 材料的介电常数和波速

材料	ϵ_r (在 30 MHz 频率处)	速率 (in/ns)	速率 (ps/in)
空气	1.0	11.76	85.0
PTFE/玻璃(Teflon) TM	2.2	7.95	125.8
RO 2800	2.9	6.95	143.9
CE/custom ply(Cyanide ester)	3.0	6.86	145.8
BT/custom ply(Beta-Triazine)	3.3	6.50	153.8

续表

材料	ϵ_r (在 30 MHz 频率处)	速率 (in/ns)	速率 (ps/in)
CF/glass	3.7	6.12	163.4
二氧化硅	3.9	5.97	167.5
BT/玻璃	4.0	5.88	170.1
Polyimide/玻璃	4.1	5.82	171.8
FR-4 玻璃	4.5	5.87	170.4
玻璃布	6.0	4.70	212.8
Alumina	9.0	3.90	256.4

注:上述值在 TDR 频率下采用速度法测量可得,在 1MHz 下测量速度值更大。

对微带线结构,其介电常数一般低于生产商提供的材料参数值,原因在于部分能量是在空气中或焊接掩膜中流动的,部分是在介质中流动。因此,电磁波在微带线中的传播速度要快于在带状线中。

在参考板上,当带状线被单一介质材料包围时,其 ϵ'_r 值可能等于在一定的工作环境下所获得的介电常数 ϵ_r 。如果在参考板与导体之间存在多于一种电介质, ϵ'_r 值就应由各种媒质 ϵ_r 的加权值决定。对电磁场的处理需要更精确的 ϵ'_r 值。为评价 PCB 的性能,比如增强复合板,特定比率组成材料被看作等效均匀。

对一个由复合材料和空气构成的微带线,Kaupf 得出了与复合材料相对介电常数有关的经验公式。

$$\epsilon'_r = 0.475\epsilon_r + 0.67 \text{ 对于 } 2 < \epsilon_r < 6 \quad (6.6)$$

在上式中, ϵ_r 是 25MHz 下的值。

PCB 板上的线路结构同样会影响电磁场,几何结构决定了电磁场是向外界空间辐射还是被束缚在内部。如果电场在板内,有效介电常数会更大,传播速度就会降低。在与板内电场共享电子的区域有关,其介电常数会发生改变。如微带线(看 6.6.1 节),电场与自由空间共用电子,然而带状线捕获自由电子。在微带线中电磁波的传播速度要快一些。电场同时也与 PCB 内的容性有关。走线与参考板之间的容性耦合越大,电磁波的传播速度就越慢。

当我们谈论介质结构中的损耗时,用“介质损耗”来表征在介质材料中的能量损失或焦耳热。那么这个能量或焦耳热是如何产生的呢?研究表明,热量是由于介质内部原子的机械运动产生的。

在介质内部是要阻碍电场传播的。考虑一块介质板,我们通过在板的一端加负电荷,另一端加正电荷的办法来建立一个电场。当在板上加上电压时,板内就会产生一个极性相反的电荷来阻止电场的建立,外加的电压越大,相应的反向电压也越大,此过程会削弱本应该在板内产生的电场。介电常数就由此电场的减少率来决定,它等于无反向电压时产生的场与实际产生的电场的比值。举个例子,如果在介质中产生的电场为原来的 1/3,则此介质的介电常数就为 3。真空的介电常数为 1。

介质的行为特性类似于电容器。当我们在电容器的一端聚集电荷,并把电容中的介质抽出一块时,电容器马上就会在下一块介质中聚集平衡电荷。此过程在电容的两端产生以阻止电压的建立,对外则表现为电容在“吞食”电荷(充电)。

从原子的观点,该过程是如何产生的呢?所有的物质都是由原子组成,原子包括一个正极性的原子核及周围环绕的等电量的负极性电子。在导体中,电子可自由地在晶体空穴中漂移(类似于流体)。然而,在介质中,电子被束缚在原子核周围。在电场作用下,少量的电子可以从一点漂移到另一点(这是量子运动的最简单描述)。这些漂移,相比于原子的尺寸来说是很小的,但却发生于每个原子之中。该漂移在负极性场产生了大量的正电荷位移效应。反之亦然。电荷位移的数目是非常惊人的,但我们常常忽略其效应,因为正负电荷总是达到电平衡的。但在平衡状态下,非常轻微的漂移都能引起可观察到的巨大的总效应。

这种漂移效应类似于球赛中球在比赛场的运动。每位运动员都带球两到三步,其总效应可看为由一个单独的运动员从场地的一边将球移动到另一边。在介质中电荷的运动与之类似,这种现象就称为极化现象。

但是“损耗”是如何产生的?它与极化的谐振频率有何关系?它们都与时延有关。当外加一个电场时,上述的漂移现象并不能马上产生,而是有一定的延时。此延时在极化谐振频率中产生。如果我们加的是一个高速交变场,在外加场和极化场间就会有相差。随着频率的升高,绝对差值是一个常数,因此,总的相差就会增大。当相差达到 $\pi/2$ (或 90°) 时就会产生谐振。

外加场与极化场之间的相差依赖于频率。极化是介质阻止外电场作用的结果,产生的过程就表现为介质在“吞食”电荷。因此,在外加场和极化场建立过程中就会出现随频率而变的相位差。

从分子理论来解释发生了什么?假设在介质上外加一半周期的高频电场(单脉冲)。当脉冲到达时,电子就会漂移到正极性侧。由于脉冲持续时间很短,当电荷刚移动时,电场就已经消失。现在许多的电子已获得能量,这些能量必须寻求出路。当这些电子恢复到原来的平衡状态时,极化场所存储的能量就变成空穴里的振动能量(热量)。这都是由于脉冲太短以至于电子无法随之变化的那么快(相差)引起的。如果该电场是连续激励,此效应就一直发生,电子的漂移与外加场并没有相差,因为原子中的能量都注入到了时变电场中,直到全部消耗在晶体空穴中变为热为止。

6.6 布线

在多层 PCB 中制作传输线有多种技术。我们经常用的是两种基本结构,每种结构中又各有两种形式,微带线(单线、嵌入线)和带状线(单线或双线)。

注意:除了空气以外,在以下章节中的有关于微带线和带状线的公式并不适用于由两种或两种以上的材料或多种类型的薄板复合构成的 PCB。有关公式均可从 IPC-D-317A 高速技术中电气封装设计指南(Design Guidelines for Electronic Packaging utilizing High-speed Techniques)查到[8]¹。

6.6.1 微带线结构

微带线是用于在 PCB 上的数字电路实现阻抗调节的常用方法。微带线贴附在介质平面并直接暴露于空气中,对图6.7结构微带线的表面阻抗的近似计算公式为(6.7),线路的内阻

注 1:在 IPC 标准中,关于阻抗的一节,存在印刷与数学上的误差。在应用 IPC-D-317 所述公式时,在著作引用以前,需研究确认所有的误差。为了准确起见,此处所有公式均已验证。

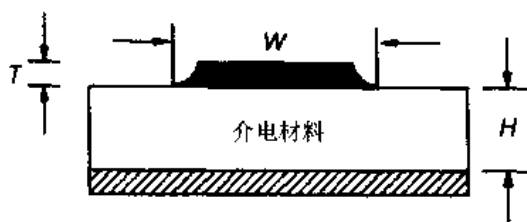


图 6.7 表面微带结构

则用式(6.8)表示。

$$Z_0 = \left(\frac{87}{\sqrt{\epsilon_r + 1.41}} \right) \ln \left(\frac{5.98H}{0.8W + T} \right) \Omega \quad \text{当 } 15 < W < 25\text{mil 时有效} \quad (6.7)$$

$$Z_0 = \left(\frac{79}{\sqrt{\epsilon_r + 1.41}} \right) \ln \left(\frac{5.98H}{0.8W + T} \right) \Omega \quad \text{当 } 5 < W < 15\text{mil 时有效}$$

$$C_0 = \frac{0.67(\epsilon_r + 1.41)}{\ln \left(\frac{5.98H}{0.8W + T} \right)} \text{ pF/in} \quad (6.8)$$

其中: Z_0 为特性阻抗(Ω), W 为线的宽度(英寸), T 为线的厚度(英寸), H 为信号线与参考板的距离(英寸), C_0 为走线的内电容, ϵ_r 为平板介质材料的介电常数。

等式(6.7)中,当 W/H 小于等于 0.6 时,误差为 $\pm 5\%$,当 W/H 大于 0.6 时,误差为 $\pm 20\%$ 。

在衡量或计算线路的阻抗时,线的宽度应为线路厚度中心面的宽度值。由于在生产过程中,实际生产的线宽与预期的线宽会有所差异。(图 6.5),在线路表面上的镀铜层可能会被蚀掉,因而实际线宽小于预期的线宽值。我们通过取上下底面的平均值,从而获得更典型的、精确的阻抗值。关于线宽的量度,用 $\ln$ (自然对数)来描述。我们对线路阻抗的精度要求有多高呢?一般制造商允许有 10% 的误差。

信号在微带线上传送时延由式(6.9)计算,其中有一个变量 ϵ_r ,它表明了传输线中的信号传播速度受介质材料的介电常数的影响。Kaupp 导出了另一个计算时延的均方根公式。

$$t_{pd} = 1.017 \sqrt{0.475\epsilon_r + 0.67} \quad (\text{ns/ft})$$

或

$$t_{pd} = 85 \sqrt{0.475\epsilon_r + 0.67} \quad (\text{ps/in}) \quad (6.9)$$

6.6.2 嵌入式微带线

嵌入式微带线是标准微带线的改进型。区别在于在铜线上面覆盖了介质材料,此材料中可能包含其它的布线层(磁芯或预浸料胚)。如果嵌入微带线周围被如焊料掩膜、保护涂层、陶瓷材料,或其他相等介电常数的介质材料覆盖,厚度为 0.008 ~ 0.010in 时,空气以及周围的环境对线路阻抗的计算影响很小,可忽略不计。描述嵌入式微带线的另外方法就是将之与无限平面的不对称带状线相比较。

涂层微带线与非涂层的几何结构是一样的,只是它的相对介电常数要高一些。涂层微带线是指在最外层微带线层上加一层衬底。此衬底可以是焊料掩膜、保护涂层、陶瓷材料,或者其它的材料,包括其它微带传输线层。对主要材料来说,线路上的介质层是非对称的。涂层与非涂层的区别在于线路上是否覆盖了介质材料。嵌入微带线的公式同样适用于改变后的非涂

层的 ϵ'_r 。当导体上的介质的厚度大于千分之一英寸时, ϵ'_r 则需要用经验公式来计算或电磁场求解工具来确定。对非常薄的涂层, 如焊料掩膜、保护层、陶瓷材料, 其影响可忽略不计, 涂层可以降低线路几个欧姆的电阻。

式 6.10 是嵌入式微带线阻抗的近似计算公式。对嵌入式微带线, 尤其是那些介质高度非对称的情况, 了解衬底和拱顶宽度有助于提高精确度。只要介质上面的厚度 $[B - (T + H)]$ 远大于 $0.004\text{in}(0.001\text{mm})$, 该公式就是适用的。当涂层非常薄, 或涂层物质的相对介电常数不同时, 其阻抗一般在微带线和嵌入式微带线的阻抗值之间。



注: 介质材料厚度可不对称

图 6.8 嵌入式微带线

图 6.8 所示结构的嵌入式微带线的阻抗计算公式为式(6.10)。式(6.11)是其线路内阻抗的计算公式。

$$Z_0 = \left(\frac{87}{\sqrt{\epsilon'_r} + 1.41} \right) \ln \left(\frac{5.98H}{0.8W + T} \right) \Omega \quad (6.10)$$

$$\text{其中, } \epsilon'_r = \epsilon_r \left\{ 1 - e^{\left(\frac{-1.55B}{H} \right)} \right\}$$

$$C_0 = \left(\frac{1}{H + T} \right) \times \ln \quad (6.11)$$

其中: Z_0 是特性阻抗(Ω), C_0 为线路内电容(pF/in), W 为线路的宽度, T 为线的厚度, H 为信号线与基准板的距离, B 两层介质层的高度, ϵ_r 为平面板材料的介电常数。

式(6.12)是嵌入式微带线的传播时延计算公式。对使用 RF-4 材料的典型的微带传输线, 介电常数为 4.1, 传播时延则为 0.35ns/cm 或 1.65ns/ft 或 0.137ns/in 。此传播时延值与下面要讨论的单带状线相同, 除非 ϵ'_r 的值改变。

$$t_{pd} = 1.017 \sqrt{\epsilon'_r} \quad (\text{ns/ft})$$

或

$$t_{pd} = 85 \sqrt{\epsilon'_r} \quad (\text{ps/in})$$

其中

$$\epsilon'_r = \epsilon_r \left(1 - e^{\left(\frac{-1.55B}{H} \right)} \right) \quad (6.12)$$

$$0.1 < W/H < 3.0$$

$$1 < \epsilon_r < 15$$

6.6.3 单带状线结构

带状线是在两个导电平面结构中被子介质材料所包围的传输线, 如图 6.9 所示。因此, 带状线存在于板的内部, 并不暴露在空气中。

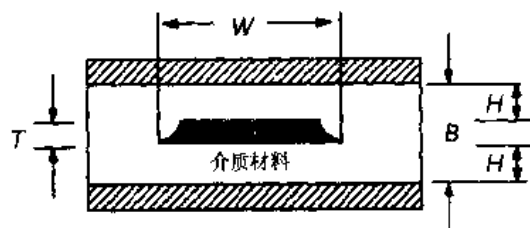


图 6.9 单带状线拓扑

带状线相比于微带线而言有许多好处, 也即是说, 它具有很强的场吸收能力和抗干扰能力, 同时, 它也提供 RF 电流参考返回面来消除电磁场通量。只要按照第 7.7 节给出的正确布线规则(3-W 规则等), 线路所有的辐射都将被参考面约束, 不会辐射

出去。但辐射仍存在于外层板上的元件和连接线上,PCB 板内由介质覆盖的传输线则没有辐射。

计算线路阻抗时,我们要以蚀刻后的线路中心面厚度计算的值来衡量。

式(6.13)是如图 6.9 所示结构的单带状线阻抗的近似计算公式。内阻抗的计算公式则为式(6.14)。注意到式(6.14)中的变量选最佳值。在实际的生产中,阻抗值会有 $\pm 5\%$ 的误差。

$$Z_0 = \left(\frac{60}{\sqrt{\epsilon_r}} \right) \ln \left(\frac{1.9B}{(0.8W + T)} \right) \Omega = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{1.9(2H + T)}{(0.8W + T)} \right) \quad (6.13)$$

$$C_0 = \frac{1.41\epsilon_r}{\ln \left(\frac{3.81h}{0.8W + T} \right)} \quad \text{pF/in} \quad (6.14)$$

其中: Z_0 为特性阻抗(Ω), W 为线的宽度, T 是线的厚度, B 是两参考板之间的距离, h 是信号平面和参考平面的距离, C_0 是线路的内电容, ϵ_r 是平面材料的介电常数。 $W/(H - T) < 0.35$, $T/H < 0.25$ 。

式(6.15)是单带状线传播时延的计算公式,其中只有一个参变量 ϵ_r 。

$$\begin{aligned} t_{\text{pd}} &= 1.017 \sqrt{\epsilon_r} \quad (\text{ns/ft}) \\ &\text{或} \\ t_{\text{pd}} &= 85 \sqrt{\epsilon_r} \quad (\text{ps/in}) \end{aligned} \quad (6.15)$$

6.6.4 双带状线

双带状线是单带状线的改进形,它增大了电路平面和最近参考面的耦合。把电路放在板内 1/3 处,错误发生率要小得多。

等式(6.16)是图 6.10 所示结构的近似计算公式,此式也是单带状线公式的改进。双带状

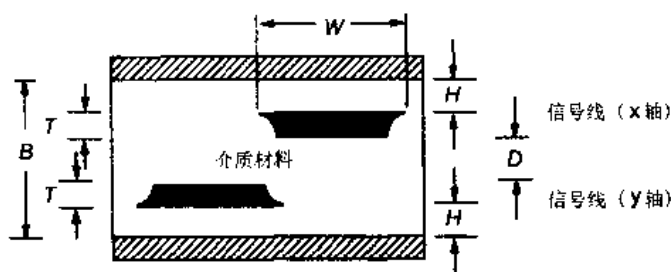


图 6.10 双带状线拓扑

线阻抗 Z_0 的近似计算也是如此。

$$Z_0 = \left(\frac{80}{\sqrt{\epsilon_r}} \right) \ln \left[\frac{1.9(2H + T)}{(0.8W + T)} \right] \left[1 - \frac{H}{4(H + D + T)} \right] \quad (6.16)$$

$$C_0 = \frac{2.82\epsilon_r}{\ln \left[\frac{2(H - T)}{0.268W + 0.335T} \right]} \quad (6.17)$$

式中, Z_0 ——特性阻抗(Ω)

W ——走线宽度(in)

T ——走线厚度(in)

D ——信号层间距离(in)

H ——信号层与参考层间介质的厚度(in)

C_0 ——走线的固有电容(pF/in)

ϵ_r ——材料的介电常数

$W/(H - T) < 0.35$

$T/H < 0.25$

等式(6.16)可用于单传输线偏离两参考板中央位置的情况。 D 是线的中心位置与另一参考板的距离。

双带状线的传播时延与单带状线是一样的,因为它们都是由同一种介质材料蚀刻而来的。

$$\begin{aligned} t_{pd} &= 1.017 \sqrt{\epsilon_r} (\text{ns/ft}) \\ t_{pd} &= 85 \sqrt{\epsilon_r} (\text{ps/in}) \end{aligned} \quad (6.18)$$

注意:在使用双带状线时,两个布线层必须正交。这意味着一层沿 x 轴,另一层沿 y 轴走线。相差 90° 布线可防止两线板的串扰或短路,或者在高频时对数据的损坏。

实际上,多层高密板中的交叉或正交布线对阻抗有很大的影响,它会增加网络上的负载并减少传输线的阻抗。阻抗改变的原因是线路中存在一个对镜像平面的负载阻抗,在线上还有分布电容,如图 6.11 所示。

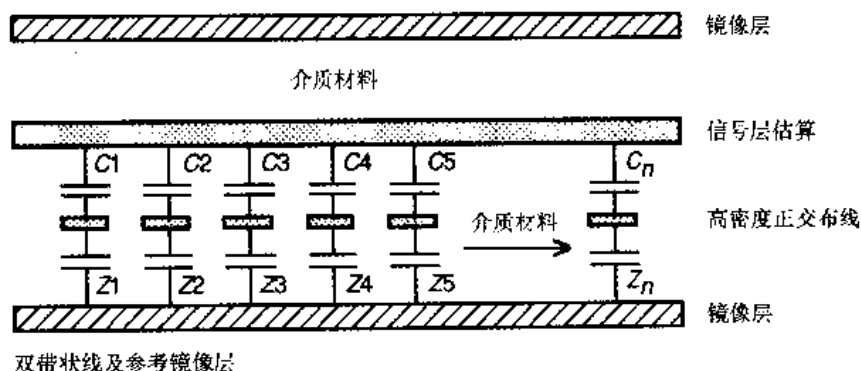


图 6.11 双带状线布线层阻抗影响

6.6.5 差动微带线和带状线

在整个布线中,差分线中存在相互邻接的差分线路。差分线的阻抗与单线的阻抗不一样,除非其映像位置遵从 $10 - W$ 规则。 $10 - W$ 规则是指两线中心线的距离为线宽(单线)的 10 倍。在这种结构下,有时线路的对地(参考板)阻抗可认为与单线相同。在差模形式下还需要考虑线与线之间的阻抗。

图 6.12 为差分线路的结构。如果是微带线,是没有上面的参考板的。对带状线,存在两个参考板并与两条平行线路中心线的距离都相等。

在计算差模阻抗 Z_0 (Z_{diff}) 时,通过控制线宽 W 来改变 Z_{diff} 。 D 是不可以调节的,它是由 PCB 生产商所规定的最小距离。

$$\begin{aligned} Z_{diff} &\approx 2 \times Z_0 (1 - 0.48e^{-0.9\frac{D}{h}}) \Omega & (\text{微带线}) \\ Z_{diff} &\approx 2 \times Z_0 (1 - 0.347e^{-2.9\frac{D}{B}}) \Omega & (\text{带状线}) \end{aligned} \quad (6.19)$$

其中

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left(\frac{5.98H}{(0.8W + T)} \right) \Omega \quad (\text{微带线})$$

$$\frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{1.9B}{(0.8W + T)} \right) = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{1.9(2H + T)}{(0.8W + T)} \right) \quad (\text{带状线}) \quad (6.20)$$

其中: B 是板间距离, W 是线宽, T 是线的厚度, D 是两线边缘间距, h 则是线与最近参考板的距离。

注意: 以上参数单位使用应保持前后一致。

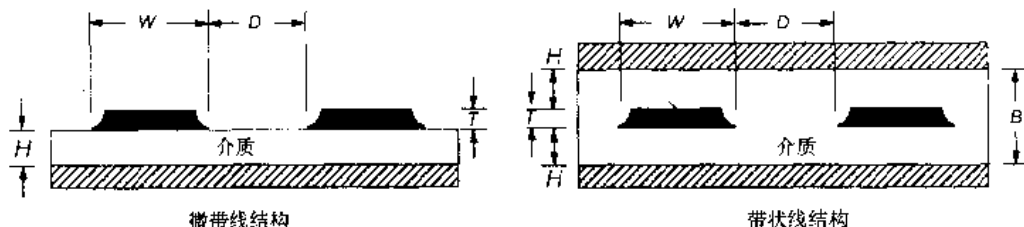


图 6.12 不同布线结构

6.7 布线考虑

当信号在多个负载串联的传输线上传输时,不同的传输时间下的转换电压不相同。区别在于不同的传输位置下,负载的吸收率不一样,称为时钟畸变(看第三章)。由于离激励源最近的元器件比传输线上最后的元器件接收到信号的时间要早,多设备之间的时钟同步就变得很困难,尤其是在信号的边沿速率很快,并且线路可看为多段的情况下。

如果说在多负载的总线结构上时钟畸变是要重点考虑的因素的话,在微带线也是如此。因为信号在微带线上传送的速率要大于带状线(在 $\epsilon_r = 4.1$ 情况下为 1.65ns/ft 比 2.06ns/ft),微带线比带状线大约要快 25%,这是由于带状线是夹在两层平板结构中的(相比微带线只有一层),因此带状线每单位长度的电容是微带线的两倍。有效的 ϵ_r 愈低,因此 $v = c/\sqrt{\epsilon_r}$ 就会愈大。每单位长度的传输时间 δ 与每单位长度的电感与电容乘积的平方根成正比(等式 6.4)

考虑辐射时,应优先采用带状线。不幸的是,从生产的观点,单带状线的生产很难实现。如果采用单带状线结构以及数量大的多层分层板,则 PCB 会很厚。层数比较多时,双带状线是一个好的选择。由于在两个镜像面(防护层)中存在两个布线层,因此,对外的辐射就会增强。由于两个布线层是正交的,因而它们之间的串扰最小(一层在 x 轴,另一层在 y 轴或两层间被镜像平面隔开)。

PCB 内的逻辑门器件和相关阻抗不同,线路的特性阻抗也不同。下面是一个通过阻抗控制来改变线路阻抗的例子。

例:

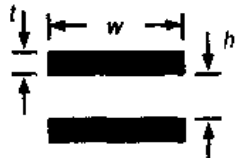
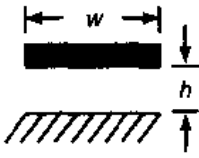
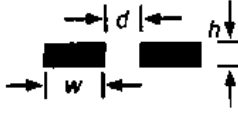
对所有工作环境一块主板均被设计为 50Ω ,显卡电路为 75Ω 。那如何在同一块 PCB 构成不同的线路阻抗呢? 实际在组装 PCB 时可通过改变其物理尺寸来实现,为改变线路的阻抗,相比花费比较昂贵的实施办法,运用以下技巧实现更为容易(降低板的生产费用):

- (1) 根据参考板来改变线的宽度
- (2) 改变布线层与参考板之间的距离

- (3) 把部分参考板移到信号线的下面,并允许以比原来参考板更远的参考板作参考
- (4) 改变 PCB 层的厚度(磁芯材料)
- (5) 在两个平面结构中采用不同的介电常数(磁芯或预浸胶体)

当需要不同的阻抗时,最容易的办法是改变线宽。在组装不同系列的逻辑门时,如果把阻抗控制走线放在同一板层上,就会出现糟糕的特性或会破坏信号的完整性。表 6.3 给出了 3 种线结构的不同阻抗值。

表 6.3 不同导体对的阻抗

			
w/h 或 d/w	并行导线 Z_{01}	接地面上导线 Z_{02}	并排导线 Z_{03}
0.5	377	377	NA
0.6	281	281	NA
0.7	241	241	NA
0.8	211	211	NA
0.9	187	187	NA
1.0	169	169	0
1.1	153	153	25
1.2	140	140	34
1.5	112	112	53
1.7	99	99	62
2.0	84	84	73
2.5	67	67	87
3.0	56	56	98
3.5	48	48	107
4.0	42	42	114
5.0	34	34	127
6.0	28	28	137
7.0	24	24	146
8.0	21	21	153
9.0	19	19	160
10.0	17	17	166
12.0	14	14	176
15.0	11.2	11.2	188
20.0	8.4	8.4	204
25.0	6.7	6.7	217
30.0	5.6	5.6	227
40.0	4.2	4.2	243
50.0	3.4	3.4	255
100	1.7	1.7	293

N/A = 不适用

$$Z_{01} = (377/\sqrt{\epsilon_r}) (h/w), W > 3h \text{ 且 } h > 3t$$

$$Z_{02} = (377/\sqrt{\epsilon_r}) (h/w), W > 3h$$

$$Z_{03} = (120/\sqrt{\epsilon_r}) \ln(d/w + \sqrt{(d/w)^2 - 1}), W \gg 1$$

$d \gg$ 接近接地面

6.8 容性负载

容性输入阻抗会影响线路阻抗,并提高逻辑门负载(线路网络的外加设备)。无负载的传播时延定义为 $t_{pd} = \sqrt{L_0 C_0}$,如果在传输线中加入一个集总负载 C_d (所有负载包括电容的总和),在此因素的影响下,信号的传播时延会增大,变为:

$$t'_{pd} = t_{pd} \sqrt{1 + \frac{C_d}{C_0}} \text{ as/length} \quad (6.21)$$

式中: t_{pd} 为无负载电路中未修正的传播时延, t'_{pd} 为电路中加入电容后已修正的传播时延, C_d 为所有输入负载的输入门电容, C_0 为传输线的特性电容。

举例来说,假定在信号线上有 5 个 CMOS 逻辑门,每个有 10pF 的输入电容(总共是 50pF),该电容作用在石硅环氧树酯板上,板的特性阻抗 $Z_0 = 50\Omega$ ($t_r = 1.65\text{ns/ft}$),于是存在一个 $C_0 = 35\text{pF}$ 的电容。变化后的传播时延为:

$$t'_{pd} = 1.65\text{ns/ft} \sqrt{1 + \frac{50}{35}} = 2.57\text{ns/ft} \quad (6.22)$$

这个等式表明信号到达目的地有 2.57pF/ft (0.54ns/cm) 时延。被门限负载所改变的传输线特性阻抗 Z'_0 为:

$$Z'_0 = \frac{Z_0}{\sqrt{1 + \frac{C_d}{C_0}}} \quad (6.23)$$

其中: Z_0 原线阻抗(Ω), Z'_0 是改变后的阻抗, C_d 是所有容性负载构成的输入门电容, C_0 是传输线的特征电容。

在上述的例子中

$$Z'_0 = \frac{50}{\sqrt{1 + \frac{50}{35}}} = 32\Omega$$

典型的 ECL 逻辑门的输入电容为 5pF, CMOS 则为 10pF, TTL 则是 10~15pF, 一般 PCB 走线的 C_0 值为 2~2.5pF/in。由于线路的物理结构与长度的原因, C_0 值变化的范围很大。端口和通路同样增加分布电容(每个插座端口为 2pF, 过孔为 0.3~0.8pF)。已知 $t_{pd} = \sqrt{L_0 * C_0}$ 及 $Z_0 = \sqrt{L_0 / C_0}$, C_0 可用下式计算

$$C_0 = 1000 \left(\frac{t_{pd}}{Z_0} \right) \text{ pF/长度} \quad (6.24)$$

通过此传播时延值来判断该电路可否看为传输线 ($2 \times t_{pd}' \times \text{线长} > t_r$, 或 t_f), 其中 t_r 是信号的上升沿, t_f 是信号的下降沿。

C_d 为每单位长度的分布电容, 取决于所有元器件的容性负载包括过孔和插座。为屏蔽传输线效应, 应该使用边沿速率较慢的信号。在开关元件中, 由于线路中大负载阻抗的存在, 减缓了信号的上升和下降沿, 因为分布电容与高频滤波器改变了时间常数 τ 的值。注意等式中用的是阻抗 Z , 而不是纯阻 R 。这是因为 Z 包括纯阻和感抗。感抗, ($j\omega L$) 在线路结构 RF 频率下比 R 要大得多, 所以必须考虑感抗。大负载只有在详细考虑线路负载的情况下才能显示

出优点。

大的 C_d 会增大传播时延并降低负载的特性阻抗。如果在上升、下降转换状态时传输线不加屏蔽的话,传播时延会更大。负载特性阻抗越低,就越加剧激励源和 PCB 线之间的阻抗失配。因此,只有当驱动门是为驱动大负载而设计时,才会显示大负载电路的优点。

负载改变线路的特性阻抗,也改变传播时延。分布电容与内电容的比率越高,负载效应对特性阻抗的影响就越大。因为 $Z_0 = \sqrt{L_0(C_0 + C_d)}$,附加的负载会增加电容 C_d 。负载因子为 $\sqrt{1 + C_d/C_0}$ 除以 Z_0 ,当线路上加有负载,特性阻抗会降低。在负载特性阻抗与激励设备的输出阻抗与接收设备的输入阻抗不同时,负载线路上的反射将加剧,并引起振铃、过冲、下冲和开关时延。电容和电感的单位是每尺寸和厘米的值。如果等式中电容用 pF/in,则 L_0 的单位是 pH/in。

我们知道,电容值的增加会降低线路的阻抗。在一个驱动源驱动多个线路时就很明显,每条线路的激活阻抗必须独立计算。结果取决于每条线路的负载数量和线路的长度。在设计 PCB 时,需重点考虑对电路电阻的调节、线路中的反射和负载分布。

当容性输入负载很高时,信号补偿就不实际了。补偿是指运用一定的设计技术来改变传输信号以增强接收信号脉冲的质量。举个例子,用一串联电阻或不同的终端方法来防止线路上的反射或振铃以补偿畸变信号。来自同一个源的存在于多线应用中的反射现象也要考虑。

在 PCB 中常会碰到小阻抗,无法提供适当的终端 Z_0 。在此情况下,应该加足够大的串联电阻在电路上(不破坏信号的完整性),即使一个 10Ω 的电阻就能起作用,然而,一般用 33Ω 的电阻。

参考文献

- [1] Coombs, C. 1996. *Printed Circuits Handbook*. New York: McGraw-Hill.
- [2] Montrose, M. 1996. *Printed Circuit Board Design Techniques for EMC Compliance*. Piscataway, NJ: IEEE Press.
- [3] Johnson, H. W., and M. Graham. 1993. *High Speed Digital Design*. Englewood Cliffs, NJ: Prentice Hall.
- [4] Motorola, Inc. 1989. *Transmission Line Effects in PCB Applications* (#AN1051/D).
- [5] Motorola, Inc. 1989. *Low Skew Clock Drivers and Their System Design Considerations* (#AN1091).
- [6] Motorola, Inc. 1996. *ECL Clock Distribution Techniques* (#AN1405).
- [7] Motorola, Inc. 1988. *MECL System Design Handbook* (#HB205). Chapters 3 and 7.
- [8] IPC-D-317A. 1995, January. *Design Guidelines for Electronic Packaging Utilizing High-Speed Techniques*. Institute for Interconnecting and Packaging Electronic Circuits (IPC).
- [9] IPC-2141. 1996, April. *Controlled Impedance Circuit Boards and High Speed Logic Design*. Institute for Interconnecting and Packaging Electronic Circuits.
- [10] IPC-TM-650. 1996, April. *Characteristic Impedance and Time Delay of Lines on Printed Boards by TDR*. Institute for Interconnecting and Packaging Electronic Circuits.
- [11] Van Doren, T. 1995. *Circuit Board Layout to Reduce Electromagnetic Emission and Susceptibility*. Seminar Notes.
- [12] Paul, C. R. 1992. *Introduction to Electromagnetic Compatibility*. New York: John Wiley & Sons.

- [13] Violette, M. 1986, March-April. *EMI Control in the Design and Layout of Printed Circuit Boards*. EMC Technology Magazine.
- [14] Kaupp, H. R. 1967, April. "Characteristics of Microstrip Transmission Lines." *IEEE Transactions*, EC-16, No. 2.
- [15] National Semiconductor. 1996. *LVDS Owner's Manual*.
- [16] Booton, R. 1992. *Computational Methods for Electromagnetics and Microwaves*. New York: John Wiley and Sons.
- [17] Collin, R. E. 1992. *Foundation for Microwave Engineering*. 2nd ed. New York: McGraw-Hill.
- [18] Sadiku, M. 1992. *Numerical Techniques in Electromagnetics*. Boca Raton, FL: CRC Press.

第7章 信号完整性与串扰

7.1 信号完整性的要求

每年,时钟和系统的速度都在加快。现在计算机系统时钟工作频率已在 300MHz 以上,不久的将来将升到 GHz 范围。现正处于发展中的处理器将达到新的高速性能水平。计算机系统、局域网、广域网以及蜂窝移动通信系统和光纤系统也正日益普及。

由于对更多更快的计算机芯片需求的增加,芯片开发商正在努力提高从每个原始大晶片上获得单个模片的成品率,并降低其费用。同时达到这两个目的方法之一就是使用称为模片(die)压缩的技术在一个硅晶母片上制造更多模片。采用模片压缩技术,通过调整光刻制作法的步骤,可以降低每个晶体管门电路的尺寸而不必重新设计每个晶体管元件或互连结构。当模片上每个门电路间的距离减小时,电子在门间传播的时间也减少了。另外,晶体管做得越小,晶体管交换越快。因此,具有相同功能特性的元件速度得到了提高,而每个半导体大圆片的费用增加几乎为零。

今天的芯片制造过程一般使用亚微米级的晶体管和内连技术。20 世纪 80 年代制造的元件使用的是 $2 \sim 5\mu\text{m}$ 线宽的制造技术。 $5\mu\text{m}$ 技术的跳变沿转换速率在 20ns 的范围内。现在速度在低皮秒级的 $0.12 \sim 0.25\mu\text{m}$ 的处理技术已经成为可能,不久的将来它将成为大多数半导体产品的标准。

芯片制造设备是非常昂贵的。主要的新半导体制造设备的典型价格为 10 ~ 20 亿美元。一个新硅晶片制造过程的典型时间为 6 ~ 8 周。因此,芯片制造商不断地改变制造处理步骤以适应更小的元件,达到更高更均匀的半导体模片吞吐量。对芯片制造商来说,用模片压缩技术生产标准的 CMOS 逻辑元器件的 50% 被列为低速产品,比重新设计或重组制造过程划算。所以人们仍会使用压制的芯片,当然,新芯片的跳变沿转换速度要比旧的快得多。

高技术产品使 TTL 逻辑器件逐渐落后,因此由更高频元件组成的新逻辑器件系列发展了起来。元件将按设计要求工作,但真正的跳变沿转换速率更快。想想看,EMI 频谱包络受跳变沿转换时间和其相关谐波频率分量的控制。标称低速芯片元件的处理过程解释了为什么相同功能元件的第 2 次引入带来前所未有的 EMI 问题。如果某个产品本来满足 EMI 发射性和抗扰度的规范要求但现在不满足了,可能是开发商没有通知消费者该器件是用模片压缩法制作的。典型的逻辑设计通常接受制造商的更快的元件而不考虑 EMI 或信号完整性的问题。

当元件工作在高频时,为适应更小的时钟脉冲间隔,信号跳变沿速率加快。因此,RF 频谱分散加重了。这时,应该使用信号完整性 CAD 工具(高频模型的电路仿真程序)来确定跳变沿速率、走线长、电路元件的寄生电容和电感的影响。设计者在电路仿真和布线环节中首要考虑的就是源端和负载的特性、导体阻抗、PCB 材料的物理和电气参数以及大量其他的参数。

为说明高速设计特性,图 7.1[5]给出了一个简单的驱动器—接收器电路,以解释信号完整性问题。只要互连足够短,时钟速度足够低,接收端就可看作驱动器的负载。这个负载将影响接收端的输出波形。除了接收负载的电容外,加载走线也可等效看作对地的集总电容。

当走线的电长度很长,即信号的跳变沿转换时间要比信号从源传输到负载再回到源所需的时间短时,就要考虑信号完整性的问题了。在信号出现高低状态间转换的时间段里,走线的阻抗就成为驱动器的实际负载。接收器输入阻抗并没有算这一部分负载。传输线的影响,例如反射、欠冲、过冲、串扰都将造成被传输信号的失真。在这种情况下,经典的集总电路理论不再适用,在电路仿真设计程序中应使用分布电路模型[13]。

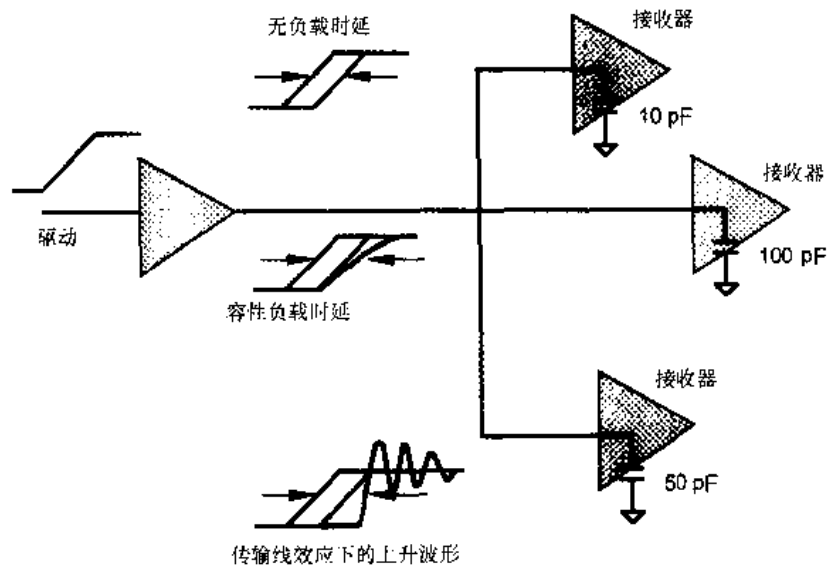


图 7.1 走线上的传输线效应

为更好地描述这一信号完整性问题,我们再来看一下为什么跳变沿速率而不是时钟频率是首要考虑的问题。例如,上升时间为 1ns 的相对低频的 1MHz 时钟只在转换时间内有传输线效应。信号最终将达到稳定状态。因为跳变沿速率较快,如果传输线较长,在周期的不同部分的电压门限就不同,信号可能错误地触发电路。也可能存在衰减振荡(ringing)和反射。

上升和下降时间有限的梯形信号存在基于傅氏变换的信号频谱分布。RF 基频就是时钟本身。对应上升时间,频谱分布的幅度以每十倍频程 20dB 的速度减小。例如,一个占空比为 50%、跳变沿速率为 1ns 的 5V、100MHz 时钟信号的 RF 基频的幅度大约为 3V。而它的 1GHz 成分的幅度只有近似 0.3V。负面影响将随着开关噪声和地电位波动而出现,这取决于电路的应用。在混合逻辑设计中,尤其当噪声容限为 0.3V 时,就要好好考虑这一点了。根据经验,走线长度要占信号上升和下降时间的 20% ~ 25%。

例如,所有逻辑和模拟元件都对电源电压变化具有一定的敏感度。这一敏感度可能反映在输出电平或输入管脚的开关门限变化上。作为电源电压的函数,功能降低的程度必须在设计阶段确定。在设计中要考虑到所有其它元件对供电电源的要求及其各不相同的噪声容限要求,反复地进行电源集成和消除噪声的设计。

缺乏最优零电位参考结构是高速网络和设计的普遍问题。由于互连线(走线)和引线电感的存在,虚地和实地之间总是存在电感的。如果许多时钟驱动器同时转换,走线上就会感应出

正比于电流随时间的变化率的电压。这一同时转换将引起被干扰走线上连接的器件错误的开关动作。通线孔、搭接线、封装连接管脚也将产生这种感应效应,被称为地电位波动和 ΔI 类噪声。封装元件没有内部地平面是最严重的错误。

下面是可能引起信号功能问题或使逻辑信号出错的潜在噪声源:

- 反射
- 地电位波动
- 串扰
- 参考精确度
- 热偏置
- 地偏置
- 电源电压的变化
- 走线 IR 压降
- 地面 IR 压降
- 终端器噪声

7.2 反射和衰减振荡

反射是数字逻辑设计中不希望有的副产品。传输线上的衰减振荡包括在信号稳定前出现的过冲和欠冲,它们也是反射的等效表现形式。过冲是在电源电平之上或地参考电平之下的额外电压效应。在地参考之下的额外电位不是欠冲。欠冲是指电位没有达到最大及最小转换电平值所期望的幅度。元件必须具有满足电压容限要求的足够容差率。正确的终端、正确的 PCB、正确的 IC 封装设计都可以抑制过冲、欠冲。过冲、欠冲如果严重可使设备超载并引起损坏甚至失效。

对无终端的传输线,衰减振荡和反射噪声是一回事儿。可以通过测量仪器在四分之一波长的传输线上观察得到。在无终端点到点走线上衰减振荡现象最为明显。传输线的源端通常经低阻抗($5 \sim 20\Omega$)负载连到直流地上。这一传输线非常接近一个 $1/4$ 波长谐振器(一端短接、一端开路的短线)。衰减振荡是这种短线的谐振。

信号跳变沿变化速率加快,就要考虑所选走线的传播和反射时延。如果经过走线从源到负载并反射回来的传播时间比信号跳变沿转换时间长,就存在一个电长走线。电长走线将引起与信号类型和特性有关的信号完整性问题。这些问题包括串扰、衰减振荡、反射。提到电长走线,通常要先考虑信号质量再考虑 EMI。虽然长走线能引起共振,但其他在产品内部实施的限制和兼容措施可以掩蔽产生的 EMI 能量。如果系统中存在源和负载的阻抗失配,设备将无法正常工作。从频率上讲,当信号的跳变沿时间占其在设备负载间传播时间很大百分比时,反射往往既是信号质量问题又是 EMI 问题。反射问题的解决可能要求扩展跳变沿时间(降低跳变沿速率)或者减小负载设备间的距离。

走线上信号的反射是网络中 RF 噪声的来源之一。当存在阻抗不连续时,就要考虑到反射。这种不连续可以是:

- 走线宽度的变化
- 网络终端的不匹配

缺少终端

T型接线器或二分支走线¹

布线层间的导孔

变化的负载和逻辑器件

大电源平面不连续

转换连接器

走线阻抗的变化

当信号沿传输线传播时,源电压的一部分最初将沿走线传播。这一源电压是频率、跳变沿速率和幅度的函数。理想情况下所有的走线将被看作是传输线。传输线由它的特性阻抗 Z_0 和传输时延 t_{pd} 描述。这些参数取决于单位长度走线上的电感和电容、实际的互连元件、互连的物理尺寸、RF 回路及它们之间的绝缘体的介电常数。传输时延也是走线长度和材料介电常数的函数。当互连终端的负载阻抗等于走线的特性阻抗时,信号无反射。

典型的传输线在图 7.2 中给出。这里我们注意到:

最大能量传输出现在 $Z_{out} = Z_0 = Z_{load}$

最小反射出现在 $Z_{out} = Z_0$ 和 $Z_0 = Z_{load}$

如果负载与传输线不匹配,电压波形将被反射回源端。这个反射电压的值为

$$V_r = V_0 \left(\frac{Z_L - Z_0}{Z_L + Z_0} \right) \quad (7.1)$$

其中 V_r = 反射电压, V_0 = 源电压, Z_L = 负载阻抗,

Z_0 = 传输线特征阻抗

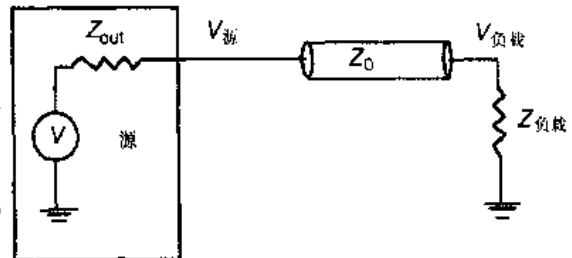


图 7.2 典型的传输线系统

当 Z_{out} 小于 Z_0 时,将产生负反射波形。如果 Z_L 大于 Z_0 ,就可以观察到正的波形。如果源阻抗不同于走线特性阻抗,源驱动端的波形将产生重复。

方程(7.1)给出了电压形式的反射信号。当一部分传播信号从远端反射时,这部分能量将返回源端。当它反射回来时,被反射的信号将可能交叠在入射信号尾端。在这一点,两个信号将互不干涉而同时向相反方向传播。

我们可以为反射波推导一个方程。这个反射等式即方程(7.2),表示传播信号被反射回源的部分。

$$\text{反射率的百分点} = \left(\frac{Z_L - Z_0}{Z_L + Z_0} \right) \times 100 \quad (7.2)$$

这个方程适合于任何电平的任何阻抗失配的情况。用 Z_0 代表失配的信号源, Z_L 代表负载。为提高预期的噪声容限和逻辑器件的需求,只要不超过接收元件的 V_{limax} ,正反射都是可以接受的。

源端发出的前向波和来的反向波形式相同,反向波是由负载返回源的初始脉冲。入射波中相应点的波形与线上反射波抵消后降低一定的百分比。在源与负载间反射将不断重复进行。在任何一个时域点上,总电压(或电流)将是所有独立存在的电压(或电流)源的和。因此,我们在源驱动器的输出端观察到7V的电压,而实际电源只工作在5V。术语 ringback 是逻辑开

注 1:二分支走线是分成两个指向不同位置的走线的单一走线。

关的上升沿效应,这种逻辑开关满足或超过了功能所需要的逻辑电平,并在稳定前将再次超过电压阈值。造成 ringback 的原因有逻辑驱动器和接收器的不匹配、不良的终端技术及网络的阻抗失配[14]。

走线上的尖锐跃迁可以通过时域反射测试仪(TDR)观察到。信号电压电平的尖锐跳变是由阻抗失配引起的多次反射产生的。这些陡峭跳变的上升时间和下降时间通常可以与原始脉冲的边沿相比拟。可以用从原始脉冲到第一个反射出现的时延来判断失配的位置。用 TDR 可以判断出传输线结构的不连续。用示波器可以观察反射。图 7.3 给出了两个不连续的类型。虽然有几个阻抗不连续出现,但图示中只有一个反射。

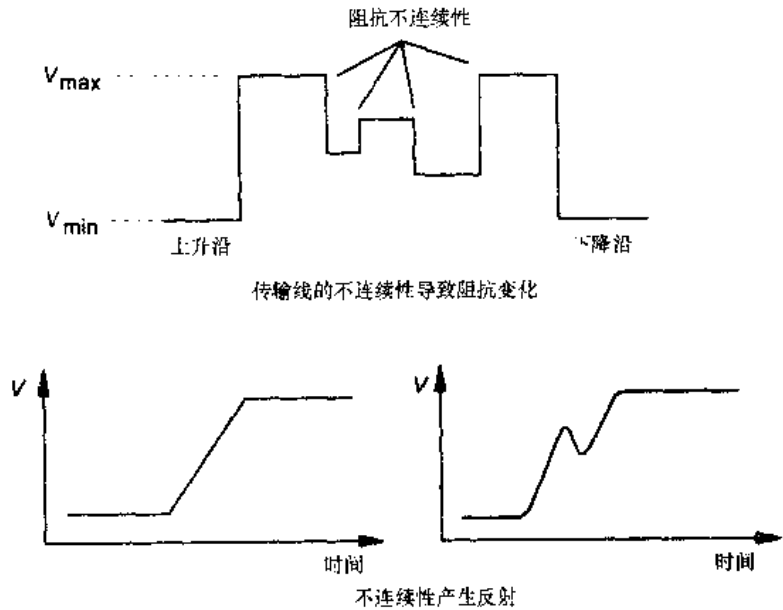


图 7.3 传输线的不连续

7.2.1 信号失真的鉴定

信号失真的形状能表明信号质量问题的类型。当信号偏离它的预期形状时,从波形中能够看出具体的问题。在脉冲的开始或拖尾边沿的失真通常称为 glitch。一般很少注意 glitch 的细节形状。让我们观察一下图 7.4 中两个常见的反映信号质量问题的波形。

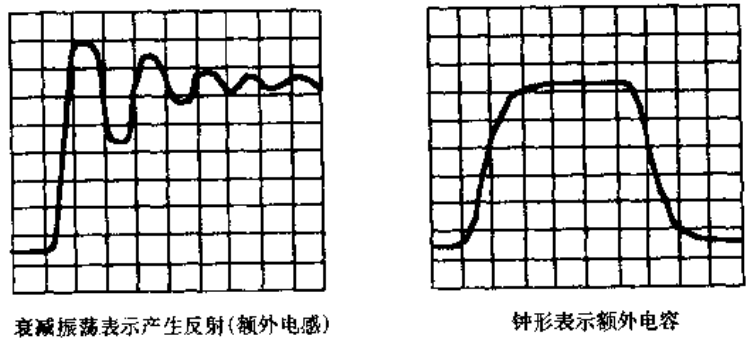


图 7.4 走线内的信号衰减振荡和钟形效应(失真识别)

衰减振荡是由于走线上明显的阻抗不匹配反射而产生的,它将损坏信号质量并可能导致

电路的功能失效。走线内衰减振荡也意味着网络中可能出现了额外的电感。衰减振荡的信号或加或减(取决于信号电压相位)。信号可能退化到无效还是准稳定的逻辑状态位置上去,取决于相位。了解传输线理论并正确应用之,将使信号能够在源和负载之间正确地传输。

有额外走线电感的欠阻尼电路能引起信号脉冲跳变沿的衰减振荡。衰减振荡是一个阻尼正弦振荡或谐振。一个电路要能衰减振荡或振荡,必须有电容。电容是电路负载必要的组成部分而且将总是存在的。额外的线电感也是产生衰减振荡的原因之一。通过附加串联电阻或提供正确的终端可以使衰减振荡最小化。

钟形效应则意味着额外的电容。当脉冲跳变沿是钟形时,电路就处于过阻尼状态。旁路电容总是存在于走线和负载输入端的。这两个电容(走线和负载)的并联决定了整个旁路电容。由于时间常数 $\tau = RC$,信号源的额外串联电阻也可能引起钟形效应。源、走线及负载间的阻抗比率是电路设计参数的一个重要要求。

7.2.2 产生衰减振荡的条件

图 7.5 阐明了一个典型的集总参数电路。图中给出的信号源串联电阻为 R_s ,走线电感为 L (包括器件引线电感),走线与地间的分布容抗为 X_c ,不包括接收器的内部电容。这个电路中还可能存在别的阻抗、电感和电容。但在这个简单的例子里不予考虑。

假设在高频情况下,由走线加负载的容性电抗 $X_c = 1/\omega C$ 在高频时远小于 R_L (负载阻抗)。当走线的物理长度很短时,半导体封装的去耦电容器引线长度的电感就成为衰减振荡的主要原因。在集总参数电路中可应用简单的 RLC 串联电路的衰减。衰减振荡(欠阻尼)的条件为:

$$\text{衰减振荡} = R^2 X_c / 4 > 1 \text{ (欠阻尼)} \quad (7.3)$$

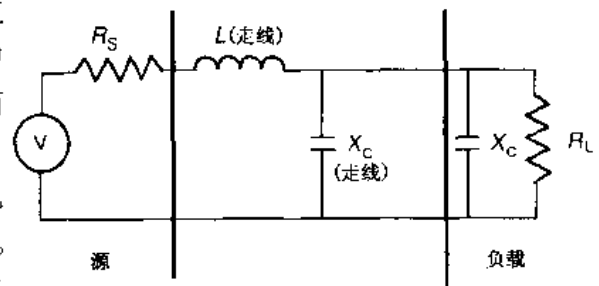
钟形效应(过阻尼)的条件为:

$$\text{钟形效应} = X_c > 4L/R^2 \quad (7.4)$$

引起衰减振荡的电感通常很小。有时 0.5nH 就足够引起对信号功能的影响。直接位于地层之上 1in 的走线,其电感很容易超过这个值。

图 7.6 给出了在一个典型的 PCB 布线中涉及的信号完整性问题:反射和衰减振荡。注意:负载上的过脉冲电压高至 7V,而且 3.5V 时就可能错误触发一个逻辑低电平状态。在源端,反射信号也有 -1.0V 的过脉冲,衰减振荡峰值达 3V。某些逻辑器件系列可能在 3V 衰减振荡,产生错误触发。对一个梯形波形来说,在强调衰减振荡的频率及复合波形的频谱时,图 7.6 所示的衰减振荡将使频谱失真。

图 7.6(a) 给出了平坦的信号脉冲。如果使用终端匹配的传输线,平坦信号脉冲可以沿走线从源到负载一直传输下去。虽然衰减振荡总以一些方式存在,但比起传输线不匹配或有阻抗不连续时产生的衰减要小得多。有源器件总会由其输出的开关晶体管产生衰减振荡,这些晶体管一般是非理想的或没有完善的驱动特性。这些不理想或不完善的特性是在生产过程和电路设计中产生的。信号完整性分析使用特征模型通常被认为是理想的,而在实际使用中特



衰减振荡 = $R^2 X_c / 4 > 1$ (欠阻尼)
钟形效应 = $X_c > 4L/R^2$ (过阻尼)
图 7.5 衰减振荡或钟形效应的等效电路

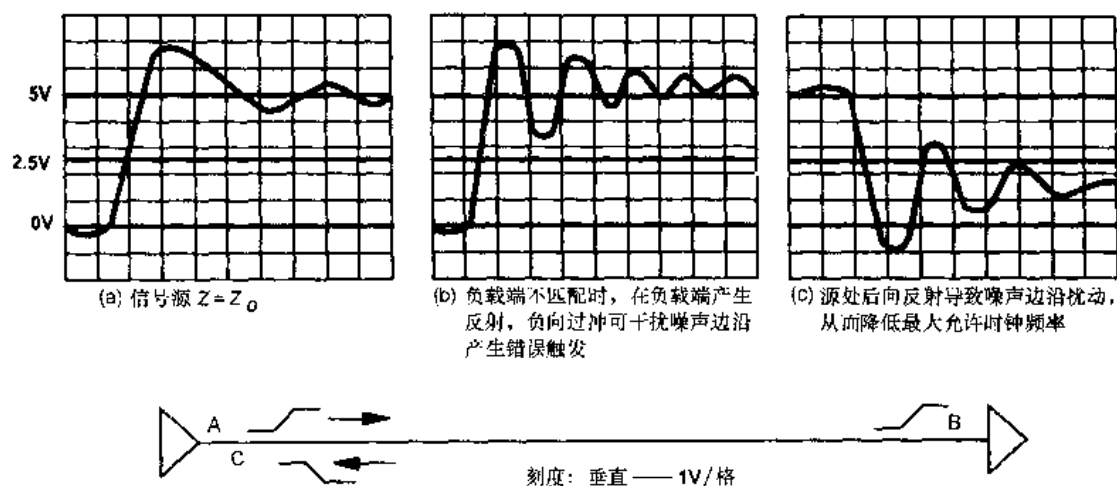


图 7.6 走线上的衰减振荡

征模型通常无法解释实际重要的传输线效果。

图 7.6(b) 给出了具有电长走线的有源负载电路的衰减振荡(包括过冲和欠冲)。如果 ringback 足够严重, 将错误触发负载使其以为是在 0 逻辑状态。这种错误触发将引起电路的不正确工作。如果与信号的传输时延(源到负载和负载到源)相比, 走线长度非常长或器件相距较远时, 将产生反射及其在这些端点间的前向和后向的来回反射。

图 7.6(c) 给出了信号反射回无终端传输线的源端后的情况。后向反射可能引起噪声容限扰动, 如果另一时钟开关恰巧在被反射脉冲到达驱动器的错误时间上发生, 它还将影响预期信号的质量。这些反射也可能由电长信号走线(或电长负载间隔)产生, 如图 7.6(b) 所示。当后向反射出现时, 为正确工作所需的边沿速率将降得更低。这个信号降级足可以使 PCB 其他部分不能在预期的工作速率上正常工作。因此性能下降或电路不正常工作在所难免。

PCB 线长与逻辑器件种类间的关系在表 7.1 中给出。本章的后面部分将详细解释这个表是如何得到的。

表 7.1 逻辑器件及其重要的特性参数

逻辑系列 (样品列表)	升/降 时间 (大约) (T_r/T_f)	最大非传输线 走线长度 (微带线) $L_{max} = 9 \times T_r$	最大非传输线 走线长度 (带状线) $L_{max} = 7 \times T_r$
74L _{xxx}	31 ~ 35 ns	279 cm(110")	271 cm(85.4")
74C _{xxx}	25 ~ 60 ns	225 cm(88.5")	175 cm(69")
74HC _{xxx}	13 ~ 15 ns	117 cm(46")	91 cm(36")
74 _{xxx}	10 ~ 12 ns	90 cm(35.5")	70 cm(27.5")
(flip-flop)	15 ~ 22 ns	135 cm(53")	105 cm(41")
74LS _{xxx}	9.5 ns	85.5 cm(34")	66.5 cm(26")
(flip-flop)	13 ~ 15 ns	117 cm(46")	91 cm(36")
74H _{xxx}	4 ~ 6 ns	36 cm(14.2")	28 cm(11")

逻辑系列 (样品列表)	升/降	最大非传输线	最大非传输线
	时间	走线长度	走线长度
	(大约) (T_r/T_f)	(微带线) $L_{\max} = 9 \times T_r$	(带状线) $L_{\max} = 7 \times T_r$
74S xxx	3 ~ 4 ns	27 cm(10.6")	21 cm(8.3")
74HCT xxx	5 ~ 15 ns	45 cm(18")	35 cm(14")
74ALS xxx	2 ~ 10 ns	18 cm(7")	10 cm(4")
74ACT xxx	2 ~ 5 ns	18 cm(7")	10 cm(4")
74V xxx	1.5 ~ 1.6 ns	10.5 cm(4")	10.5 cm(4")
ECF 10K	1.5 ns	10.5 cm(4")	10.5 cm(4")
ECF 100K	0.75 ns	6 cm(2.4")	5.25 cm(2")
BTL	1.0	9 cm(3.5")	7 cm(2.8")
LVDS	0.3*	2.7 cm(1.1")	2.1 cm(0.8")
GTL+	0.3*	2.7 cm(1.1")	2.1 cm(0.8")
GaAs	0.3*	2.7 cm(1.1")	2.1 cm(0.8")

假设使用 FR-4, $\epsilon_r = 4.6$, 微带线传输时延为 1.7ns/ft(0.14ns/in 或 0.36ns/cm), 而带状线的传输时延为 2.2ns/ft(0.18 ns/in 或 0.47ns/cm)。 T_r 和 T_f 主要取决于负载电容、电源电压和 IC 复杂度。注意: 由于制造过程的不同, 不同制造商产品间的 T_r 和 T_f 存在差异。

* 表示最快值。

7.3 计算走线长(电长走线)

设计传输线时, PCB 设计者需要一种方法, 这种方法在放置元件时能快速地判断出在 PCB 上布线的走线是否可被认为是电长的。在典型条件下可用一种简单的计算方法来判断。当判断走线的近似长度是否是电长时, 我们必须在时域进行考虑。下面给出的方程最好在 PCB 预放置元件时使用。对非常快的跳变沿速率来说, 依据实际芯和包层材料的介电常数值, 需要进行详细的计算。需要更高精确度时, 可使用第 6 章给出的方程。

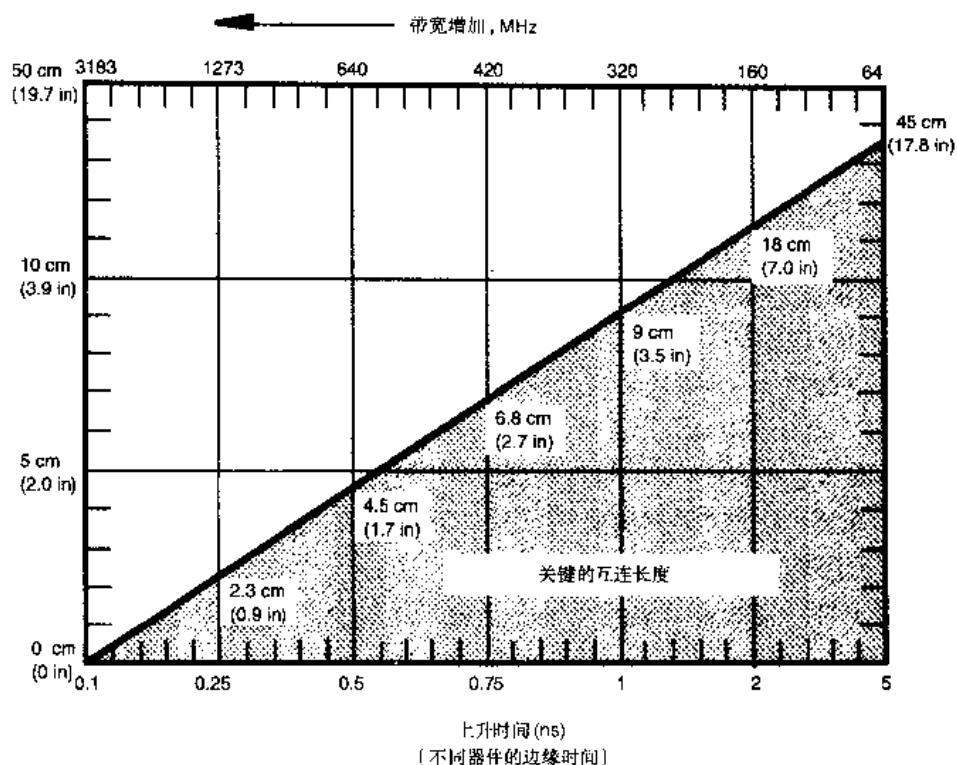
假设一典型传输速度是光速的 60%。通过(7.5)式我们可以计算出不同信号对应的最大允许无终端线长。当双程传播时延(源—负载—源)等于信号上升时间时, 这个方程是合理的。

$$l_{\max} = \frac{t_r}{2t'_{pd}} \quad (7.5)$$

其中 t_r 是跳变沿速率(ns), t'_{pd} 是传播时延(ns), $l_{\max}$ 是最大布线走线长度(cm)。

图 7.7 演示了介电常数为 4.6 时这一方程的结果。

为了简化(7.5)式, 我们使用了在 FR-4 材料中传播时延的真实值(实际介电常数与所研究的频率有关, 见第 6 章), 它与 FR-4 制作的微带线和带状线阻抗方程有关(分解为传播时延和常数)。(7.6)和(7.7)方程式可用于计算在使用终端前的最大电长度。这个长度指的是来回距离。从源到负载的单向长度是下式计算的 $L_{\max}$ 值的一半。下面计算的是介电常数为 4.6 时的情况。



注：上述估算针对介电常数=4.6的微带拓扑结构。
实际距离因印制板封装的介质材料而有所不同。

图 7.7 最大无终端传输线长与信号边沿速率的关系(FR-4 材料)

$$\text{微带线拓扑: } l_{\max} = 9 \times t_r(\text{cm}), l_{\max} = 3.5 \times t_r(\text{in}) \quad (7.6)$$

$$\text{带状线拓扑: } l_{\max} = 7 \times t_r(\text{cm}), l_{\max} = 2.75 \times t_r(\text{in}) \quad (7.7)$$

例如,如果一个信号边沿速率为 2ns,当在微带线上布线时,最大双程无终端走线长为:

$$l_{\max} = 9 \times t_r = 18\text{cm}(7")$$

当同样的时钟走线在带状线上布线时,这个 2ns 边沿速率的信号的最大无终端走线长变为:

$$l_{\max} = 7 \times t_r = 14\text{cm}(5.5")$$

这些方程也可用于估算信号在一个带多个负载的走线上的负载间隔间的传输时间。

计算 $L_{\max}$ 用的常数 k 的取值或 7 或 9,由下例给出

举例

$$k = \frac{x}{t_{pd}/a}(\text{cm})$$

其中 $a = 30.5\text{cm}, 12\text{in}$; $x = 0.5$, 将传输线转换为单程路径。对微带线 $t_{pd} = 1.017 \sqrt{0.475\epsilon_r + 0.67}$; 对带状线 $t_{pd} = 1.017 \sqrt{\epsilon_r}$ 。假设 $\epsilon_r = 4.6$, 对微带线 $k = 8.9(\text{cm})$ 或 $3.5(\text{in})$; 对带状线 $k = 6.9(\text{cm})$ 或 $2.7(\text{in})$ 。

如果走线或间隔比 $l_{\max}$ 长,那么应该使用终端,因为在这个电长走线上可能出现信号反射(衰减振荡)。即使有好的终端,走线中仍旧存在有限数量的 RF 电流。例如使用一个串联电

阻(源位置)将达到下列效果:

最小化走线内的 RF 电流

吸收反射(衰减振荡)

匹配走线负载

最小化过冲和欠冲

减少时钟信号边沿速率降低而产生的 RF 能量

当使用时钟或周期波形信号在布线的过程中安放 PCB 元件时,这些元件的安放必须使信号走线的布线在尽可能小的走线长和通孔数量下获得最佳的直线路径。每个通孔都将增加走线的电感和不连续性(接近 $1 \sim 3\text{nH/个}$)。走线的电感可能引起信号完整性问题以及阻抗不匹配和潜在的 RF 辐射。走线的电感使这一导线可作为一个天线。时钟信号的跳变沿速率越快,这个设计原则越重要。如果一个周期信号或时钟信号走线必须从一个布线层横越到另一个的话,这一转换应在元件引线(管脚出口)处进行,而不能在其它任何地方。因为如果可能,少使用两个通孔将使走线上额外增加的电感降低。

方程式(7.8)用于判断走线或负载间隔是否是电长的以及是否需要终端:

$$l_d < l_{\max} \quad (7.8)$$

其中 $l_{\max}$ 是计算得到的最大走线长度, l_d 是实际布线中测量到的走线长度。注意 l_d 是走线的双程长度。

理想情况下,走线阻抗误差应保持在 $\pm 10\%$ 以内。在某些情况下,在对性能进行仔细的论述后, $\pm 20\% \sim 30\%$ 误差也可能被接受。走线的宽度、在参考平面上的高度、板面材料的介电常数,以及其它微带和带状线常数决定了走线的阻抗(见式(6.7)~(6.20))。最好是能够在任何动态信号条件下始终保持常数阻抗控制。

现在给出一个例子,用给出的特性阻抗、传输时延和容性负载判断是否需要给一个信号走线加负载。

微带线例子:

一个 5ns 跳变沿速率器件放于 5in 长的表面微带线走线上。整个走线上分布着 6 个负载(元件),每个器件的输入电容为 6pF ,这个走线需不需要终端?

几何尺寸:

走线宽, $W = 0.010\text{in}$

走线的高度, $H = 0.012\text{in}$

走线厚度, $T = 0.002\text{in}$

电介常数, $\epsilon_r = 4.6$

a. 计算特征阻抗和传输时延,细节在第 6 章(方程(6.7),(6.9))

$$Z_0 = \left(\frac{79}{\sqrt{\epsilon_r + 1.41}} \right) \ln \left(\frac{5.98H}{0.8W + T} \right)$$
$$Z_0 = \left(\frac{79}{\sqrt{4.6 + 1.41}} \right) \ln \left(\frac{5.98 \times 12}{0.8 \times 10 + 2} \right) = 63.5\Omega$$

$$t_{pd} = 1.017 \times \sqrt{0.475\epsilon_r + 0.67} = 1.72\text{ns/ft}(0.143\text{ns/in})$$

b. 分析容性负载

计算分布电容 C_d (由长度进行整体归一化的输入电容)

$$C_d = 6 \times C_d / \text{走线长度} = (6 \times 6\text{pF}) / 5\text{in} = 7.2\text{pF/in}$$

由方程(6.24)计算走线的固有电容

$$C_0 = 1000(t_{pd}/Z_0) = 1000(1.72/63.5)\text{ns/ft} = 27.0\text{pF/ft} = 2.26\text{pF/in}$$

由方程(6.21)计算从源驱动器开始的单向传输时延

$$t'_{pd} = t_{pd} \sqrt{1 + C_d/C_0}$$

$$t'_{pd} = 0.143 \sqrt{1 + 7.2/2.26} = 0.29\text{ns/in} (3.5\text{ns/ft})$$

c. 进行传输线分析

衰减振荡和反射在边沿转换时被掩盖的条件是:

$$2 \times (t'_{pd}) \times \text{走线长度} \leq t_r \text{ 或 } t_f$$

在这种情况下,

$$2 \times (t'_{pd}) \times \text{走线长度} = (2 \times 0.29\text{ns/in}) \times 5\text{in} = 2.9\text{ns}$$

如果元件的边沿速率为: $t_r = t_f = 5\text{ns}$, 传输时延为: 2.9ns , 就不需要终端了。有时用指标 $(3 \times t'_{pd} \times \text{走线长度})$ 来作为安全边界。这种情况下, 传输时延为 4.35ns , 因此仍旧不需要终端。

想想看如果假设走线布线于带状线, 那么是否需要终端呢? 从上可知

$$t_{pd} = 1.017 \times \sqrt{\epsilon_r} = 2.18\text{ns/ft} = 0.18\text{ns/in}$$

$$C_0 = t_{pd}/Z_0 = 2.18/63.5 = 34.3\text{pf/ft} (2.86\text{pF/in})$$

$$C_0 = 1000(t_{pd}/Z_0) = 1000(2.18/63.5) = 34.3\text{pF/ft} (2.86\text{pF/in})$$

C_d 与上相同 (7.2pF/in)

$$t'_{pd} = t_{pd} \sqrt{1 + C_d/C_0} = 4.05\text{ns/ft} (0.34\text{ns/in})$$

$$2 \times (t'_{pd}) \times \text{走线长度} = 2 \times 0.34\text{ns/in} \times 5\text{in} = 3.4\text{ns}$$

同样, 因为 $3.4\text{ns} < 5\text{ns}$, 所以不需要给这个走线配终端。因为带状线的 t_{pd} (无终端) 实质上大于微带的 t_{pd} (0.65ns 富余), 所以带状线的传输时延长了 1.60ns 。这样也可防止传输线效应在边沿速率变化时被掩盖。

带状线例子

10in 的带状线上连接了一个边沿速率为 2ns 的器件。在走线上分布着五个逻辑器件。每个器件的输入电容为 12pF 。这条走线是否需要终端?

几何尺寸:

走线宽, $W = 0.006\text{in}$

板间的距离, $B = 0.020\text{in}$

走线厚度, $T = 0.0014\text{in}$

电介常数, $\epsilon_r = 4.6$

a. 计算特征阻抗和传输时延, 细节见第 6 章(式(6.13), (6.15))

$$Z_0 = \left(\frac{60}{\sqrt{\epsilon_r}} \right) \ln \left(\frac{1.9B}{0.8W + T} \right)$$

$$Z_0 = \left(\frac{60}{\sqrt{4.6}} \right) \ln \left(\frac{1.9 \times 20}{0.8(6) + 1.4} \right) = 50.7\Omega$$

$$t_{pd} = 1.017 \times \sqrt{\epsilon_r} = 2.18\text{ns/ft}(0.182\text{ns/in})$$

b. 分析容性负载

计算分布电容 C_d , (由长度进行整体归一化的输入电容)

$$C_d = 6 \times C_d/\text{走线长度} = (6 \times 12\text{pF})/10\text{in} = 7.2\text{pF/in}$$

计算走线的固有电容

$$C_0 = 1000(t_{pd}/Z_0) = 1000(0.182/50.7)\text{ns/in} = 3.58\text{pF/in} = 43.0\text{pF/ft}$$

计算从源驱动器开始的单向传输时延

$$t'_{pd} = 0.182 \sqrt{1 + 7.2/3.58} = 0.32\text{ns/in}(3.79\text{ns/ft})$$

c. 进行传输线分析

所研究的重要条件是 $2 \times (t'_{pd}) \times \text{走线长度} \leq t_r$ 或 t_f

$$2 \times (t'_{pd}) \times \text{走线长度} = (2 \times 0.32\text{ns/in}) \times 10\text{in} = 6.4\text{ns}$$

因为元件的边沿速率为: $t_r = t_f = 2\text{ns}$, 传输时延为: $6.4 > 2$, 所以需要终端吸收传输线效应。

想想看如果假设走线为微带线, 是否需要终端呢? 从上面知

$$t_{pd} = 1.017 \times \sqrt{0.475\epsilon_r + 0.67} = 0.14\text{ns/in} = 1.72\text{ns/ft}$$

$$C_0 = 1000t_{pd}/Z_0 = 1000(0.14/50.7) = 2.76\text{pF/in} (33\text{pF/ft})$$

C_d 与上相同(7.2pF/in)

$$t'_{pd} = t_{pd} \sqrt{1 + C_d/C_0} = 0.26\text{ns/in}(3.19\text{ns/ft})$$

$$2 \times (t'_{pd}) \times \text{走线长度} = 2 \times 0.26\text{ns/in} \times 10\text{in} = 5.2\text{ns}$$

同样, 因为 $2\text{ns} < 5.2\text{ns}$, 所以需要终端。

7.4 由于不连续引起的负载

在放置元件及进行网络线路配置时, 必须检查传输线的不连续效应。如果存在不连续, 一定是源和负载间的距离达到了一定值, 而与边沿时间相比通过距离间隔的传输时间也达到了一定值。在集总和分布电容负载的传输环境中, 传输环境存在着差异。存在差异是因为负载开始相互影响的空间间隔不同, 而这种不同是信号边沿时间的不同造成的[8]。返回走线的不连续也需要考虑。如果在 PCB 内部的布线层间有走线交换, 阻抗控制可能受到破坏。

负载距离间隔定义为从传输线上的一个负载反射出的信号开始影响相邻负载时的距离间隔。

在 PCB 内, 逻辑输入有对应的等效输入电容。在传输线结构中, 只要有电容负载, 就会出现点不连续。每个不连续都将使传输信号在通过线路时有一小部分被反射回源。如果被反射信号很大, 就要考虑到信号的完整性, 包括反射和串扰。反射脉冲的宽度是入射脉冲跳变沿的函数。

观察不连续值得注意的是, 必须存在有限数量的距离间隔。我们定义在相邻负载间的单位距离间隔为 l_{sep} 。如果距离(l_{sep})(传输时间)相对边沿时间来讲较小的话, 反射脉冲不会叠加在一起或联合成一个能用 TDR 观测到的明显不连续。

为了计算两点间隔 l_{sep} , 必须考虑反射脉冲宽度。这个脉冲宽度就等于信号在 A 与 B 之间的传播时间。使用包括双程(从源到负载再返回源)传输时延在内的电长走线的知识, 根据式(7.9), 按照图 7.8[8], 知

$$Y = 2 \times d_{AB} \times t_{pd} = 1.7 \times t_r \quad (7.9)$$

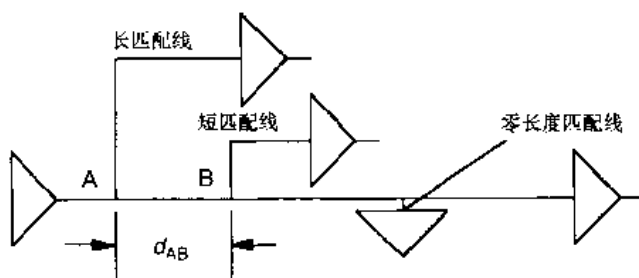


图 7.8 点不连续及距离间隔

其中 Y 是 A 点被反射脉冲的宽度, d_{AB} 是 A 和 B 之间的距离, t_{pd} 是传输线无负载时的传输时延, t_r 为 10% ~ 90% 的边沿转换速率(上升时间)。解 d_{AB} , 即计算观察到点不连续之前最小的距离间隔:

$$d_{AB} = (1.7 \times t_r) / (2 \times t_{pd}) = 0.85 t_r / t_{pd} \quad (7.10)$$

假设边沿传输时间为 0.8ns(高速率元件一般都取这个值), 并使用 FR-4 材料, 如果导线布线为带状线, 并且介电常数为 4.2, $t_{pd} = 1.017 \times \sqrt{4.2} = 2.08\text{ns/ft}$ 或 0.17ns/in 那么在点不连续影响信号之前两点间可接受距离为

$$d_{AB} = (1.7 \times 0.8\text{ns}) / (2 \times 0.17\text{ns/in}) = 4.0\text{in} (10.2\text{cm}) \quad (7.11)$$

上面的例子说明了如果不想存在点不连续或反射脉冲, A 与 B 之间的距离间隔, 即实际走线长度必须小于 4.0in。

术语“被反射脉冲”意味着什么? 图 7.9 给出的两个脉冲的合成就是被反射脉冲。当有多个被反射信号合并时, 电路内就出现了一个等效的单一脉冲。如果在最小距离间隔内准许两个脉冲相互交迭的话, 两个脉冲的最大交迭幅度都要比任一脉冲的最大幅度小。这发生在脉冲达到最大幅度和宽度时。第一个脉冲波的一半在其中途位置当另一个完全相同的脉冲相遇。在这种情况下, 距离间隔将被减小, 而信号内容不会受到影响。

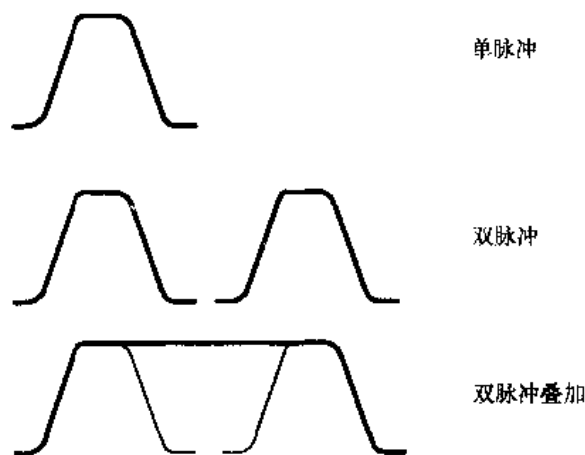


图 7.9 点不连续产生的反射脉冲

7.5 RF 电流分布

0V 参考平面使得 RF 电流从负载返回到它的源端。这个 0V 平面构成了第 2 章所讨论的闭合环电路。图 7.10 阐示了沿微带走线的电流分布在地层结构上扩散的情况。前向和返回路径上总是存在这样的分布。这个电流分布在走线和平面间(或走线和走线之间)是共阻抗

的,这将导致因电流扩散而产生的互耦。峰值电流密度位于走线的中心正下方并从走线的两边向地面快速衰减。

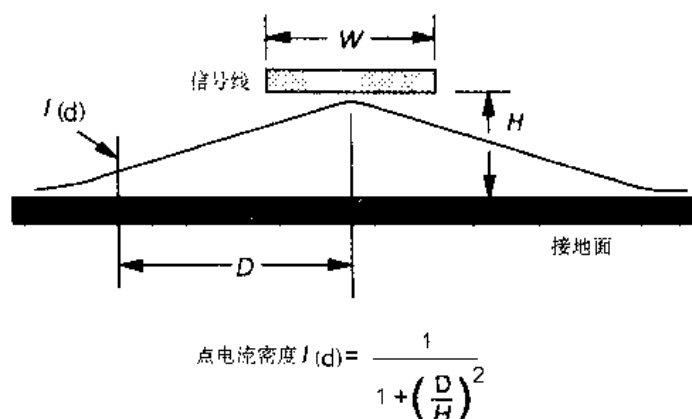


图 7.10 从走线到参考平面的电流密度分布

当走线与平面间的距离间隔很远时,前向和返回路径间的环路面积就增加了。这样使得与环路面积成比例的电路电感增加。式(7.12)描述了使前向和返回电流路径构成的整个环路电感最小化的最优电流分布。式(7.12)所描述的电流也使存储在信号走线周围磁场内的总能量最小[3]。

$$i(d) = \frac{I_0}{\pi H} \times \frac{1}{1 + \left(\frac{D}{H}\right)^2} \quad (7.12)$$

其中 $i(d)$ 是信号电流密度(A/in), I_0 是总体电流(A), H 是走线在地层上的高度(in), D 是距走线中心线的距离(in)

互耦因子主要取决于工作频率和地层阻抗的趋肤效应。趋肤深度增加时,地层阻抗的阻性成分也将增加。这种增加将在相对高频时成比例地出现[2,14]。

7.6 串扰

串扰是 PCB 设计中的重要方面之一,在设计的任一环节都要考虑。串扰是指走线、导线、走线和导线、电缆束、元件及任意其它易受电磁场干扰的电子元件之间的不希望有的电磁耦合。串扰是由网络中的电流和电压产生的,有些类似于天线耦合。当耦合出现时,可以观察到近场效应。

导线、电缆、走线间的串扰影响着内部系统的性能[2]。内部系统是指位于同一个系统或装置内的源和接收器。设计一个产品时必须使其具有自身的兼容性。因此,串扰可以被定义为一个系统内部的 EMI,它必须被最小化或消除。串扰不仅出现在时钟或周期信号线上,而且也出现在数据线、地址线、控制线和 I/O 走线上,应尽量避免。

串扰会引起走线间的干扰,因而被认为是一种功能上(信号质量)的考虑。实际上,串扰是 EMI 传播的主要途径。高速走线、模拟电路和其它易受影响的信号可能被外面源引起的串扰破坏。然而这些对 EMI 敏感的电路可能也无意地把它们的 RF 能量耦合到了 I/O 部分去。这种 I/O 耦合会在机箱内产生 EMI 辐射或传导,或者引起电路和子系统间的功能性问题。

出现串扰时,典型情况需要三个或者更多的导体。在图 7.11 中给出了 3 个导体。两个线携带所研究的信号,第三条线为参考导线,它使得电路通过电容或电感耦合可以互相通信。如果是一个双线系统,那么一个通常是参考电势而另一个是差分的,从而避免了固有串扰[2]。

图 7.11 给出了具有共地参考结构的两个电路,由于共地阻抗不为零,它们之间存在耦合。这就是要在 0V 参考或地上的两个相连点间要保持低阻抗的主要原因。

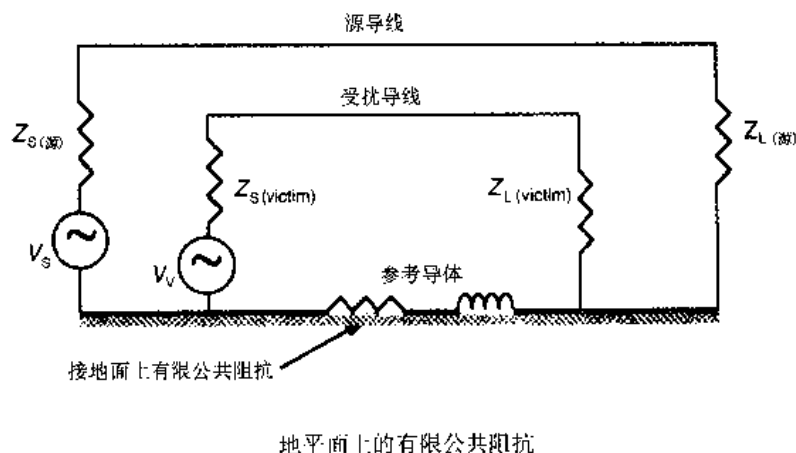


图 7.11 用 3 个导体表示的传输线解释串扰

另一个在 PCB 走线上通过电容和电感元件产生的线间耦合的形象例子如图 7.12 所示。这是一个三导线结构的详细原理图。两个互相平行的走线间存在互耦机制。源走线上的耦合包括:共用地阻抗 Z_g 、走线间互容 C_{sv} 和走线间互感 M_{sv} 。走线和参考层间的电容耦合主要是 C_{sg} (源—地)和 C_{vg} (受干扰走线—地)。

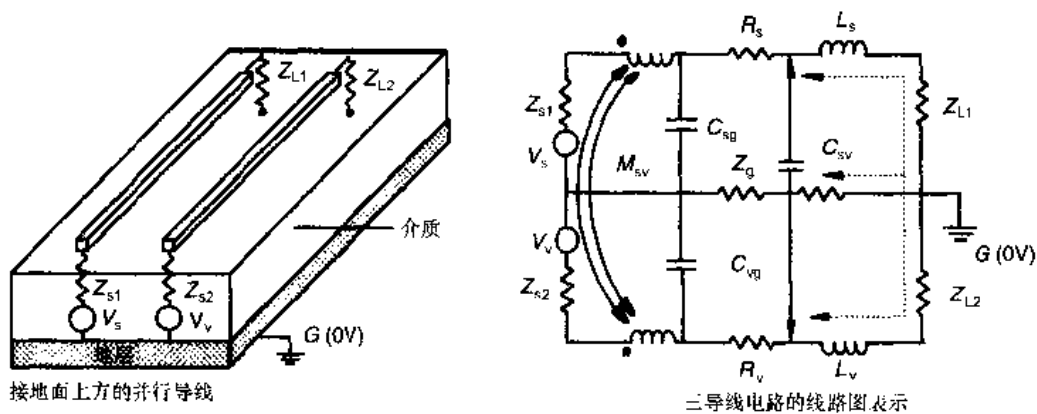
串扰估值需要进行频域分析。一个逻辑电路与其它电路相互作用的电磁场既有电容耦合又有电感耦合。图 7.11 中, V_s 是产生在源与受干扰电路或走线间相互作用的电磁场的源。这种相互作用在 Z_s 与 Z_L 间感应出电流和电压,分别与源及电路的负载端相联系。设计者的任务是要对串扰是在近端(Z_s)还是在远端(Z_L)作出判断。近端指电路上被认为是源的点,远端指电路负载一侧的点。

时域串扰分析能判断出接收器的终端电压时域波形,而频域串扰分析能判断出正弦源电压(电磁场)激励下接收侧电压的幅度和相位[2]。这里只讨论频域分析。

串扰包括电容耦合和电感耦合。电容耦合通常是因为走线位于另一走线上方或参考层上方。这种耦合是走线与交叠区域之间距离间隔的直接函数。在前一部分中讨论的 RF 电流分布解释了在走线和参考层间的场密度分布。耦合信号可能会超过依据很短走线路径的设计限制。这种耦合也可能十分严重,所以必须时刻避免交叠的错误。

电感串扰包括物理位置上互相十分接近的走线。对于并行走线,需要研究串扰的两种方式:前向和后向。在 PCB 中,后向串扰通常比前向串扰更值得考虑。电路中源与受干扰走线间阻抗越大产生的串扰电平越高。在考虑走线的布线,或者它们相对电缆、I/O 互连以及类似的易产生干扰的电路的物理位置时,必须采用更好的措施防止串扰。电感串扰可以通过增加走线与传输线或导线间的边到边间隔或最小化走线距离参考层上的高度而得到控制。

图 7.13 给出了容性耦合和感性耦合。如果信号由走线 AB 从源到负载传送,信号将只容性耦合进相邻走线 CD,而且条件是两条走线相互平行且十分接近。两条走线间的电容(互容)越大,通过串扰能量在二者间传输的耦合越紧密。被干扰的走线 CD 上的耦合电压引起从



C_{sv} = 源导线与受扰导线间电容
 C_{vg} = 受扰导线与地间电容
 C_{sg} = 源导线与地间电容

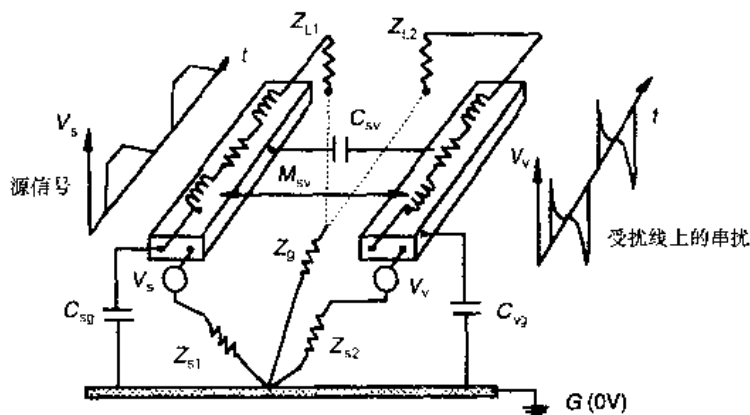


图 7.12 PCB 结构中的走线到走线的耦合

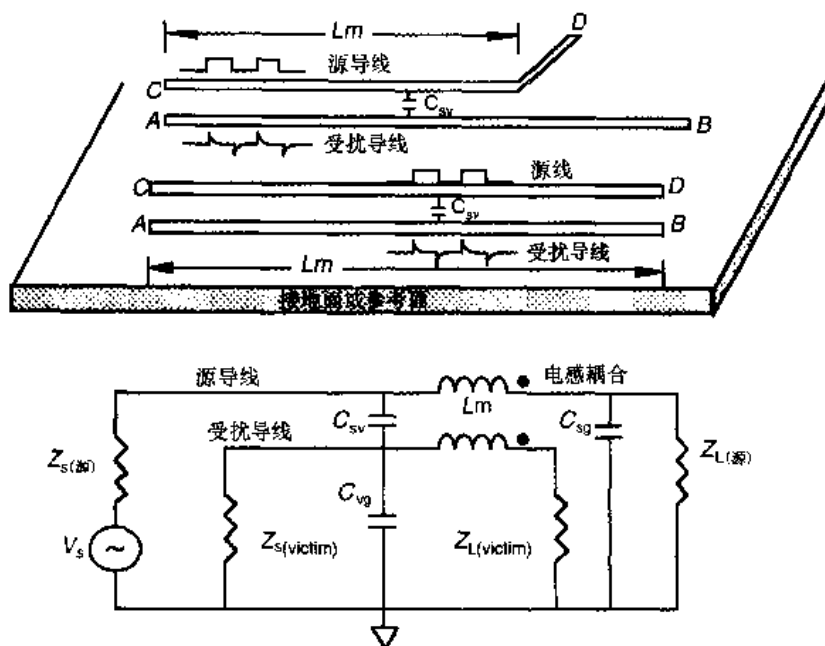
耦合点到走线两端的电流。返回源 C 的电流是后向串扰,而传输到负载 D 的是前向串扰。两条走线间也有互感,通过后向串扰方向上的电流引起电感耦合 L_m 。如果 C 点驱动器的输出阻抗低于传输线阻抗,那么大部分后向串扰将被反射回驱动器 C。因为电容在高频下能有效地传导 RF 能量(电流),所以跳变沿速率越快,串扰越大。

互容性耦合的极性对前向串扰来说为正,而后向串扰为负。这是与电感干扰尖峰信号在行为上唯一不同的地方。否则两种耦合模型在实质上就完全一致了。这种耦合在 $2t_p$ 以上的时间内传开,其中 t_p 是信号传输来回路程所需的时间。

后向串扰随着耦合长度线性增加。如果耦合长度与双程信号的传输时延相比是电长的,后向串扰将呈现饱和值而不随耦合长度增加而增加。

在典型的工作条件下提供连续的接地层,感性和容性串扰耦合电压都接近相同的结果。当后向串扰增强时,前向串扰就消除了。因为前向耦合系数较小,微带线拓扑在电感和电容耦合间存在一种平衡。微带产生的电场不仅仅通过 PCB 的电介材料辐射出去,也有一部分通过自由空间。虽然电容耦合较小,这种耦合仍旧可以表示为小的负前向耦合系数。

平面结构不完善,例如开槽或存在噪声的参考层,电感串扰成分更大(平面内电感更多)。这时电感串扰将大于电容成分。前向串扰将比在带状线中观察到的更大,并且极性为负。但



$$Z_v = \frac{Z_s(v) \times Z_L(v)}{Z_s(v) + Z_L(v)}$$

C_{sv} = 源导线与受扰导线间电容
 C_{vg} = 受扰导线与地间电容
 C_{sg} = 源导线与地间电容

图 7.13 串扰的基本表示

前向串扰总是小于后向串扰的[14]。

7.6.1 串扰的测量单位

因为参考电平不是一个绝对的功率电平,所以串扰是以 dB 为测量单位的。假定从干扰电路到受损电路的损失是 90dB。串扰的测量单位将代表 90dB 上的串扰耦合损失了多少值。式 (7.13)[4]给出了这一关系的描述。

$$\text{dB} = 90 - \text{串扰耦合损失(以 dB 为单位)} \quad (7.13)$$

例如,电路 A 与电路 B 耦合。电路 A 的功率电平为 58dB。我们计算从 A 到 B 的串扰即为 32dB。

式(7.14)表示了用源和受干扰电路表示的串扰。因为我们参考比较的是电压比,所以除了基本的 dB 单位外再无别的测量单位了。

$$X_{\text{talk}}(\text{dB}) = 20 \log \frac{V_{\text{victim}}}{V_{\text{source}}} \quad (7.14)$$

7.6.2 避免串扰的设计技术

为在 PCB 中避免串扰,下面给出有用的设计和布线技术。

串扰有时随着走线宽度增加而增加。假如自电容和互电容比率保持在一个固定值,从而使间隔距离也保持为常数,就不会发生这种情况了。如果比率不固定,互容 C_m 将增加。对平行走线来说,走线越长,互感 L_m 越大。信号跳变的上升时间加快,互容增加,阻抗也随着增加,这样就加剧了串扰。设计和布局技术如下:

- (1) 根据功能分类逻辑器件系列,保持总线结构被严格控制
- (2) 最小化元件间的物理距离

- (3) 最小化并行布线走线的长度
- (4) 元件要远离 I/O 互连接口及其它易受数据干扰及耦合影响的区域
- (5) 对阻抗受控走线或频波能量丰富的走线提供正确的终端
- (6) 避免互相平行的走线布线, 提供走线间足够的间隔以最小化电感耦合
- (7) 相临层(微带或带状线)上的布线要互相垂直。以防止层间的电容耦合
- (8) 降低信号到地的参考距离间隔
- (9) 降低走线阻抗和信号驱动电平
- (10) 隔离布线层, 布线层必须在实心平面结构下按相同轴线布线(典型的是背板层叠设计)。
- (11) 在 PCB 层叠设计中把高噪声发射体(时钟、I/O、高速互连等)分割或隔离在不同的布线层上。

避免或最小化平行走线间串扰的最好方法是最大化走线间的间隔或使走线更接近参考层。长时钟信号和高速并行总线结构更优选这些技术。各种串扰结构的图解如图 7.14 所示。

式(7.12)描述了电流密度分布, 由此可见对应地方的磁场强度随距离的衰减。计算走线间隔的一个简单方法是使用式(7.15)。这个等式将串扰表示为被测噪声电压与驱动信号的比。常数 K 依赖于电流上升时间及干扰走线的长度。这个值总是小于 1, 在大多数情况下, 近似取 1。可以明显看出: 为了最小化串扰, 我们必须最小化 H 且最大化 D [3]。

$$\text{串扰} \approx \frac{K}{1 + \left(\frac{D}{H}\right)^2} = \frac{K(H)^2}{H^2 + D^2} \quad (7.15)$$

对于嵌入的微带, 如果平行走线在不同的高度, H^2 项将是图 7.14 所示的两个高度的乘积, 见式(7.16)。尺度 D 是走线中心线间的直接距离 [3]。

$$\text{串扰} \approx \frac{1}{1 + \left(\frac{D}{H1 \times H2}\right)^2} \quad (7.16)$$

如果走线是布线于两个不同的参考层间的带状线, 使用对两个参考层高度的并联来决定 H , 细节见式(7.17)。

$$H_{\text{total}} = \frac{Hna \times Hnb}{Hna + Hnb} \quad (7.17)$$

我们可以使用表 7.2 来计算为消除串扰的微带走线的距离间隔。在使用表 7.2 时, 要特别注意:

- (1) PCB 走线: $Z_L = 50\Omega$ (Z_S & $Z_L = 100\Omega$ 并联), 长度为 1cm。

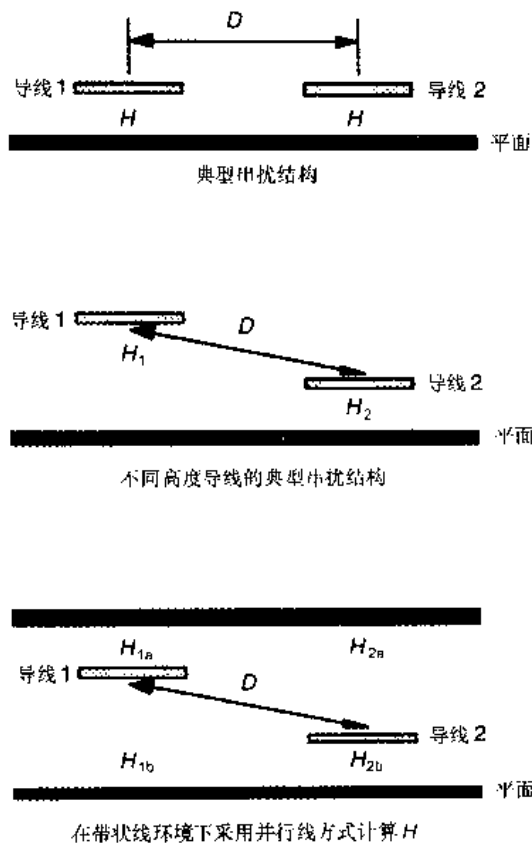


图 7.14 计算串扰间隔

(2) Z_S 和 Z_L 是实数,而非复值。

(3) 并行走线上每 cm 的串扰已给出。对其他长度,应加上 $20\log(f_{cm})$ 的近似修正。 f_{cm} 是并行走线长度(以 cm 为单位)。这个纠正适用于频率高于 1GHz 的情况。

(4) 其它长度和 Z_V (受损走线的阻抗),要应用修正因子: $20\log[(Z_V \times L)/100]$,其中 L 是走线长度。

(5) 没有地层,嵌位在 -4dB; $W/h = 1$ 为 -10dB;埋入的走线为 4dB。

(6) 如 Z_S 和 $Z_L \neq 100\Omega$,则加上修正值 $20\log(Z_V/50)$,其中 $Z_V = Z_S Z_L / (Z_S + Z_L)$ 。

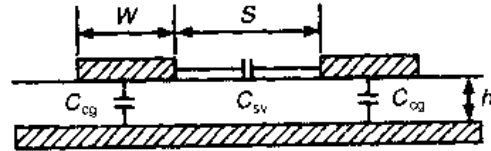


表 7.2 容性串扰耦合距离间隔

S/W (C_m , pF/cm)	W/h = 3 ($C_{eg} \approx 1.2$ pF/cm) $Z_0 = 50\Omega$				W/h = 1 ($C_{eg} \approx 0.5$ pF/cm) $Z_0 = 90\Omega$				W/h = 0.3 ($C_{eg} \approx 0.1$ pF/cm) $Z_0 = 120\Omega$			
	10	3	1	0.3	10	3	1	0.3	10	3	1	0.3
	(0.003)	(0.02)	(0.06)	(0.17)	(0.003)	(0.02)	(0.06)	(0.17)	(0.003)	(0.02)	(0.06)	(0.17)
F(ω) = 1kHz	-174	-158	-148	-140	-158	-148	-142	-136	-146	-134	-130	-122
3 kHz	-164	-148	-138	-130	-148	-138	-132	-126	-136	-124	-120	-112
10 kHz	-154	-138	-128	-120	-138	-128	-122	-116	-126	-114	-110	-102
30 kHz	-144	-128	-118	-110	-128	-118	-112	-106	-116	-104	-100	-92
100 kHz	-134	-118	-108	-100	-118	-108	-102	-96	-106	-94	-90	-82
300 kHz	-124	-108	-98	-90	-108	-98	-92	-86	-96	-84	-80	-72
1 MHz	-114	-98	-88	-80	-98	-88	-82	-76	-86	-74	-70	-62
3 MHz	-104	-88	-78	-70	-88	-78	-72	-66	-76	-64	-60	-52
10 MHz	-94	-78	-68	-60	-78	-68	-62	-56	-66	-54	-50	-42
30 MHz	-84	-68	-58	-50	-68	-58	-52	-46	-56	-44	-40	-32
100 MHz	-74	-58	-48	-40	-58	-48	-42	-36	-46	-34	-30	-22
300 MHz	-64	-48	-38	-30	-48	-38	-32	-26	-36	-24	-20	-12
1 GHz	-56	-40	-30	-22	-38	-30	-22	-18	-28	-18	-14	-8
3 GHz	-52	-36	-26	-20	-32	-24	-18	-14	-24	-14	-10	-4
10 GHz	-52	-36	-26	-18	-30	-22	-16	-10	-24	-14	-10	-4

$$\text{串扰} = 20\log \frac{R_s(C_{sg})\omega}{\sqrt{[R_{sw}(C_{eg} + C_{sw})]^2 + 1}}$$

其中 R_s = 被干扰走线的阻抗(表中使用 100Ω), C_{sw} = 源和被干扰走线间的电容, C_{eg} = 走线和地间的电容, ω = 频率。

资料来源: 见 M. Mardiguian, *Controlling Radiated Emissions by Design*, New York: Van Nostrand Reinhold, 1992。

7.7 3-W 原则

串扰可存在于 PCB 上的走线之间。这种不良影响不仅与时钟或周期信号有关,而且也来

自系统中其它的重要走线。数据线、地址线、控制线和 I/O 都会受到串扰和耦合的影响。问题的大多数来自时钟和周期信号,它们将引起其它部分的功能性问题。使用 3-W 原则将使设计者无需其它设计技术就可以遵守 PCB 布局的原则。但这种设计方法占用了很大面积,可能会使布线更加困难。

使用 3-W 原则的基本出发点是使走线间的耦合最小。这种原则可陈述为:走线间距离间隔(走线中心间的距离)必须是单一走线宽度的三倍。另一种陈述是:两个走线间的距离间隔必须大于单一走线宽度的二倍。比如,时钟线为 6mil 宽,则其它走线只能在距这条走线 $2 \times 6\text{mil}$ 以外的地方布线,或者保证边到边距离大于 12mil。图 7.15 为采用 3-W 原则的一个例子。

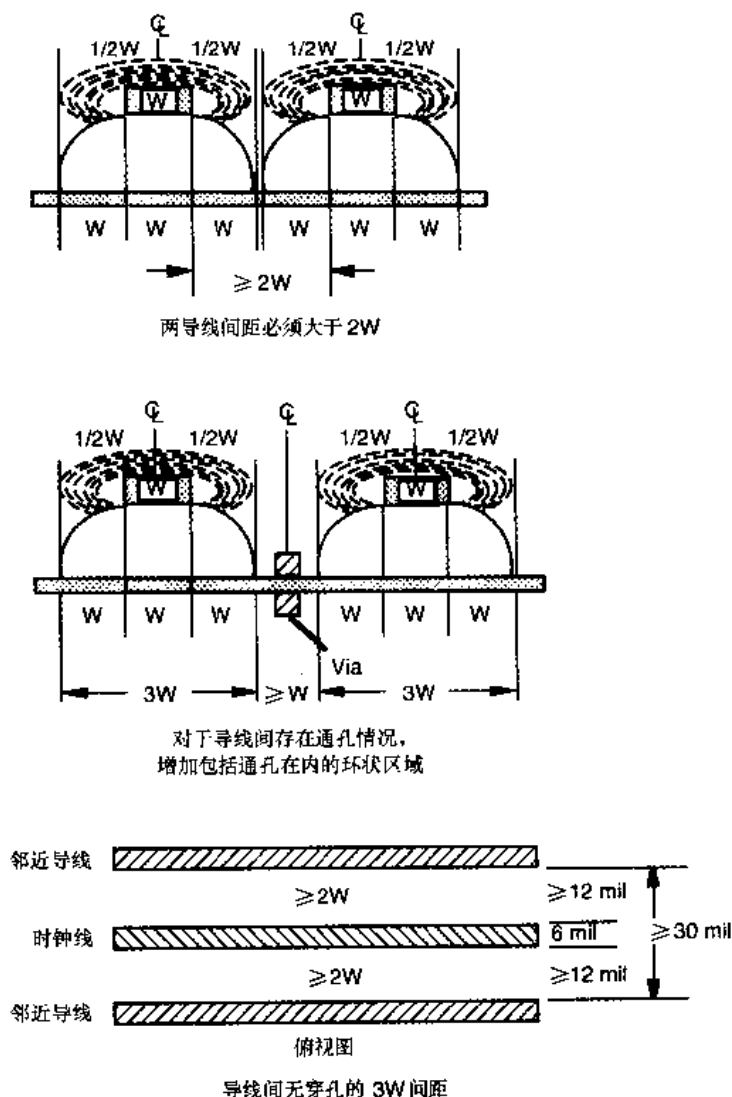


图 7.15 使用 3-W 原则设计

注意:3-W 原则代表的是逻辑电流中近似 70% 的通量边界,要想得到 98% 边界的近似,应该用 10-W 原则。

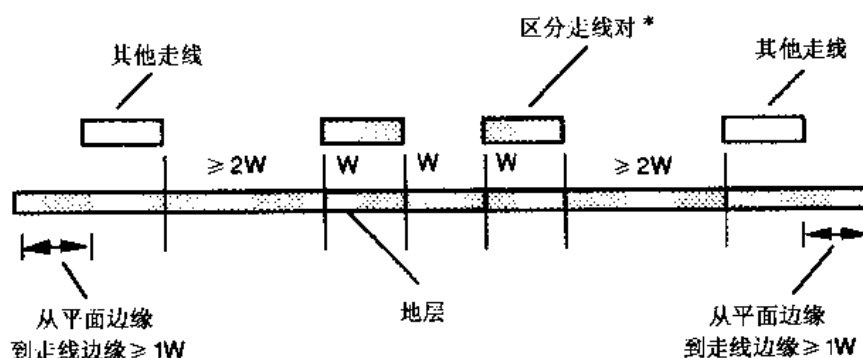
我们只对易产生影响的高危信号,例如时钟走线、差分对、视频、音频及复位线或其它关键的系统走线强制使用 3-W 原则。不是所有的 PCB 上的走线都必须遵照 3-W 布线原

则。使用上一设计指导原则，在 PCB 布线前，决定哪些走线必须使用 3-W 原则是十分重要的。

如图 7.15 中间图所示，两条走线中间有一个导孔。这个导孔通常与第 3 条走线相连，这条走线中可能通过一个易产生电磁破坏的信号。例如，复位线、音频或视频走线、模拟电平控制走线或者 I/O 接口线等，它将以电感或电容的形式感受电磁能量。为最小化走线对导孔的串扰，相邻走线间的距离间隔必须包括导孔直径和间隙间隔。对富含 RF 能量的走线间的距离间隔也有同样的要求，这种走线上的能量可能会耦合到元件的引脚(管脚外露)上。

3-W 原则的使用不只局限于时钟或周期信号走线，差分对(平衡的、ECL、及类似敏感走线)也是 3-W 主要的代表。对差分走线来说，走线对间的距离应为 $1-W$ 。电源层噪声和单端信号可能通过容性或感性耦合进差分对的走线。如果那些与差分对无关的走线的物理间隔不到 $3-W$ ，则干扰可能引起数据的破坏。

如图 7.16 为在一个 PCB 结构中差分对走线布线的例子[1]。



注意：走线间的“W”需要适当修改以得到预期的差分对阻抗

图 7.16 并行差分对布线及 3-W 原则

参考文献

- [1] Montrose, M. 1996. *Printed Circuit Board Design Techniques for EMC Compliance*. Piscataway, NJ: IEEE Press.
- [2] Paul, C. R. 1992. *Introduction to Electromagnetic Compatibility*. New York: John Wiley & Sons.
- [3] Johnson, H. W., and M. Graham. 1993. *High Speed Digital Design*. Englewood Cliffs, NJ: Prentice Hall.
- [4] Ott, H. 1988. *Noise Reduction Techniques in Electronic Systems*. 2nd ed. New York: John Wiley & Sons.
- [5] Motorola, Inc. 1989. *Low Skew Clock Drivers and Their System Design Considerations* (#AN1091).
- [6] Motorola, Inc. 1988. *MECL System Design Handbook* (#HB205). Chapters 3 and 7.
- [7] Motorola, Inc. 1989. *Transmission Line Effects in PCB Applications* (#AN10511D).
- [8] IPC-D-317A. 1995, January. *Design Guidelines for Electronic Packaging Utilizing High-Speed Techniques*. Institute for Interconnecting and Packaging Electronic Circuits.

- [9] IPC-2141. 1996, April. *Controlled Impedance Circuit Boards and High Speed Logic Design*. Institute for Interconnecting and Packaging Electronic Circuits.
- [10] IPC-TM-650. 1996, April. *Characteristic Impedance and Time Delay of Lines on Printed Boards by TDR*. Institute for Interconnecting and Packaging Electronic Circuits.
- [11] Van Doren, T. 1995. *Circuit Board Layout to Reduce Electromagnetic Emission and Susceptibility*. Seminar Notes.
- [12] Mardiguian, M. 1992. *Controlling Radiated Emissions by Design*. New York: Van Nostrand Reinhold.
- [13] Goyal, R. 1994, March. *Managing Signal Integrity*. IEEE Spectrum. New York.
- [14] Paul, C. R. 1984. *Analysis of Multiconductor Transmission Lines*. New York: John Wiley & Sons.
- [15] Ramo, Simon, J. R. Whinnery, and T. Van Duzer. 1984. *Fields and Waves in Communication Electronics*, 2nd ed. New York: John Wiley & Sons.
- [16] Witte, Robert. 1991. *Spectrum and Network Measurements*. Englewood Cliffs, NJ: Prentice-Hall.

第8章 PCB 走线终端

在检验走线的终端应用是否合理之前,必须彻底弄清楚周边环境及走线与整体 PCB 的关系。

走线的终端在保证取得最佳的信号完整性及最小的 RF 能量产生方面具有重要作用。为防止走线的阻抗失配问题并在电路之间提供更高质量的信号传输,需要匹配终端。在高速电路及走线中的传输线效应必须加以考虑。即使时钟速度很低(如 4MHz),驱动装置及接收设备用 FCT 系列(2ns 上升沿),在长走线上的反射或快速跳变沿都可能引起接收设备在变换过程中使时钟加倍。任何触发器的时钟信号,无论实际工作频率为多少,均可能引起传输线效应。

在设计过程中,传输线效应应从哪几个角度加以考虑呢?下面是几点建议:

(1) 时钟引线,FIFO 读写脉冲以及任何从电路外部或器件内部(如 SIMM 模块)来的用于锁住或计时触发器的信号。

(2) 当用诸如 ACT、FCT、FTTL、ASTTL、BCT、ABT、BTL、GTL、GaAs 或 ECL 这样的高速逻辑门电路时。

(3) 当由高到低的过渡变换远低于低电压状态(近似为 2V)时,CMOS 器件易被锁住。

(4) 在地址及数据线上,当设计人员增加运行速度时,在器件输入端将伴有极快的跳变沿。

假如系统是同步的,则对地址及数据信号线上的传输线效应可以不予考虑。设计人员必须考虑将出现的最坏情况,并将 2~4ns 的安全保持时间加入到定时流程图中。在安全门限的设计中要保证传输线效应不会引起任何危害,只要它们在时间上是稳定的,时钟及选通脉冲就会将它们锁入到一个寄存器中。然而如果信号是衰减振荡且具有过冲及欠冲,则 EMI 问题就可能出现。

例:给定一 50MHz 的信号(具有 20ns 的持续时间),触发器的最小建立时间为 2ns。从源驱动器到负载最坏情况时的延迟为 17ns。本例中在完成建立时间后有 1ns 备用,如果该导线长为 6in,由于传输线效应,将增加约 2ns,则往返传输时间达 21ns,延迟超过所要求值 1ns,而非低于所要求值 1ns。

8.1 传输线效应

当在数字电路设计中使用高速、快速跳变沿的信号时,会出现传输线效应。

如果在导线中传输信号的往返传输延迟时间超过开关电流在逻辑状态之间的转换时间,则导线必须看成传输线。跳变沿在亚纳秒范围的高速逻辑器件正被普遍使用。在 PCB 中很长的走线可以变成一个天线从而产生射频辐射或引起功能性障碍。

载有高速率信号的 PCB 走线完全不同于载有直流信号的走线的情况。例如:典型的 PCB

走线每英寸具有 $12\text{m}\Omega$ 的直流电阻。当信号波形沿走线传播时,走线阻抗将从几十欧姆增大到甚至 100Ω 。特性阻抗用字母 Z_0 表示,特性阻抗等于 $\sqrt{\frac{L}{C}}$,在此 L 为电感, C 为电容。仅对匹配的传输线而言,电压与电流之比为常数。下脚 x 表示沿线的变化。

$$Z_0 = \sqrt{\frac{L_0}{C_0}} = \frac{V_{(x)}}{I_{(x)}} = \frac{V_{(x)}^+ + V_{(x)}^-}{I_{(x)}^+ - I_{(x)}^-} \quad (8.1)$$

在此, + 表示正向波, - 表示反向波。

什么原因使传输线成为数据传输的首选对象呢? 因为传输线能够提供从源到负载的恒定的没有不连续性的阻抗路径。不连续性影响信号的完整性,可能会将原信号电平破坏到无法工作的值。信号的衰减振荡、反射、过冲、欠冲及串扰也是走线中存在的问题,但它不属于传输线问题。如果在传输线上加屏蔽,形成同轴线,同轴线将是能保证信号完整性的最好的传输线。这是因为除了极小化或防止产生射频电流从而避免对其它电子设备的有害干扰之外,对传输线的屏蔽也增强了 RF 敏感度的防护,避免外面产生的 RF 源对其干扰。

如果负载阻抗大于走线的特性阻抗, Z_0 (传输线), 将产生正反射。这将引起负载端电压值高于电压源的值, 例 5.2V 电压源产生 6.5V 信号。如果终端阻抗小于特性阻抗, 将产生负反射, 负反射将引起终端电压小于信号源电压。反射产生过冲。过冲影响邻近线路或走线, 由于存在大量电压, 使耦合增强。这种耦合可能引起逻辑错误, 增加跳变沿转换时间, 并可能影响信号定时的要求。当负载处于逻辑高状态时, 传输线的另一端是低状态 (TTL 即为典型实例), 将产生衰减振荡的谐振。衰减振荡的谐振允许过冲在连续反射中交替改变。这种情况如图 8.1 所述。

源 Z	负载 Z	EMI	负载波形
Z_0	Z_0	无	
Z_0	高	线间耦合	
Z_0	低	边缘速率改变	
低	高	线耦合、EMI 及串扰	

图 8.1 传输线效应

8.2 终端匹配方法

PCB 上走线需要终端匹配是基于一些设计准则的。最重要的准则是在 PCB 中存在电长走线(电长走线在第 7 章中讨论)。在本章中, 在讨论终端匹配之前先讨论 PCB 上走线的长度。当走线是电长的, 或当长度超过跳变沿速率电长度的 $1/6$ 时, 走线需要匹配终端。即使走线比较短, 如果负载是电容或高度感性的, 为防止衰减振荡, 仍然要求终端匹配。

最简单的终端匹配方法就是用一电阻元件。电路存在两个基本部分: 源和负载。5 种最常用的终端匹配方法如图 8.2 详述, 表 8.1 总结了各种终端匹配方法, 在本章中将深入讨论每

一种方法：

- (1) 串联终端
- (2) 并联终端
- (3) 戴维宁网络
- (4) RC 网络
- (5) 二极管网络

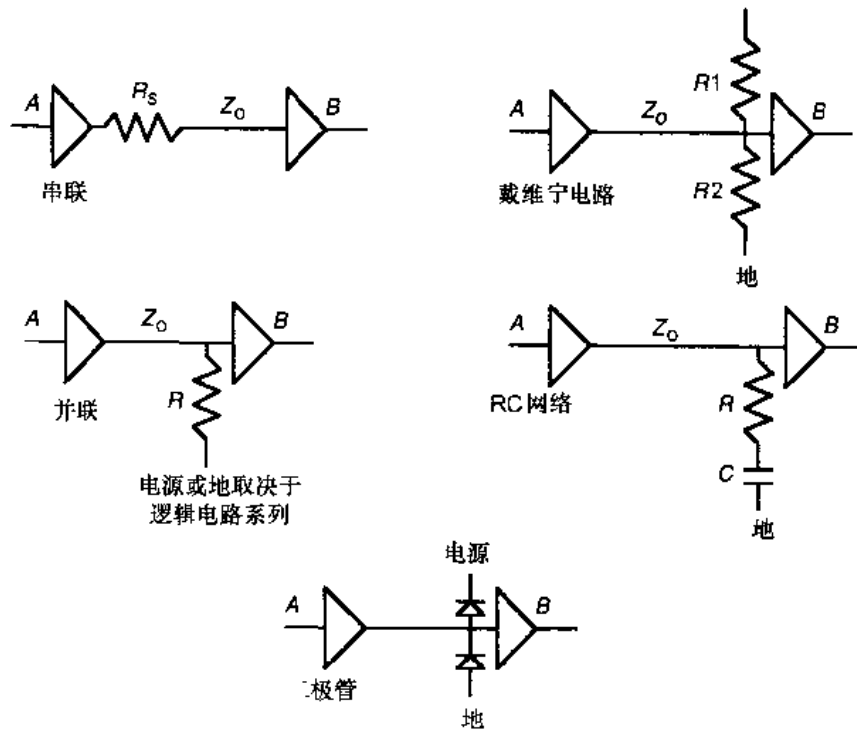


图 8.2 常用终端匹配方法

表 8.1 终端类型及其特征

终端类型	部分数	延时	电源要求	元件值	备 注
串行	1	是	低	$R_0 = Z_0 - R_0$	良好的 DC 噪声冗余
并行	1	小	高	$R = Z_0$	耗电是一个问题
戴维宁	2	小	高	$R = 2 \times Z_0$	对 CMOS 而言要求高电平
RC	2	小	中	$R = Z_0$ $C = 20 \sim 600\text{pF}$	校验常宽和增加的电容
二极管	2	小	低	---	限制负脉冲二极管的响声

注：此表及其中数据经 Motorola 公司同意出版。

终端匹配不仅使走线阻抗匹配,并且消除或减少衰减振荡及反射。如果使用了不正确的值,它也可能降低时钟信号的跳变沿速度。不合适的终端可能会降低信号幅值及完整性,甚至到无法正常工作的地步。减小走线中的 dI/dt 或 dV/dt 将减小由高幅值的电压和电流产生的射频电流。

另一种描述 dI/dt 或 dV/dt 关系的方法是用欧姆定律 $V = IR$ 描述这些关系。下文将非常简要地表示如何利用方程 $V_{\text{ref}} = I_{\text{HF}} \times Z$ 将欧姆定律解释为“简单的”电磁概念。如果走线阻抗保持常数,则 $dV(\text{RF 电压})$ 及 $dI(\text{RF 电流})$ 将随信号时变脉冲而增加或减小。小的 RF 电压

及 RF 电流,产生小的辐射或传导 RF 能量,以及所有 EMI 不期望有的副作用,因此 EMI 性能改善。除小的 RF 电流信号外,信号的跳变沿也可能增加(低的跳变沿斜率),随之 RF 能量谱减小。然而,如果 Z 的值太大,则由于过量的信号降低可能引起电路不工作,为保证电路始终正常工作,必须优化计算 Z 。

在检验不同的终端匹配方法之前,假设所用的是基本传输线网络。下列讨论基于图 8.3 所示的简单模型。

用这种基本传输线模型,我们可以检验图 8.4 中的两幅仿真图。对这一 66MHz CMOS 电压值,驱动器的上升沿速率为 0.8ns。因为元件经过模片压缩,上升沿速率下降,上升沿的理想值被用在分析高技术产品中常用的时钟驱动器。

图 8.4 的一个图显示了用 3in(7.6cm)走线的简单模型效果。另一个图显示了一条 18in(45.7cm)走线,这是许多设计中 PCB 布线的典型情况。注意到没有提供终端。对于电短走线,3in,输出一个接近从源来的完整的波形,并在负载端具有较小过冲及欠冲的典型波形,这是典型的设计不合适的传输线。根据第 6 章,对往返行程为 0.8ns 的电长走线信号是 5.8in。对一条 3in 走线的往返传播延迟为 6in,因此选 3in 近似长传输线的断点。若走线短于 3in,负载上的信号将与源驱动器的信号相同。

对图 8.4 中感兴趣的是 18in 走线的情况, ϵ_r 为 4.5 的微带线的传输延迟为 1.72ns/ft (0.36ns/cm)。对 18in 的走线,信号单向传输所需时间为 2.5ns。如图 8.4 所示,源信号离开驱动器 2.5ns 后,信号在负载端接收到。这就是在具有传输延迟的传输线中出现的现象。对时差要求比较严格的关键电路,工程师必须在对布线图制版之前,清楚所设计走线的长度。如果在典型的 3in 走线上进行 SPICE 或任何其它的传输路径分析,而 PCB 设计人员将 18in 走线用于 100MHz 甚至更高频率的同步系统中,必须强制执行信号完整性分析。印刷电路板走线传播延迟的讨论见第 6 章,其讨论基于基本传输线数据。

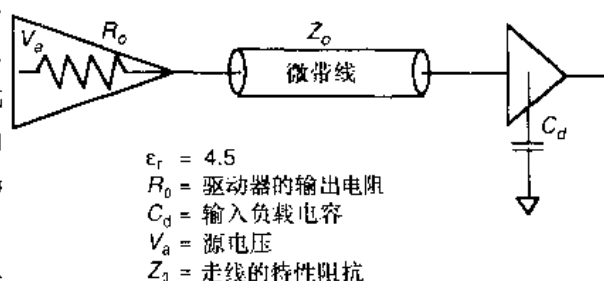


图 8.3 为达到参考目的所采用的简单基本传输线模型

8.2.1 源终端

源终端[3]提供一种电路结构,以使驱动器的输出阻抗和电阻与走线的阻抗匹配。源反射系数为 0,因此在负载上的信号比较纯净。换言之,电阻吸收了反射信号。讨论总结如下:

- (1) 在从源到负载传输之前,串联终端将电阻输出驱动电压减少 50%;
- (2) 从负载反射来的信号的 50%将返回到源;
- (3) 从远端观察时反射系数为 +1,这意味着 50%的反射信号加上 50%的源信号,在负载端提供全电压信号,无反射。

8.2.2 串联终端

当在走线终端上存在集总负载或单一元件时,串联终端是最佳选择。当驱动设备的输出阻抗 R_o 小于走线的特性阻抗时,应用串联电阻。这一电阻必须直接接于驱动器的输出端,而无需在元件与电阻之间有通路(图 8.5),串联电阻 R_s 由下式计算:

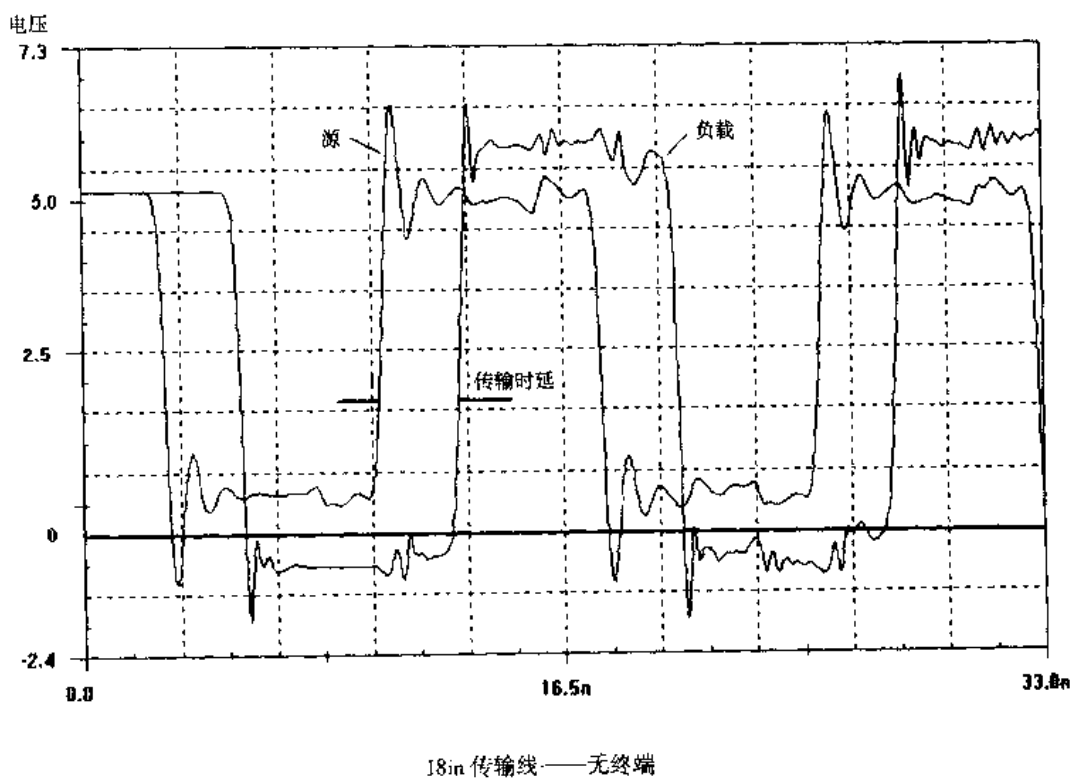
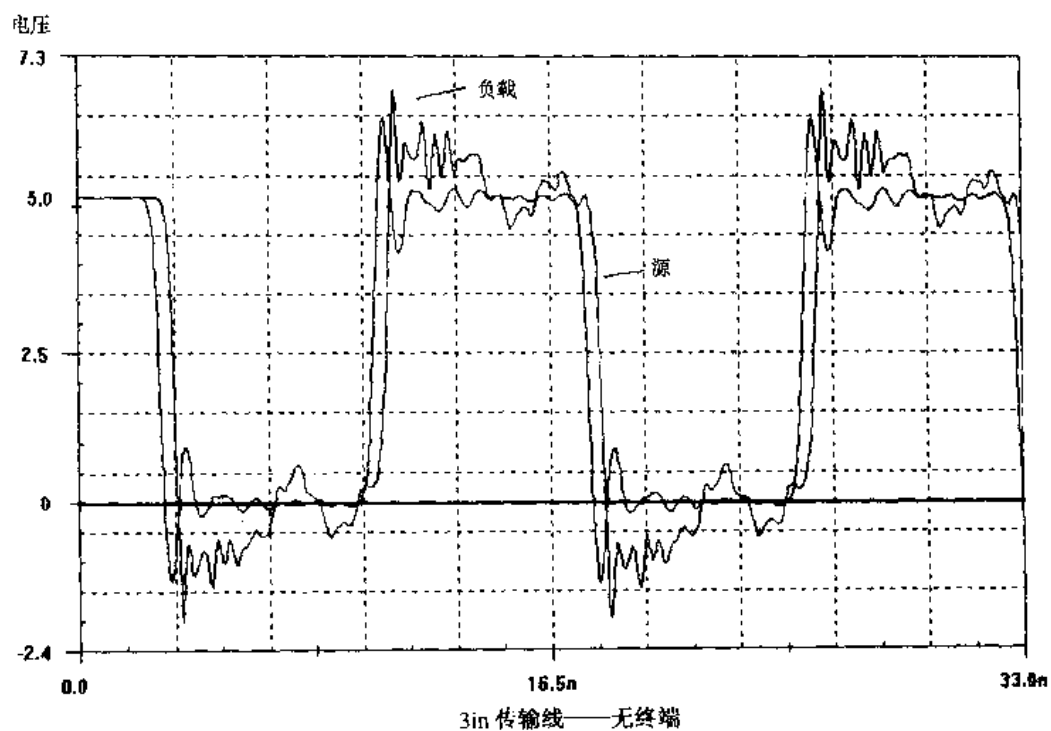


图 8.4 为达到参考目的而给出的基本传输线仿真曲线

$$R_S = Z_0 - R_0 \quad (8.2)$$

其中, R_0 为源驱动器的输出电阻; Z_0 为传输线的特性阻抗; R_S 为串联电阻。

例如: 如果 $R_0 = 22\Omega$, 走线特性阻抗 $Z_0 = 55\Omega$, $R_S = 55 - 22 = 33\Omega$, 在当今的高技术产品中, 使用 33Ω 的串联电阻是非常普遍的。串联电阻 R_S 可计算为大于或等于驱动元件的源阻抗或

小于等于传输线的特性阻抗 Z_0 。其典型值为 $15 \sim 75\Omega$ (通常为 33Ω)。

串联终端使衰减振荡和反射效应减至最小。源电阻在保证信号沿着传输线以最高质量传输方面起重要作用。若源电阻不存在,几乎没有阻尼,系统将有长时间的衰减振荡(长达 10ns)。PCI 驱动器用于完成这种功能将是最佳的,因为它们具有极低的输出阻抗。在源处的约为传输线阻抗 $2/3$ 的串联电阻将消除这种衰减振荡。轻微欠阻尼系统的目标值为 $R_s = 2/3 Z_0$ 。略大于一半电源所供电压的波前沿传输线传播,并在开路远端加倍,提供负载所要求的电压值。被反射的波前几乎完全被串联电阻吸收。复杂的驱动器将尽量达到与传输线阻抗匹配,而无须外部元件。

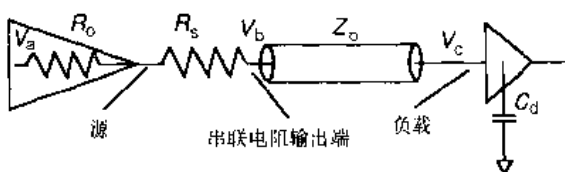


图 8.5 串联终端电路

假设理想电压分配器存在,当 $R_s + R_0 = Z_0$ 时,串联电阻输出端上的电压波形为驱动器所提供电压值的一半。例如,如果驱动器提供 5V 输出电压,串联电阻的输出将为 2.5V 。其原因如公式(8.3)所述。如果接收器具有高输入阻抗,接收时将能立即获得完整波形,而源端将在 $2 \times t_{pd}$ (往返传播时间)时接收到反射波形。

$$\Delta V_b = \Delta V_a \left(\frac{Z_0}{R_0 + R_s + Z_0} \right) \quad (8.3)$$

1. 阻抗匹配问题

当驱动器件在低及高状态下具有不同的输出阻抗值时,就会发现串联终端存在问题。这一问题影响 TTL 逻辑以及一些 CMOS 驱动。TTL 及 CMOS 在逻辑高及低状态时均具有不同的输出阻抗。输出阻抗以及串联电阻的这种区别,允许走线阻抗根据逻辑状态在 $55\Omega \sim 10\Omega$ 之间变化。这种阻抗失配条件可能引起信号质量变差及可能的功能失效。此外,一些负载器件可能具有不同的输入输出阻抗,不能直观得知。因此,串联阻抗器的使用在具有变化输入/输出阻抗的条件下可能不是最佳选择。但无论怎样折衷考虑,它仍是有效的。

$1/2 V_{\max}$ 可将信号设置在不确定逻辑状态,如果总线结构以各种设定的间距提供给多个负载,则会引起不正常工作。对位于总线上的多个器件,除了位于网络末端的接收器,都存在信号完整性问题。

一个设计良好的 CMOS 时钟驱动器在高、低逻辑状态下应该近似具有相同的输出阻抗。这种设计要求的目的是为了避免许多其它终端问题。用串联电阻的附加优点是不需建立到地或电源的直流通路。没有直通电流通路,则 V_{OL} 和 V_{OH} 值不会减少。若每个时钟输出端仅驱动一个器件,串联终端是最佳选择。若时钟线必须连接到多个负载或接收器,串联终端不是最佳选择。

当器件正将一个电平变化发送到传输线上时,源驱动器将只看到负载的高输入阻抗。串联电阻总是直接设置于传输路径上。当驱动器发出逻辑高信号时,将不会出现通过低阻抗(例如下拉电阻)直接到地的通路。对逻辑低状态,源驱动器不从电压源消耗功率,就像在电路中有一个上拉电阻。

当使用串联电阻时,走线阻抗变为频率的函数,如方程(8.4)所述,其中 ω 为角频率(rad), L 为串联电感, C 为走线电容。可见当 R 超过 ωL 时,特性阻抗与所用频率的平方根成反比。这在低频时,即当波长很长,而传输线是电短时出现。结果,传输线模型在这种情形下无效,也

与特性阻抗没有多大关系。然而在高频时,当 $\omega L > R$ 时,特性阻抗变为常数。

$$Z_0(\omega) = \sqrt{\frac{R + j\omega L}{j\omega C}} \quad (8.4)$$

2. 上升沿退化效应

当用串联终端时,信号的上升时间可能受影响,尤其当电阻选择不当时。在传输线任一点上,向后看源,我们发现驱动阻抗 Z_0 。当加电容负载时,出现像简单的 RC 低通滤波器一样的响应,其时间常数:

$$\tau = RC = Z_0 C \quad (8.5)$$

对 RC 滤波器的 10% ~ 90% 的上升时间,用公式(8.5),能决定上升时间的退化值为:

$$t_{(10-90)} = 2.2 Z_0 C \quad (8.6)$$

这一上升时间的退化两倍于端部终端电路的上升时间,这一条件仅在传输线阻抗与负载相等时出现。

3. 串联终端的分析

为了更好地观察串联终端对信号完整性的作用,检验图 8.6。该图展示了在 3in 及 18in 长的走线上时钟信号的源及负载电压。走线电感、走线电容及负载电容,在这些图中起一定作用。上升沿速率为 0.8ns,源为具有 66MHz 输出的时钟非对称驱动器。3in 的走线是电短的,然而 18in 的走线是电长的。一根走线直接由驱动器输出,另一根走线经串联电阻 R_s 输出,第 3 根走线在负载的输入端。负载上的传输延迟为 $t_{pd} = 0.7 \times Z_0 C_d$,或可由第 6 章中详细描述的传播延迟方程给出,如果 $Z_0 C_d$ 的值不知道。

图 8.6 的研究结果表明:用一电短走线,对 3in 走线,可沿走线路径检测到一接近完美的有典型衰减振荡的波形。在串联电阻的输出端,容易观察到 1/2V。对 18in 的走线,就信号完整性方面来说,负载上的波形是可以接受的,并在串联电阻的输出端有一明显的 1/2V。而波形从外形看几乎一致,除电压大小外。在电阻的输出端上电压值的下降不影响信号的功能。负载输入端接收到的信号是我们感兴趣的。

有关传输线传播延迟方面的相同的讨论详见“基本传输线”,其对串联终端是可用的。

用串联终端电阻,与图 8.4 所示无终端走线相比,可在负载上得到最小衰减振荡。信号功能性要求这一无畸变的波形。然而,很易观察到在传播延迟方面有增加。串联电阻使反射被遮蔽。3in 及 18in 的图在负载上看起来几乎相同,因为当终端合适时,电路工作相同,无论走线多长,都可以忽略 6.6V 的过冲。

因为 $R_s + R_0 = Z_0$,在 V_b (串联电阻的输出)上的电压值是 V_a (源)值的一半。所测电压波形被均匀地等分,一半电压发送到接收器。如果接收器具有非常高的输入阻抗,经 t_{pd} 在负载端将得到全波形,然而源端将在 $2t_{pd}$ 时收到反射波形,其中 t_{pd} 是单向传输延迟。

4. 何时用串联终端

(1) 串联终端的优点

- ① 串联终端可提供较慢的上升时间,引起更小的剩余反射及更小的 EMI。
- ② 串联电阻有助于减小射频能量的谱分布。
- ③ 串联电阻减小地电位波动。
- ④ 减小过冲。
- ⑤ 增强了信号质量/完整性。

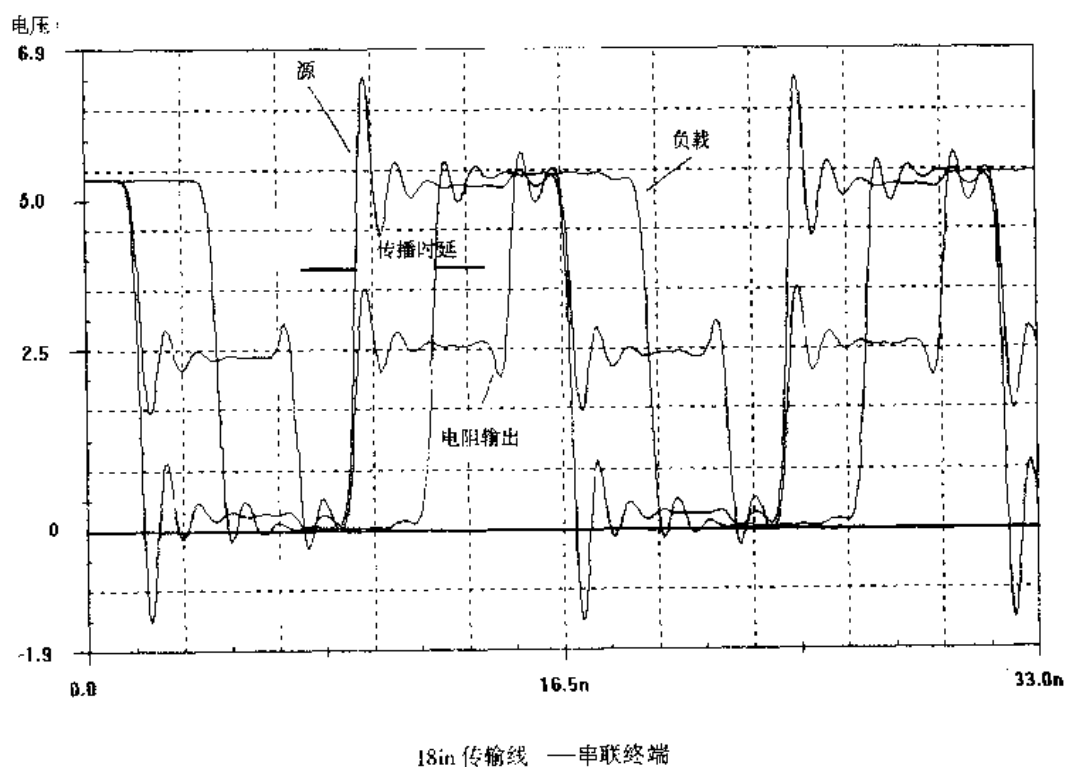
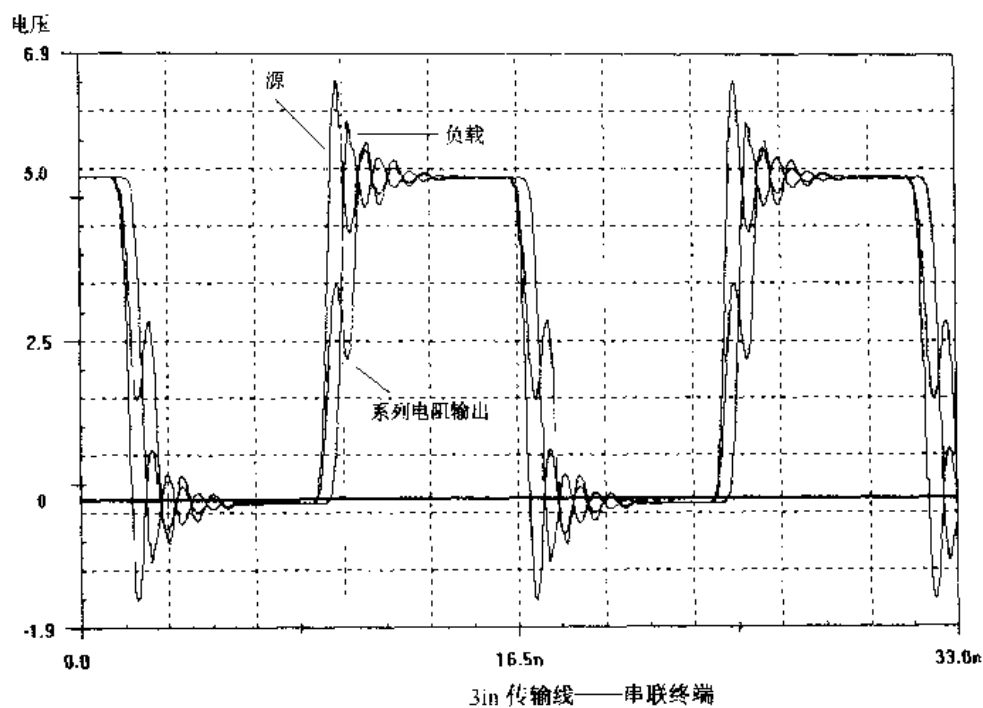


图 8.6 串联终端仿真曲线

⑥ 极小化功率耗散。

⑦ 使从公用源(如图 8.7)来的多个端接负载的分布容易实施。

(2) 串联终端的缺点

① 当 TTL 与 CMOS 器件在相同的网络上出现时,串联终端不是最佳选择。

② 当驱动分布负载时,通常不能使用串联终端,因为在走线路径中间,电压仅是源电压的

一半。在走线中间的器件直到时钟周期之后很久才能得到合适的电压值。

③ 对串联终端, 尽管串联电阻可与并联电容一起使用, 从而降低下降沿时间, 延长器件间隔反射的传播时间, 但串联链拓扑是不合适的。所有负载必须设置于走线路径的末端。如果器件置于源及负载间的某处, 将由于不合适的电压参考电平, 出现波形失真, 并伴有可能存在于信号传输路径的中间段的反射。

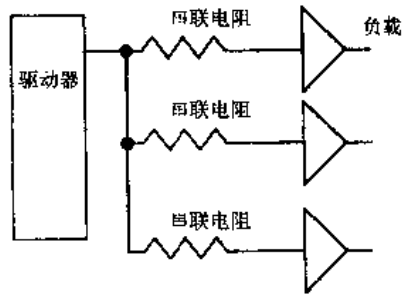


图 8.7 从公共源来的多端接负载分布

8.2.3 末端终端匹配

当走线路径上有多个负载时, 必须设置末端终端。多个源驱动器可以连接到总线结构上或串级链上。可在布线网上的最后一个器件处设置末端终端。

概括以下要讨论的内容:

- ① 所关心的信号以全额电压和电流值沿着传输线传输, 而没有衰减。
- ② 被传送的电压信号在负载端接收到。
- ③ 通过匹配的线路终端消除反射, 因此降低过冲电压及衰减振荡。

当把末端终端放在 PCB 上时, 注意选用正确的方法。正确和错误方法的区别如图 8.8 所示。无论所选方法如何, 终端必须在走线的最末端出现。为讨论方便, RC 方法示于该图中。

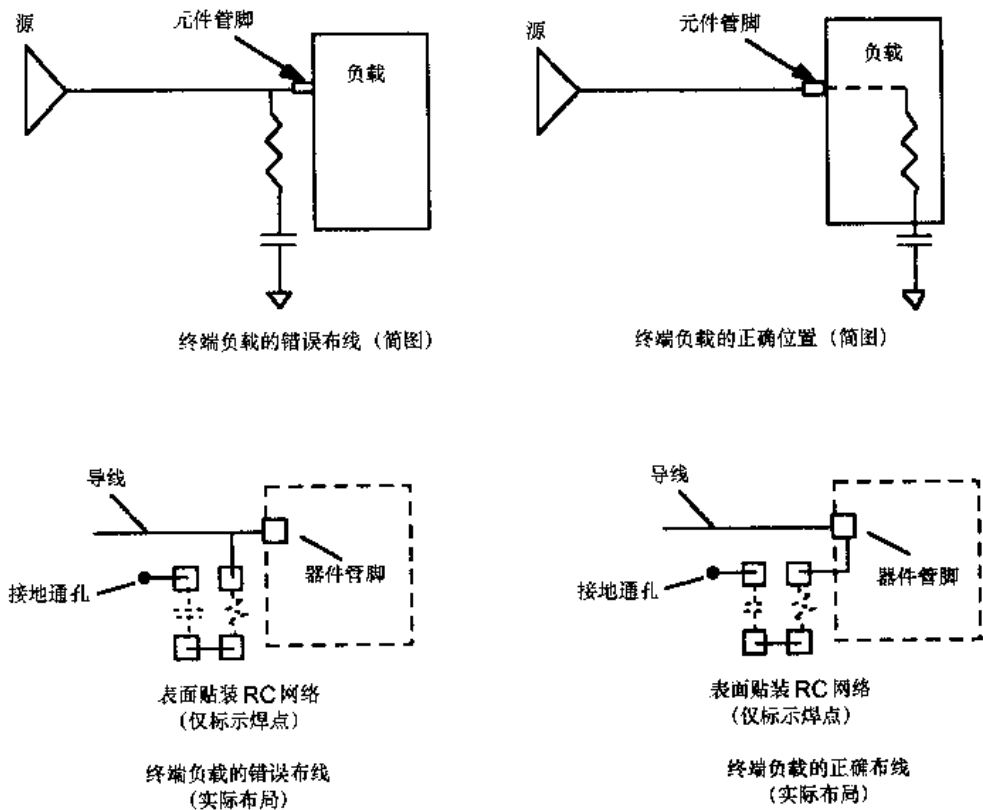


图 8.8 PCB 上终端的位置

下面论述上升沿速率退化效应的影响。

当在走线路径的末端终端匹配时,研究结果给出了上升沿速率效应,为此使用图 8.9 所示简单的方法和电路。这一电路用戴维宁等效电路来模拟。接收器对传输线来说以电容性负载的形式出现。对这一简单电路,网络阻抗的戴维宁等效为 $Z_0/2$,假设 $R_s = R_L$,其实在实际中并非如此。电容器代表接收器的输入端并联电容。

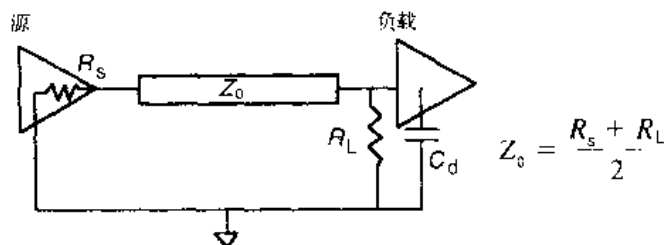


图 8.9 终端的等效电路

当用末端终端时,时间常数或称上升沿速率的退化类似于方程(8.5),只是电路阻抗变为 $Z_0/2$,如方程(8.7)所示。

$$\tau = RC = Z_0 C / 2 \quad (8.7)$$

同样,类似于对 RC 滤波器的 10% ~ 90% 的上升时间用方程(8.6),上升沿时间退化可决定实际上升时间的退化为:

$$t_{(10 \sim 90)} = 2.2 Z_0 C / 2 = 1.1 Z_0 C \quad (8.8)$$

对于式(8.8),上升沿速率退化的差值假设为串联或源终端的一半,这种近似是由于网络内的容差和变化。对系统的关键网络,定时偏离非常重要,同步工作必须保证,末端终端可能是一种更好的选择。

8.2.4 并联终端

简单的并联终端,由在走线路径的终端连接单个电阻构成(如图 8.10),这一电阻 R ,必须(具有)等于走线或传输线所要求的阻抗。电阻的另一端与参考源共地。并联终端给信号增加的传播延迟比较小,附加在网络中的 $Z_0 C$ 时间常数,见公式(8.8)所述。该等式包括网络的总阻抗。终端电阻仅是阻抗中的一部分,总阻抗 Z_0 是终端电阻、线路阻抗及源输出阻抗的合成。在方程中变量 C 是负载的输入旁路电容。

并联终端的缺点是该方法消耗 DC 功率,因为电阻一般在 $50 \sim 150\Omega$ 范围内。在要求比较高的器件负载或在功率消耗要求高的场合,例如电池供电的产品(如笔记本电脑),并联终端是最坏的选择。驱动器将电流送到负载上,驱动电流的增加将使电源所提供的直流功率消耗增加,这在电池供电产品中是应该避免的。

简单的并联终端(仅是电阻性的)很少用于 TTL 或 CMOS 设计中。这是因为在高逻辑状态,要求大的驱动电流。当源驱动器切换到 V_{CC} 或逻辑高时,驱动器必须给终端电阻提供 V_{CC}/R 的电流。当处在逻辑低状态时,不存在驱动电流。假设传输线具有 55Ω 的电阻,对于 5V 驱动信号所要求的电流为 $5V/55\Omega = 91mA$ 。几乎没有驱动器可以提供那么大的电流。TTL 驱动在逻辑低状态比逻辑高状态要求更多的电流,CMOS 在高、低逻辑状态提供同样大小的电流。

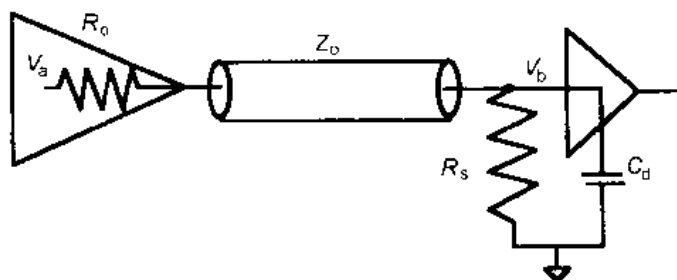


图 8.10 并联终端电路

因为并联终端在驱动器处于高逻辑状态时产生直流电流通路,因此产生过量的功率消耗及电压 V_{OH} 衰减。驱动器的输出总是在变换,因此终端电阻消耗的 DC 电流必然存在。在高频时,交流开关电流为总电流中的主要部分。当用并联终端时,设计者应考虑多少 V_{OH} 电压降低是可接受的。

当用并联终端时,示波器上看到的结果应该是与串联终端时相同。因为无论使用哪种终端匹配方法,正确端接的传输线应具有相同的响应。这种效应将在本章中提供的各种终端匹配方法图找到。

当用简单的并联终端时,应提供给负载简单的下拉电阻。当驱动分布负载时,允许产生快速电路特性。这个电阻具有 Z_0 值的阻抗,等于走线及源驱动器的特性阻抗。电阻的另一端连到参考点上,通常为地。对 ECL 逻辑器件,参考基准为功率。走线上的电压值由式(8.9)描述。在 PCB 的叠层包括 Omega 层,通常用并联终端。Omega 层是多层结构中的单层,用光阻材料及激光腐蚀的铜板形成所要求的电阻值。这种终端方法极其昂贵,仅在高技术产品中使用,这里器件密度很高,所以大的器件引线很占物理空间,几乎没有地方放成百甚至成千的分立终端电阻。

$$\Delta V_a = \Delta V_b \left(\frac{Z_0}{R_0 + Z_0} \right) \quad (8.9)$$

具有附加器件的长走线将影响源驱动器信号的传播延迟,其讨论见第 7 章。

1. 并联终端的分析

沿着用并联终端的线路的整个长度方向,可得到几乎不失真的波形,类似于同轴线。如果所设置的网络具有多个接收器和驱动器,将发现传播延迟增加,这是由于连接到该网络的所有器件提供了附加的集总电容。如果输入并联电容为 5pF ,网络上有 6 种器件,则在源驱动器上出现 30pF 的总电容。由于走线特性阻抗和集总电容,信号将发生延迟,其时间常数 $\tau = 1.1 \times Z_0 C$ 。我们发现在驱动器输出端的信号具有预期的过冲与衰减振荡。负载上的信号对系统性能来说是可以接受的。

对含串联终端的部分传输线,传播延迟的讨论结果对含并联终端的网络同样适用,在源和负载之间 18in 长的走线中,很容易观察到传播延迟。图 8.11(18in)所示为用 3in 和 18in 走线的并联终端的情形。无论选择何种终端匹配方法,适当终端的传输线结果将是相同的。图 8.11(18in)所示的情形与图 8.6(18in)的情形基本相同。有关信号微带线的传播延迟的相同的讨论也同样可用于并联终端。

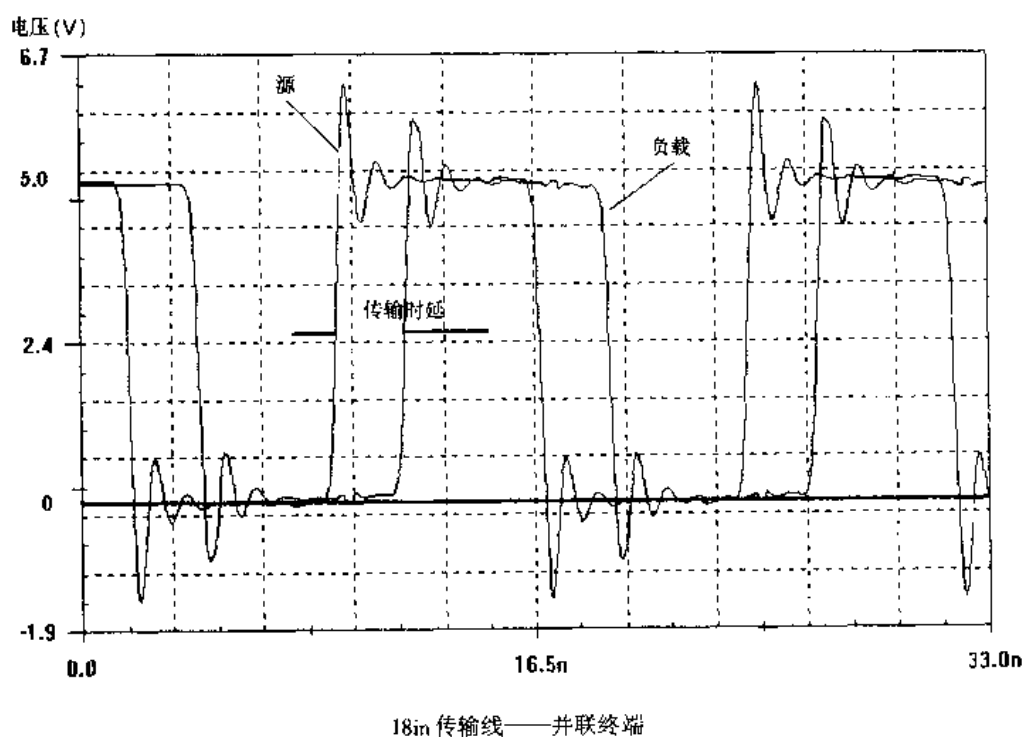
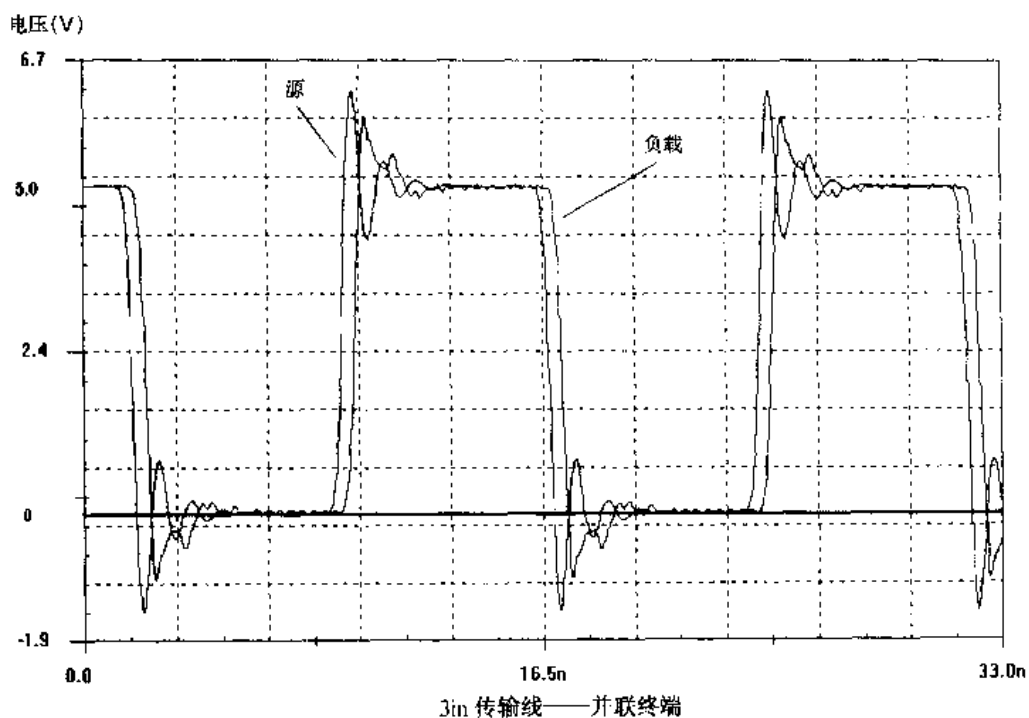


图 8.11 并联终端仿真曲线

2. 何时用并联终端

(1) 并联终端的优点

- ① 可用于分布负载；
- ② 全吸收传输波以消除反射。
- ③ 当无驱动线路的信号时，设置线电压值。

④ 当分布负载用于走线路径的终端时,并联终端对总线非常适合。

(2) 并联终端的缺点

① 增加功耗。

② 减小噪声容限,除非驱动器可给大电流电路提供电流。

8.2.5 戴维宁网络

戴维宁终端与并联终端相比具有一个优点。戴维宁终端提供一种连接,这种连接通过一个电阻连到电源端,另一电阻连到地(见图 8.12)。不像并联终端,戴维宁终端允许优化逻辑高与逻辑低之间的电压变换点。当用戴维宁终端时,在选择电阻值时的重要考虑就是避免设置不合适的负载电压参考电平,该电平用于高、低逻辑变换点。

$R1/R2$ 的比值决定逻辑高和低驱动电流的相对比例,设计人员通常随意地采用 220/330 的比值(并联终端 132 Ω)以驱动总线逻辑。如果逻辑系列的转换点不同,则决定电阻比值可能比较难。尤其当用 TTL 和 CMOS 门电路时更是如此。1:1 的电阻比(例如 110/110 Ω 产生一 55 Ω 终端值或走线的特性阻抗 Z_0),将限制线路电压于 2.5V,因此对一定逻辑器件允许有无效的变换值。所以,戴维宁终端对 TTL 逻辑是最佳选择,而对 CMOS 不是。

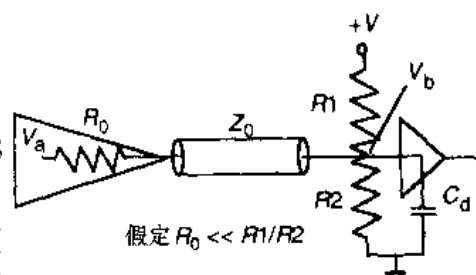


图 8.12 戴维宁终端电路

戴维宁等效电阻必须等于走线的特性阻抗。戴维宁电阻将对走线上的信号提供电压分配,为了确定所要求的合适的电压参考,我们应该用方程(8.10)

$$V_{\text{ref}} = \frac{R2}{R1 + R2} V \quad (8.10)$$

其中, V_{ref} 为输入负载所要求的电压值; V 为电压源; $R1$ 为上拉电阻; $R2$ 为下拉电阻。

对戴维宁终端电路:

(1) $R1 = R2$, 对高、低逻辑的驱动要求均是相同的,这种设置对一定的逻辑系列可能是不能接受的。

(2) $R2 > R1$, 逻辑低对电流的要求比逻辑高,这种设置对 TTL 和 CMOS 器件将不能工作。

(3) $R1 > R2$, 逻辑高对电流的要求比逻辑低,这对大多数设计是更合适的选择。

按这些限制,不能超越 $I_{OH\text{max}}$ 或 $I_{OL\text{max}}$ 这一条件必然存在,因为 TTL 和 CMOS 在低状态吸收电流,在高状态输出(负)电流。正电流指进入器件的电流,而负电流指离开器件的电流。ECL 逻辑器件在两种逻辑状态输出(负)电流。

选择合适的终端比,对逻辑高和低状态,将出现优化的 DC 电压值。用并联终端比用戴维宁终端好的原因在于并联终端所用的元件数少一个。如果将并联终端与戴维宁终端的效果进行比较,我们注意到两种终端方法提供相同的结果。终端匹配的走线总是显示相同的结果,而与终端匹配的方法无关。

因为在高状态要求大的驱动电流,所以几乎不用戴维宁终端。图 8.13 中的结果表明一个几乎完善的波形及所期望的负载端信号上的延迟。图 8.13 表明接有 3in(电短)及 18in(电长)

走线的驱动器输出端信号期望的过冲与衰减振荡。

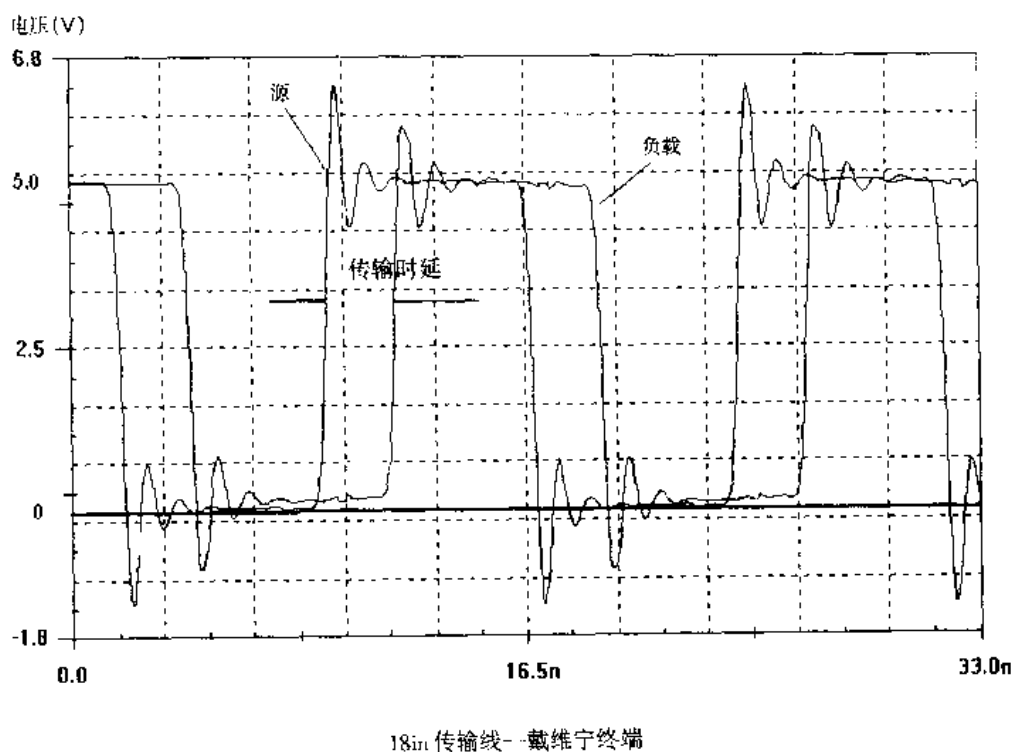
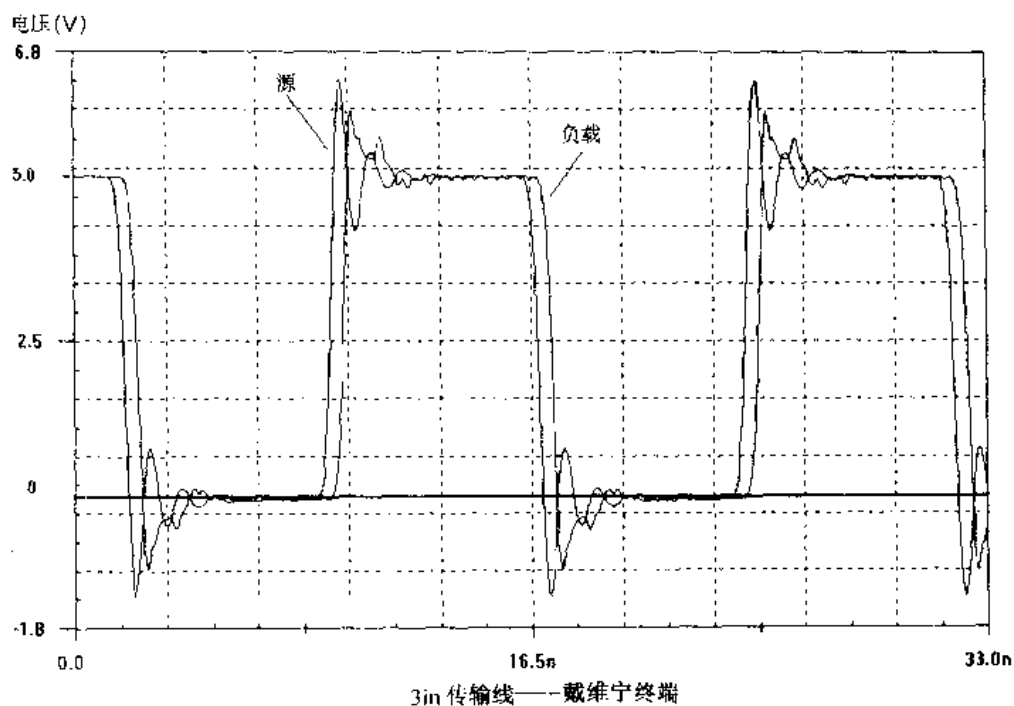


图 8.13 戴维宁终端仿真曲线

1. 戴维宁终端的分析

用戴维宁终端时,沿着线路的总长度方向将出现一个接近不失真的波形,类似于并联终端时的情形。在具有多个接收器及驱动器的工作网络的总线上将出现延迟增加的现象,这是由于连接到网络上的所有器件提供了附加集总电容。就像用并联终端一样,走线的特性阻抗及

集总电容,将引起信号延迟,时间常数为 $\tau = 1.1 \times Z_0 C$ 。这种延迟在走线中易于发现,如图 8.13 在负载上的情况。我们也可以看到在驱动器输出端信号曲线总是存在典型的衰减振荡。负载上的信号对于系统性能来说是可以接受的。

对图 8.11 并联终端与图 8.13 戴维宁终端的精确验证表明二者具有相同的图形。为找到差别(不同点),将负载上的波形与图 8.4 中无终端的走线上的波形相比较。

结果表明无论选择哪种终端方法,合适的终端匹配的传输线的效果将是相同的。图 8.13 (18in 走线)几乎与图 8.6 和 8.11(18in 走线)相同,有关信号微带线的传播延迟的讨论也适用于并联终端。

2. 何时使用戴维宁终端

(1) 戴维宁终端的优点

- ① 在整个网络上可与分布负载一起使用。
- ② 可完全吸收发送的波而消除反射。
- ③ 当无信号驱动线路时,设置线路电压。
- ④ 尤其适用于总线使用。

(2) 戴维宁终端的缺点

- ① 增加功率消耗。
- ② 减小噪声容限,除非驱动器可给大电流电路供电。

当驱动器输出高时,如 5.0V,下拉电阻为 330 Ω ,这一电阻必须吸收 $5.0\text{V}/330\Omega = 15\text{mA}$ 的电流。若驱动器不能提供这么大的电流,电压的高值 V_{OH} 将下降,噪声容限 ($V_{IH} - V_{OH}$) 也将下降,在总线两端上用 220/330 Ω 的电阻,驱动器必须提供加倍的电流 30mA。

例:背板的应用

在一个典型的 TTL 背板上,在更外层上用(微带)走线布线(图 8.14),总线一端用 220 Ω 的电阻接到电源,另一端用 330 Ω 的电阻接到地上。两端必须终端匹配,因为源驱动器可能置于总线上的任何位置。这一 220/330 Ω 的连接提供 132 Ω 的终端,这是置于背板上部件 PCB 走线的典型值,用这一终端匹配方法,要求使用大电流总线驱动器。

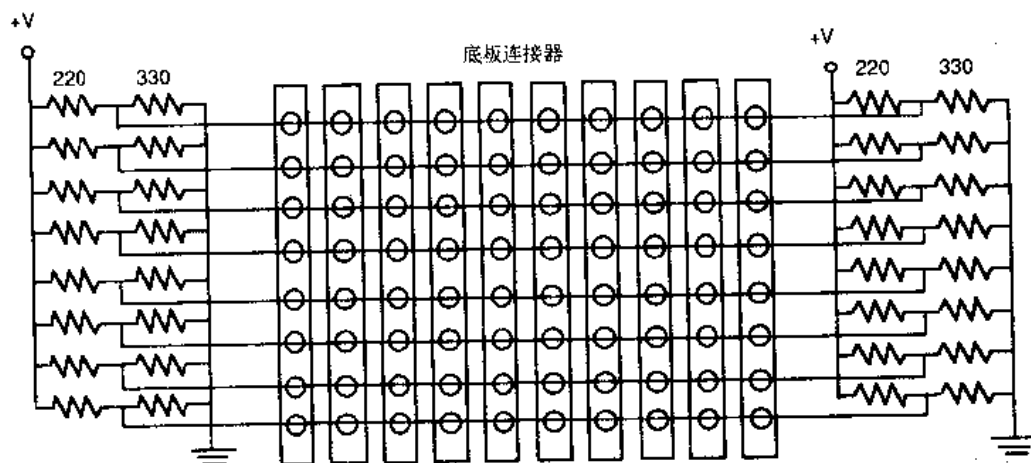


图 8.14 背板终端的实现

8.2.6 RC 网络

RC(也称为 AC)终端匹配方法在 TTL 及 CMOS 系统中均应用得很好。电阻与走线(与并联终端相同)的特性阻抗相匹配。因为源驱动器不为终端提供驱动电流,电容保持信号的直流电压值。结果,因为电容将允许 RF 能量(AC 波,而不是信号的 DC 逻辑电平)通过,AC 电流(射频能量)在开关状态流入大地中。尽管由于 RC 时间常数出现微量的传播延迟,但存在(具有)比并联或戴维宁终端更小的功率。从电路的观点看,所有三种终端匹配方法均是相同的,主要区别在于功率消耗,用 RC 网络终端,消耗的功率远小于其它两种。

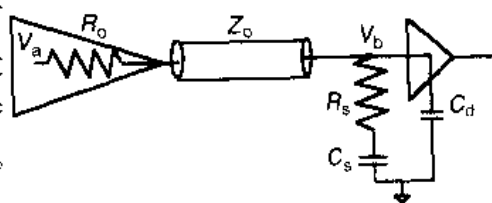


图 8.15 RC 网络电路

终端电阻应该等于走线的阻抗 Z_0 ,而电容通常非常小(20 ~ 600pF)。RC 网络的时间常数必然大于两倍的负载传播延迟时间(往返行程时间)。这一时间常数大于两倍的负载传播延迟,是因为信号传播从源到负载,然后返回。它每趟占用一个时间常数,故总共需要两倍时间常数。如果我们使时间常数略大于总的延迟($\times 2$),则反射将极小或消除。RC 终端在包括与总线类似的布线中应用很出色。

为确定电阻和电容的合适值,方程(8.11)提供了一个简单计算公式,其中包括往返行程的传播延迟 $2 \times t'_{pd}$

$$\tau = R_S C_S, \quad \text{在此 } \tau > 2 \times t'_{pd} \quad \text{对最佳性能} \quad (8.11)$$

图 8.16 所示为 RC 终端的结果。集总电容(C_d 加 C_S)影响信号的上升沿速率,使负载上出现更慢的信号。

如果来回的传播延迟是 4ns,RC 必须大于 8ns。用已知的往返传播延迟计算 C_S 。传播延迟在第 6 章中讨论,对实际所要求的传播速度,用 ϵ_r 的值表示介电材料是合适的。

注意:在电路计算中考虑电容的自谐振特性,对避免在导致电路中引入串联电感是非常重要的。

1. RC 网络的分析

像并联网络及戴维宁网络一样,沿着线路的总长度将观察到一个接近不失真的波形,无论采用哪种终端匹配方法,最佳终端匹配将在负载上提供一个干净信号。

对高速信号的射频元件而言,走线上将出现可看作 AC 短路的电容。因为电阻与走线阻抗匹配,反射波被无反射地全吸收。电容阻断了直流电流这样从电阻到地之间无功率损耗。电容也防止直流噪声界限被侵蚀,因为在电阻上无 IR 降落。此外,RC 网络也起低通滤波器的作用,从而消除信号走线上可能出现的低频干扰。

2. 何时用 RC 网络

(1) RC 终端的优点

- ① 可在分布负载及总线布线中使用。
- ② 全吸收发送波,以消除反射。
- ③ 具有低的直流功率损耗。

(2) RC 终端的缺点

- ① 可使非常高速的信号速率降低。

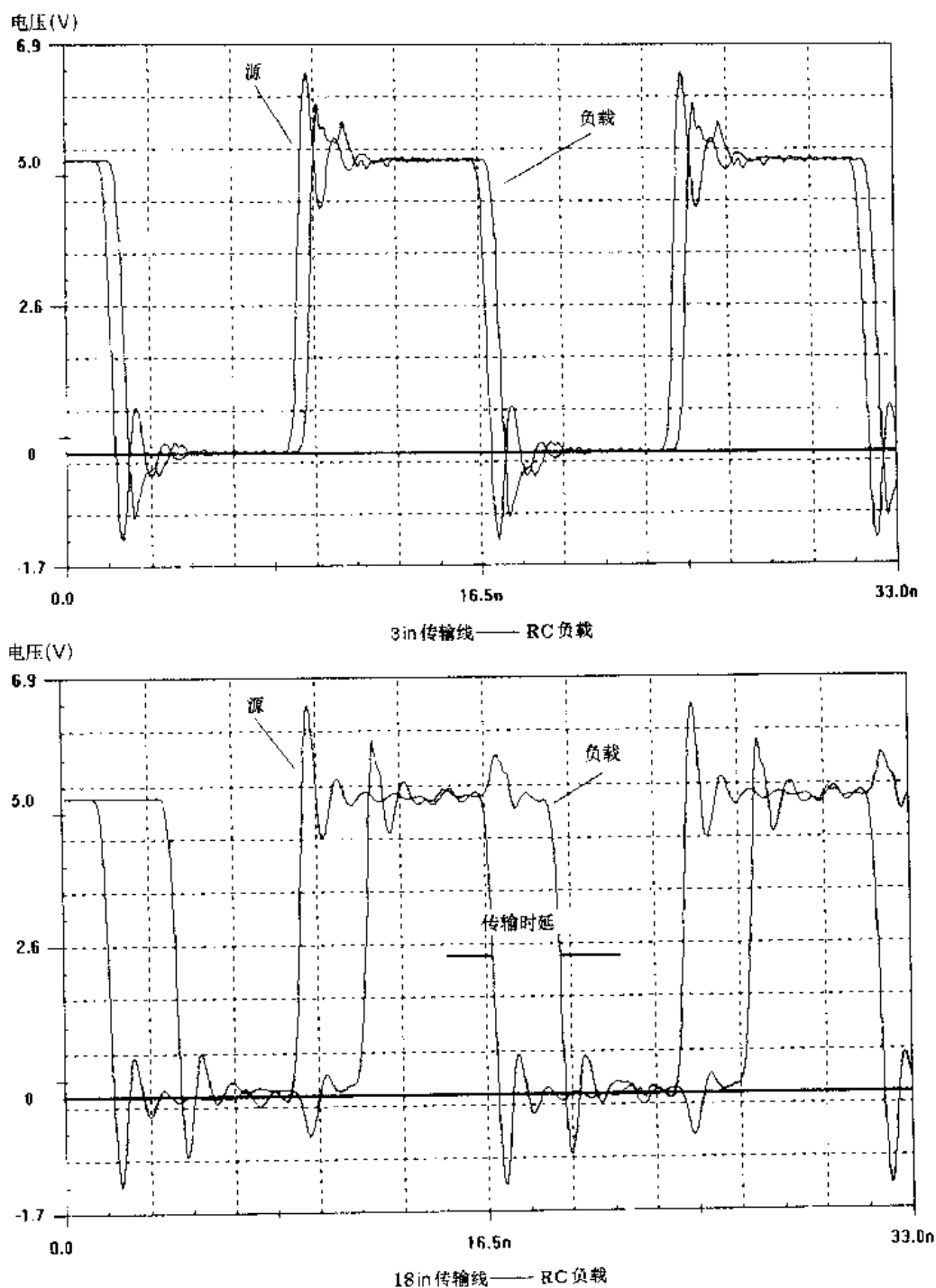


图 8.16 RC 终端仿真曲线

② 由于 RC 网络的时间常数,可能产生反射,所以对高频、快速上升沿的信号应多加考虑。

当存在差分对信号时,大量使用 RC 终端。这种终端方法如图 8.17 所示。适合该电路的任何终端方法都可以加以使用——RC、并联、戴维宁或串联。对所示实例,RC 网络仅要求 3 个元件。电容防止功率消耗,除对关心的信号维持合适的电压参考外,这些元件有相近的容差,以避免不匹配,并保证每对信号等值。

8.2.7 二极管网络

这种终端方法常用于差分或成对网络,简图(原理图)示于图 8.2,二极管常用于在提供低功率耗散时限制走线的过冲。这种二极管网络的主要缺点在于其对高速信号的频率响应。尽管在接收器的输入端过冲得到预防,但反射仍然存在于走线中,因为二极管不影响走线阻抗或吸收反射。为了获得两种技术的优势互补,二极管可与这里讨论过的其它方法联合使用以使反射问题

极小化。主要缺点在于大电流反射,它伴随着这种终端网络而出现。然而人们应该明白,当二极管箝位一个大的脉冲电流时,这种电流可以传播到地平面中,因而增加 EMI!

各种终端方法的优、缺点总结比较见本章末。

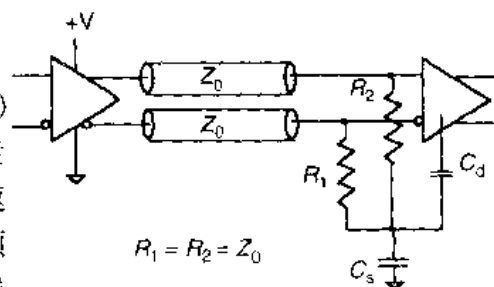


图 8.17 差分对走线连接的 RC 网络

8.3 终端噪声与串扰

多个终端可以在一个封装内,而不用作分立元件。这些封装可以是单列直插式组件,也可以是双列直插式组件或具有共用电源或接地引脚的其它配置。这种共用引脚可能包含不希望有的引线电感,当一个从高到低,或从低到高的逻辑变换出现时,它可能影响信号的功能性,同时引起 RF 电流。

存在电感效应,描述为 $L = dI/dt$,由于这一固定的电感值,浪涌电流将在所有这些终端上同时出现。这一电流浪涌可能引起信号(跳动)波动产生,类似于电源/接地平面中的地电位波动。如果这种波动足够严重,其功能性就值得考虑。为使在同一封装内的多个终端的波动效应最小,建议应用具有分立电源和地引脚以及内部去耦的封装设计。

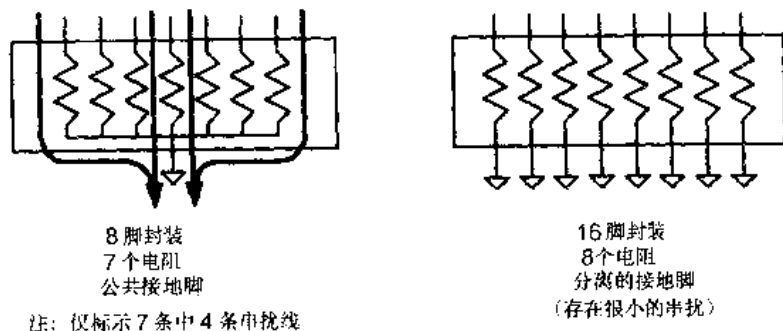
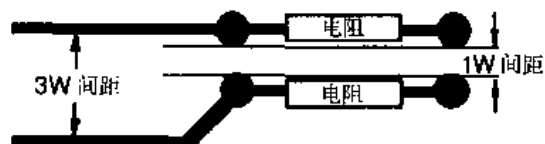


图 8.18 一个终端封装中的共享管脚

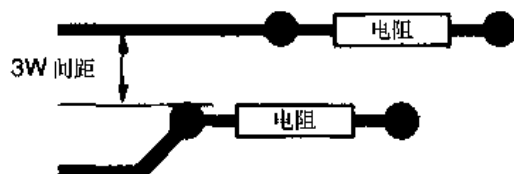
典型终端封装配置中的区别在于图 8.18。当存在一个公共的接地引脚时,根据内部的生产过程,公共电流通路在封装内的电阻之间引入大量的互感。这一公共电流通路使内部的终端产生串扰。

设计人员应在设计和布置 PCB 时应使信号走线之间产生的串扰极小化,并防止 RF 电流的相互耦合。串扰考虑在布线设计中具有重要作用,不要忘记终端可能产生串扰。

信号完整性和串扰的讨论见第 7 章。由于走线间、走线到平面及走线到器件间电容和电感耦合的结合,出现串扰。电容与电感耦合是对将存在的总串扰的添加剂。



不正确的终端电阻的实现方法(没有按比例画出)



改进的实现终端电阻的技术(没有按比例画出)

图 8.19 终端电阻之间的串扰

为使走线间的串扰极小化,用 3-W 准则(其讨论见第 7 章末)。怎样在终端实现中实施 3-W 准则,图 8.19 说明常用的设计大意。

终端可在电路走线间交叉耦合 RF 能量。这种交叉耦合可能比在两相邻传输线间出现的自然串扰更严重。终端中的串扰来自互耦电感和电容。电感耦合常常占优势。耦合总量是两部分之和。

8.4 多终端效应

印刷电路板上的两个或多个终端可能出现功能性问题。这是由于双终端对电路呈现的附加效应。在布线中,有时希望在 PCB 上放置一些元件焊盘,这可使我们基于原型构造在测试基础上选择终端匹配的方法。尽管布线时允许选择最佳终端匹配方法,但是如果在元件安装期间不小心,或者返修人员在焊盘安装器件时没考虑这些器件是否属于材料清单中规定使用的,就还会出现问题。当提供多种安装设置时,设计者可使用串联、并联、戴维宁或 RC 终端匹配。说明设计工程师如何出于实验目的确定终端匹配方法的实例示于图 8.20 中。

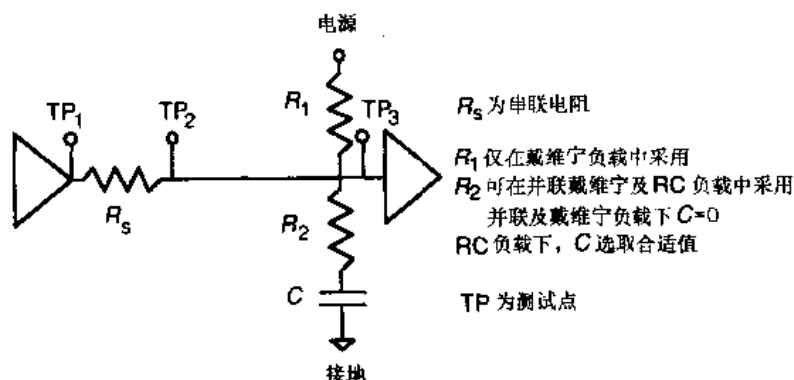


图 8.20 在 PCB 布线期间提供可选择的终端

下面来看一下现实情形——用双终端(会出现什么情形)。

如果预期性能恶劣,为什么某些人对走线双端进行终端匹配呢?假设产品在遥远的开阔试验场进行检测,只有一个企求就是使产品通过辐射发射的要求。对所有可能的终端匹配方法都提供安装焊盘。在返修工具箱中,是 0Ω 电阻及各种其它可选择的电阻及电容。这些元件用于返修这一电路板(在辐射场中),诸如去掉串联终端或将 RC 终端转变为并联终端以使其更好地匹配走线阻抗及增强信号的功能性。使用所有这些元件的目的均是为使产品按设计要求工作。

例如,在 PCB 的上面为串联终端匹配器的元件布置焊盘。在兼容性试验中,出现辐射发射。用 33Ω 的电阻代替 0Ω 的串联电阻。同时提供一个端部终端匹配,位于板的底层,一般难以检查到,测试工程师也不知道。测试工程师可能不知道用的是哪类终端匹配,甚至不知道是哪一类终端工作或怎样工作。使用 33Ω 的串联电阻,辐射发射兼容性得以满足。这种返修工作应包含在产品的生产中。产品经常没有经信号完整性工程师进一步研究就被发送给用户,因为一般厂家把产品的收入放在首位,而功能性放在第 2 位,尤其在产品供应滞后于预定的交货期时。

许多工程师在研究 EMC 问题时仅使用频谱分析仪。如果足够高带宽的示波器与频谱分析仪结合使用,信号完整性问题可能会很容易找到,相关问题也会很快定位。大多数工程师根据自己的习惯,或使用频谱分析仪,或使用示波器。很少有工程师对元件、网络或电路的时域或频域性能都进行考虑。当产品管理要求上周发货但被迫推迟时,常无法再研究终端变化的影响,因为眼前的收入与合适的工程分析相比,产品供应商将前者看得更重。

为说明实际中使用双终端出现的情况,举一个实例,多个元件串联在 $18\text{in}(45.7\text{cm})$ 的走线上, 0.8ns 上升沿,在走线路径上具有分离元件,图 8.20 说明这一电路。在图 8.21 中,说明用 SPICE 仿真的 PCB 上的双终端效应。该走线是电长的。第 6 章中定义的每种电长走线都要求终端匹配。

对并联终端或戴维宁终端,我们可以得到具有独立逻辑状态的 $1/2V$ 的电平。 $1/2V$ 的电平由串联电阻产生。负载端衰减振荡最小,接近于完整信号。然而,注意到一个有趣的情形:对具有串联电阻的并联终端,在由低到高变换状态时,负载上的电压值为 $1/2V$ 。显然电路不能按设计的工作,尤其如果在线路网上存在混合逻辑时。对戴维宁网络,也会出现同样的结果,除非电路在由高到低的变换状态。

对 RC 网络,发现更具戏剧性的效果。作为终端匹配的结果,串联电阻像预期的那样呈现 $1/2V$ 的电压。在这一点上,电阻的输出看上去与信号光滑变圆相同,这一变圆从 $\tau = RC$ 时出现,这里 τ 为变圆的时间常数, R 为终端电阻, C 为网络的总的并联电容。负载在逻辑高状态时收到一干净的信号,但代价是上升沿慢得很多。如果负载的定时要求不严格,信号的回波将大大增强 EMI 性能而不影响信号的完整性,因为电容器上保存着走线上信号的 DC 电压值,因此不会出现像并联及戴维宁终端使用串联电阻的双向终端时出现的那种电压下降。

像人们发现的那样,双向终端可能并将引起与功能性有关的问题。那么在设计中必然不用双向终端,除非彻底理解信号完整性与 EMI 是如何发生的。

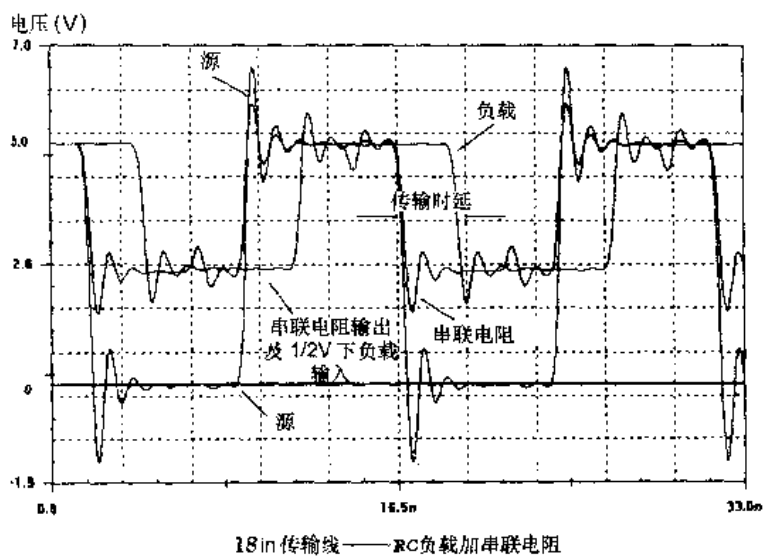
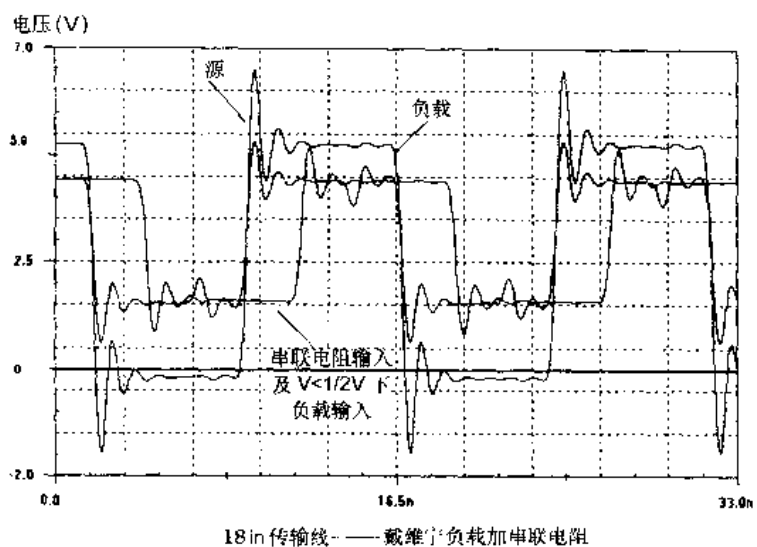
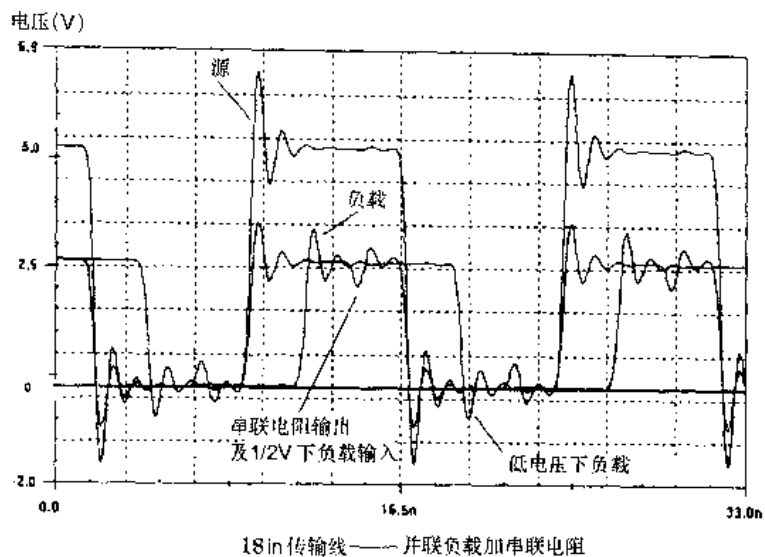


图 8.21 双终端的仿真效果

8.5 布线

工程师和设计人员有时列出周期信号及时钟信号的顺序图以便易于布线。除非负载间的距离比较小(相对于信号上升时间的传播长度),反射可能从串联的走线中产生。有时串联冲击信号的质量及 EMI 频谱能量的分布达到不能工作或不兼容的地步。因此,对快速上升沿信号及时钟采用辐射状连接好于采用具有单个公共驱动源的网络串联级链。每个元件应该具有依据其特性阻抗终端匹配所决定的走线,如图 8.22 所示。因为驱动器通常不能承受终端负载上的总电流,所以在走线终端用并联及戴维宁终端几乎是不可行的。

为了防止负载不匹配引起的不希望有的影响,要求终端匹配。可采用五种终端匹配方法(本章前半部分讨论过)。选用哪种方法取决于布线几何结构的复杂性、元件数目以及功率消耗大小。当驱动器过载时,如果终端匹配使用不当,可能引起走线衰变。

如果存在一电长信号走线,这一走线必须正确地实现终端匹配。长线一般要求应用大电流驱动元件。在戴维宁等效时人们应该计算终端电阻的值或走线的特性阻抗值。一般不允许使用 T 型短线或分叉线。如果必须使用 T 型短线,最大可允许的短线长度不能超过 $T = L_d^{1/10}$, 其中 L_d 是走线的设置长度,从中心引线的每个“T”的长度必须相同。在 T 型短线中,每个 T 型端接器件的电容和负载特性都应准确相等。

因为设置或布线的考虑,如果要用 T 型短线,它必须尽可能地短。CAD 系统的测量特点可用于测量走线的长度。如果可以,我们应该蜿蜒地设置更短的走线,直到它准确等于计算的走线长度为止。

用 T 型短线的的一个潜在的也是致命的缺点在于须后续修改布线图。如果不同的设计工程师或 PCB 设计师不知道 T 型短线的应用知识,而在重新修改或设计中改变了布线或设置,则对走线来说,可能发生电路故障,并埋伏了潜在的 EMI 或功能性问题。

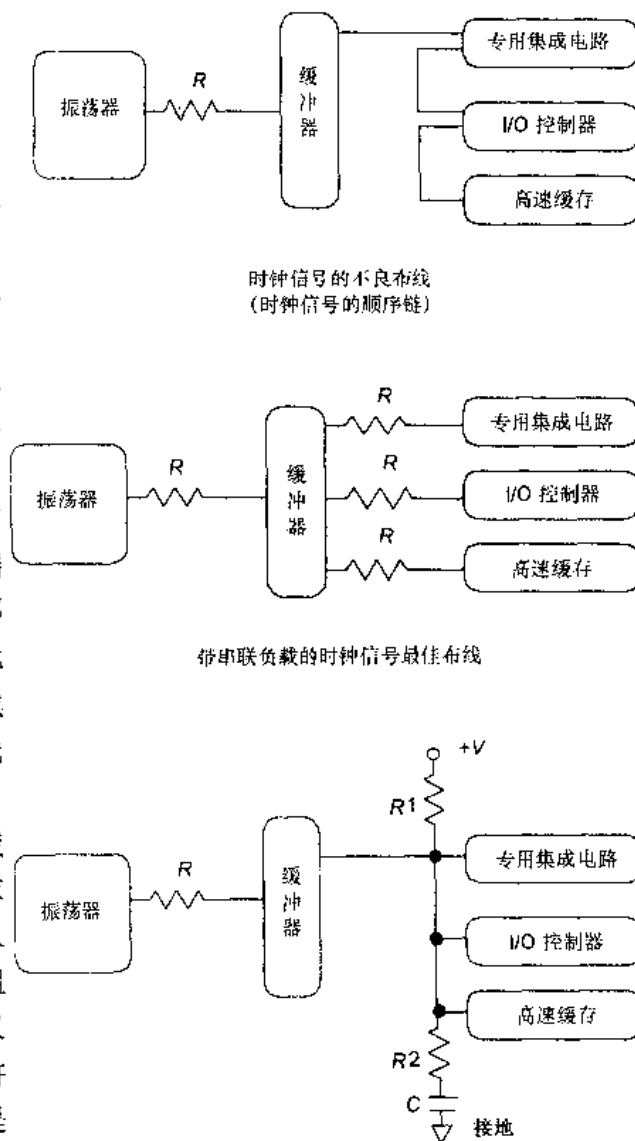


图 8.22 时钟走线的终端

8.6 分叉线路

分叉线路的另一术语是 T 型短线,当走线从驱动器分裂为多个分支时出现。分叉拓扑的一个实例如图 8.23 所示,并辅以推荐的终端方法。

分叉线路的阻抗在整个走线路径上不是常数。假设,从点 A 到 X 的走线的阻抗为 50Ω ,则从点 X 到点 B 分叉线的阻抗必然是 $2Z_0$ 。这是因为,在本例中,两走线并联工作,每个具有 100Ω 的阻抗。两走线的并联阻抗将为 50Ω ,这正是网络所要求的阻抗。因为各路分叉走线目前是 100Ω ,每个 100Ω 的终端是唯一实际的终端方法。为了使用并联终端,驱动器必须能够对网上的多个负载提供足够的电流。

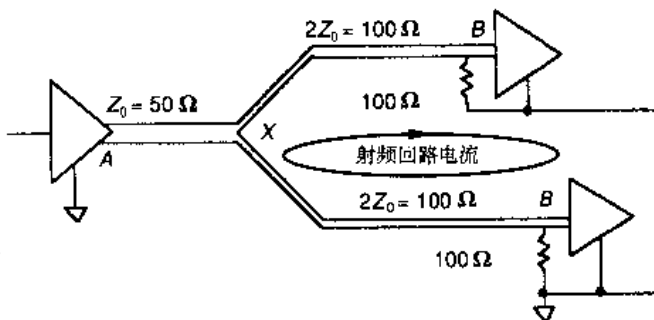


图 8.23 二分支走线举例

如果提供合适的终端匹配,将防止可能出现的反射和衰减振荡。如果不提供终端匹配,将发现在 X 点阻抗不连续。这种不连续性在源驱动器点 A 处将引起衰减振荡。必须在走线路径的末端提供终端匹配,如图 8.8 所示。

如果分叉路径必须出现,当分裂走线阻抗必须是 $2Z_0$ 时,怎样在 PCB 内建立一优化的设计呢? 对 PCB 设计师来说,适用的简单的设计技术就是使走线宽度小于原来从 A 到 X 的走线的宽度。这对大多数应用来说几乎不可能,因为走线的线条宽度已经接近于非常小的尺寸。为增加走线阻抗,必然使走线更窄,其在大多数情形比 PCB 制造商所能完成的生产工艺还要小。

分叉线的另一个问题在于在网络中产生的 RF 环流。如果一个分叉的走线信号被设置在与其它分叉走线不同的走线平面上,则由于两种走线具有不同的 0V 回路平面,将产生 RF 环流。当出现此情形时,将产生一个潜在的大环流区域,同时辐射将增加。

总之,分叉线或 T 型短线对信号完整性及 EMI 兼容性方面来说均不是所希望的。

8.7 小结——终端匹配方法

不同的应用场合,需采取不同的终端匹配方法。不同的终端匹配方法,各有其优点及缺点。根据电路设计师的要求,选择能为大多数电路(CMOS 或 TTL)设计提供最优性能的终端匹配方法。下面为本章前面描述的终端方法的简要总结。

(1) 串联终端对点到点的走线(在网上只有一个负载)路径是最佳的,此外,串联终端对那些相对于时钟频率(t_{pd})电短(从源到负载及从负载到源所用的传播时间少)的走线工作得很好。串联终端也可用于减慢上升沿的时间,从而使信号路径中传播不连续性的影响降到最低。此外,采用该法使得用分离的传输线从公共源辐射状引出多个负载,不影响网络中的其它电路。

(2) 并联终端对具有快速时钟/脉冲的总线及点到点的网络是首选的。

(3) 如果在相同的网络上既有 CMOS 又有 TTL,则由于存在于 HI 及 LOW 状态的减小的电

压降,戴维宁网络是难以实用的。

(4) RC 网络可提供好的信号质量,但其代价是增加元件。由于在阻抗匹配不佳及上升沿速率降低时电路存在有限的阻尼,使其在高频及时长走线也存在缺点。

(5) 双终端使信号功能性降级,在没有完全了解其后果的情况下不应使用。

当 PCB 上的走线没有终端匹配时会发生什么情形呢?

(1) 可能有 100% 的正信号反射,导致在源驱动器处信号幅值加倍。由于过压,这可能引起元件破坏。

(2) 在源驱动器端信号可能有 70% ~ 80% 变为负值,其将影响电路的功能和电路的噪声限值。

(3) 离驱动器一定距离处的负载可能会被具有触发门限电平의衰减振荡误信号触发。

(4) 负载敏感元件应置于网络的末端以减小这些敏感元件之间的反射,并防止误触发。

(5) 应避免使用上升沿敏感的信号,电压敏感元件使用时应该具有足够长的设置时间以保证合适的触发。

参 考 文 献

- [1] Montrose, M. 1996. *Printed Circuit Board Design Techniques for EMC Compliance*. Piscataway, NJ: IEEE Press.
- [2] Montrose, M. 1996. "Analysis of the Effectiveness of Clock Trace Termination Methods and Trace Lengths on a Printed Circuit Board." *Proceedings of the IEEE EMC Symposium*. Piscataway, NJ: IEEE.
- [3] Johnson, H. W., and M. Graham. 1993. *High Speed Digital Design*. Englewood Cliffs, NJ: Prentice Hall.
- [4] IPC-D-317A. 1965, January. *Design Guidelines for Electronic Packaging Utilizing High-Speed Techniques*, Institute for Interconnecting and Packaging Electronic Circuits (IPC).
- [5] IPC-2141. 1966, April. *Controlled Impedance Circuit Boards and High Speed Logic Design*, Institute for Interconnecting and Packaging Electronic Circuits.
- [6] Hartal, O. 1994, *Electromagnetic Compatibility by Design*. West Conshohocken, PA: R&B Enterprises.

第9章 接地

9.1 接地的原因——概述

大多数产品都要求接地。虽然接地可以是真正接地、隔离或浮地,但接地结构必须存在。接地经常与为信号提供电流回路相混淆。实际中,只有部分接地问题是与 PCB 有关的。这些问题归结为在模拟及数字电路之间提供参考连接以及在 PCB 的地层和金属外壳之间提供高频连接。

接地,尽管可能是设计中最重要方面,但是很多工程师对此仍几乎不理解。这个问题并不容易直观理解,而且通常不允许直接定义、建模或分析,因为有许多无法控制的因素影响其性能。每一个电路最终都要有一个参考接地源,这是无法选择的事实。所以电路设计之初就应该首先考虑到接地设计。我们不能假设因为接地系统存在,例如有金属外壳,就能达到最佳性能。如果在设计过程中没有考虑接地问题,预期性能并不容易达到。

接地是使不希望的噪声干扰极小化并对电路进行划分的一个重要方法。适当应用 PCB 的接地方法及电缆屏蔽将避免许多噪声问题。设计良好的接地系统的一个优点就是以很低的成本防止不希望有的干扰及发射。

9.2 定义

接地这个词对不同领域的技术人员有不同的含义,比较含糊。对逻辑电路设计师,它指逻辑电路和元件的参考电平。对系统和机械工程师,接地是指连接电路的金属外壳或机架。对电气工程师是指三线制中的安全地线,各国的电气代码对其有不同的标识。

为防止混淆,在本章中使用的名词定义如下。

搭接:在两金属表面之间构造一个低阻抗的电气连接。

电路:具有源阻抗、负载阻抗及内部连线的多个设备。对数字电路,一个电路中可能有多源或负载,其中所有设备均被参考于同一点上或使用一公共信号回路。为 EMC,电路通常从一个位置开始,而终止于另一处。

电路参考:对多个电路提供一公共的 0V 参考电压以便允许两者之间通信。接地的重要原因之一是为电路提供参考。在这一参考点上并无有用信号电流流过。

接地(英术语):在建筑物的供电入口处安全地线到大地的连接。

等位地平面:一种金属平面,作为电源和信号参考的公共连接点。由于其电大尺寸,这个平面对 RF 频率可以不是等位的。

地环路:包括一些导电元件(如平板、走线及导线)的电路,假定其具有地电位,有回流穿

过。一个电路中至少有一个地环路。尽管所设计的地环路是可以接受的,但不希望有的信号在环路中引起电流,可能导致系统不正常工作。

接地引线的设置:从 PCB 到金属结构做固体接地连接,以便提供系统级的接地参考,无论系统使用哪种接地方法都需要它。

接地:是一个通用术语,不同的工程师对其的定义不同,该词必须由形容词修饰。

接地方法:针对所希望的应用选择一种最佳的方式引导回流。

严格接地:有时指实际所用的接地体,另见下文的单点接地。

混合接地:根据电路的功能及所用的频率,将单点接地和多点接地结合起来使用的接地方法。

多点接地:使不同电路具有同一公共的等位体或参考点的一种方法。可以在所要求的许多位置通过任何可能的方式进行连接。

参考:在两个电路之间进行电气连接,以使两电路的 0V 参考电压相等。

RF 接地:用一种专门方法提供一个接地参考点,以使产品符合辐射及敏感度的要求。

安全接地:提供到大地接地点的回路,该回路通过合适的连接和敷设的从源到负载的连续的、低阻抗的呈弱电容的导体路径可防止触电危险。

屏蔽地:为互连的电缆及主要机架提供 0V 参考或电磁屏蔽。

单点接地:许多电路的参考点都汇总于一个单独的位置,以允许不同点间通信的方式,所有信号因此将参考同一位置的电位。

当讨论接地概念时,最好用形容词以更好地定义我们想指什么,诸如信号地、机架的地、安全地及模拟地。

9.3 基本接地概念

有关接地的两个主要内容是:

(1) 安全地(包括对雷击及静电放电的防护)

(2) 信号电压参考地

通过一个低阻抗通路连接到大地的接地方式,定义为安全地。信号地也可以不连接到大地位上,对一些特殊的应用两种接地方法可能都不适合并导致 EMC 问题的加重。

安全地使外部导电表面上的电位差很小或几乎没有。我们采用的减小电位差的导体越多,电击的机会甚至伤亡的危险就越少。接地连接越多,伤害操作人员的机会就越少。

信号电压参考地为电气系统所有部分提供一个公共的参考点。对信号参考来讲,电位差的典型值必须小于几毫伏。信号电压参考的实施,接地连接的数目及其位置必须仔细加以选择。在信号电压之间几乎没有严格设置的连接可以使产品符合或不符合 EMC 规范。

有关接地存在共同的误解。大多数分析家认为接地提供了电流的回路,好的接地能减小电流噪声。这一观念导致许多人假设我们通常可以通过建筑物的主体接地结构将 RF 噪声电流导入大地中。如果我们讨论的是安全地,这是有效的,但对信号电压参考地并非如此。

电流需要一个返回路径以形成闭环。我们通常仅考虑 AC 或 DC 供电电流而非 RF 电流。尽管 RF 回路是强制性的,但它不必处于地电位。自由空间不是处于地电位的。模拟地与数字地或机壳地相隔离,以防干扰敏感电路。并非系统中的所有电流都要求安全地或信号电压

参考。例如低压电池供电的设备就不要求任何外部安全接地,因为无电击危险存在。

为保证系统工作在所规定的设计要求之内,信号地可能不与电流回路相同。信号电流除非在一定条件,否则不应该在接地导体上流动。无论什么样的应用,对安全接地及信号参考,我们必须减小电路之间的地电位差,或者完全避免有电位差。

在讨论 EMC 和 PCB 的书中为什么要讨论安全地呢?原因是显然的。许多 PCB 包含危险的电压。它包括在电源组件、通信电路、延迟驱动仪表控制单元、功率交换模块以及类似的器件中。用户的安全与 EMC 密切相关。电磁兼容规范包括产品的安全(满足基本的基于国家电子标准或政府法规的安全要求)以及对发射及敏感度的 EMC 限制。产品安全标准中强制规定了走线之间的漏电量及间距以防止电击用户。例如,产品安全所要求的走线间距可以防止单面或双面 PCB 上电压或信号走线与接地垫板或接地走线间产生最大电场,从而达到最佳电通量抵消。

关心漏电及间距是因为 AC 或高压走线易受不正常故障条件的影响。故障包括原边到副边、原边到地或原边到原边的故障。为防止由于不正常故障造成的电击,在高压走线与副边或地电路的走线间必须具有一定的距离。这一要求对电源及相关线路尤其关键。

当设置 AC 电压走线时,我们应遵循强制规定的漏电及间距要求使走线的宽度及间距足够大。下列有关漏电及间距的定义依照国际产品安全标准,并与之完全等同:

(1) 漏电发生在两导电部分或导电部分与设备边界面的最短的路径上,沿绝缘体表面测量。

(2) 间距是两导电部分或导电部分与设备边界面的最短的路径,沿气隙测量。

(3) 边界面是电气机壳的外表面,可以看作是与绝缘材料的接触面相接触的金属薄片。

当讨论接地电流时,必须牢记一些基本概念:

(4) 一旦电流流过有限的阻抗,就会产生一定的电压降。如在欧姆定律中阐述的那样,在真实世界中从来没有 0V 电位。电压或电流的单位可能在皮(微微)伏或皮(微微)安级的范围内,但一定存在一个较小的有限值。

(5) 电流总是返回其源。回路可能有许多不同的路径,每条路径上的电流幅值不同,与该路径的阻抗有关。不希望有的电流可能在其中某条路径上流动,该路径可能没有采取抑制措施。

为说明这些基本概念,图 9.1 给出了两个子系统,共同连接于一个金属平板、机架或其它定义为地的部件。这些子系统可以是模拟的、数字的或其它定义的源。如果是数字的,电源(+ V_{CC})的电流通过回路供电返回到其源。当设备呈开关逻辑状态时,电流不断地变化,消耗功率。在模拟电路中,返回电流可能包含低频或高频窄带或宽带信号。模拟信号通常具有特定的回路或“地”,与数字逻辑信号不同。

由图 9.1(a)可看到,子系统 2 的回流流过与子系统 1 相同的返回路线。这两个电流在电源端叠加起来。因为返回路径具有有限的阻抗,可以呈阻性或感性,在返回路径内的电流将在两子系统之间引起电位差,子系统 1 的接地点电位变化速率正比于子系统 2 中信号变化的速率。借助于公共阻抗上的这种耦合,电源目前可看作为有两个同时独立的电位。

到目前为止,已经讨论了地噪声电压。负载上的电压如何呢?子系统 2 接地点的电压为 $Z_{g1}I_1 + (Z_{g1} + Z_{g2})I_2$ 。子系统 2 除自身信号产生的压降外,还包含子系统 1 中的电流在 Z_{g1} 上产生的压降。这种情形定义为公共阻抗耦合。

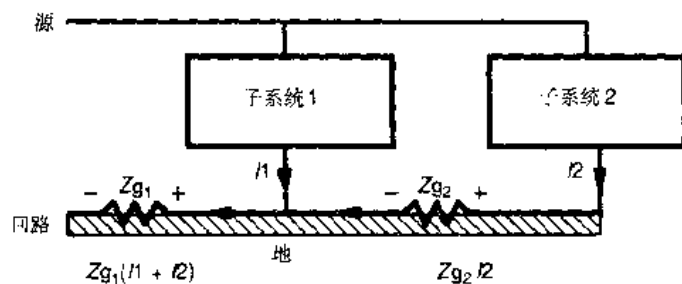


图 9.1(a) 接地结构中的共模阻抗耦合

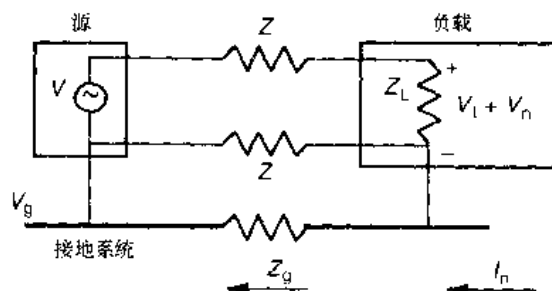


图 9.1(b) 互联电缆引起的接地噪声电感耦合

图 9.1(b)为一种在数据通信中经常出现的连接方式,其中提供了一种信号(例 RS-232)及其返回路径。假设源是一台计算机,负载是在一定距离处的显示器或调制解调器。对两个设备来说,公共的接地系统是在其各自的电源插座内的地线。这一电源上的地线在 RF 时具有较高的阻抗,在这种情况下,从外部系统来的噪声源驱动噪声电流 I_n 进入安全地线中,其对所有设备都是公共的。假设负载 Z_L 比回路的阻抗 Z 及电源线阻抗 Z_g 大,则在返回线路上产生的加在负载的信号电压的接地噪声,可表示为:

$$V_n = \frac{Z - Z_g}{Z + Z_g} \times (V_g) \quad (9.1)$$

接地阻抗的错误概念是有所存在阻抗的类型。大多数工程师假设接地阻抗上具有直流电压或具有低频电阻。工作在高频,如 30MHz 及其以上时,主要的阻抗是感性的,而不是电阻,或趋肤效应。电阻及趋肤效应与电感相比可以忽略。如前几章中所述,对 0.020in 的走线,电感近似为 15 nH/in。 $X_L = 2\pi fL$, 100MHz 时,感性电抗值为 9.43Ω/in。一个 #28AWG 导线(半径为 6.3mil)的感性电抗值为 $65.9 \times 10^{-3} \Omega/\text{in}$ 。显然,在 100MHz 处,电阻与电感的差异在数值上较大。这就是在 RF 频率处不考虑电阻的原因。

当设计一个产品时,在设计期间就考虑到接地是最经济的办法。一个设计良好的接地系统,不仅从 PCB,而且能从系统的角度防止辐射和进行敏感度防护。在设计阶段没有认真考虑接地系统,或在对另一个不同产品进行设计时没有重新设计其接地系统,就意味着系统在系统功能性或 EMC 兼容性方面有可能失败。

有关接地系统所关心的重要领域包括:

- (1) 通过对高频元件的仔细布局,减小电流环路的面积或使其极小化。
- (2) 对 PCB 或系统分区时,使高带宽的噪声电路与低频电路分开。
- (3) 设计 PCB 或系统时,使干扰电流不通过公共的接地回路影响其它电路。
- (4) 仔细选择接地点以使环路电流、接地阻抗及电路的转移阻抗最小。

(5) 把通过接地系统的电流考虑为注入或从电路中流出的噪声。

(6) 把非常敏感(低噪声容限)的电路连接到一稳定的接地参考源上。

下列内容介绍各种接地系统及其如何将其应用于产品的整体设计中,并描述了如何以最佳方式实施接地的方法。

9.4 安全地

对安全地的主要考虑是为了防止人、动物及其它生物触电,当产品处在危险的电压值时,就可能威胁生命。

如果系统由高于一定电位(下面定义)的 AC 电压供电,暴露在外面的金属必须搭接在交流电源内标识为“绿色或绿/黄色带状线”的安全地上。这种要求也用于蓄电池供电的设备,如果电池充电器被置于模块单元内或置于 PCB 上,由交流干线电压供电。如果该单元由直流电压供电,则仅仅远处的电源充电器单元需要满足这种要求,如果在 EMC 兼容性方面和产品的安全性之间发生冲突,安全性考虑占首位,这是毫无例外的。

当电流穿过人体时,发生电击。毫安级的电流在健康人的身上就可能引起能导致间接危险的反应,更大的电流会具有更损伤性的效应。电压高于 42.4V 的交流峰值电压或 60V 直流电压在干燥条件下通常不认为有什么危险。必须触摸或操纵的带电部分应与大地等电位或良好绝缘,以防电击¹。

在正常条件下,在 PCB(或系统内)上可能存在的任何(绝对值)高于 42.4V 的交流峰值电压或 60V 直流电压,均认为是危险的,要求产品安全设计工程师特别注意。

所有上述讨论的这些危险电压如何影响 PCB? 电信电路工作在 -48 V_{ac}, 供给 PCB 的电源有时连接到交流电压上。驱动 115V 或 230V 的马达。过程控制设备一般使用的交流电压峰值高于 42.4V。这些仅是一些可能包含危险电压的实例,因此本章要讨论 PCB 中的安全地。

在图 9.2 中,在点 V_1 和机壳电位之间的杂散阻抗用 Z_1 标识,在机壳及地间的杂散阻抗记为 Z_2 ,机壳的电位是由 Z_1 和 Z_2 阻抗分压得到的。相对于 PCB,机壳的电位为:

$$V_{\text{chassis}} = Z_2 / (Z_1 + Z_2) \quad (9.2)$$

这一电位会达到危险水平,足以引起触电的危险。

只要每个设备通过合适的方法连接于大地上的参考地(绿/黄色导线、编织带及类似线),则一切就正常。这一接地线在射频时具有高阻抗,并随频率变化。一般讲,安全地不要求电磁兼容性。例如由电池供电的单元。必须提供一个由本地机壳、机架或其它金属结构到 RF 参考点的低阻抗连接,在许多情况下,对于那些和交流干线源相连的设备来说,这个连接必须和安全接地装置同时提供。

如果我们考察一下由电力线产生的共模发射,就可以看出,安全接地连接是十分需要的。一个线路滤波器可

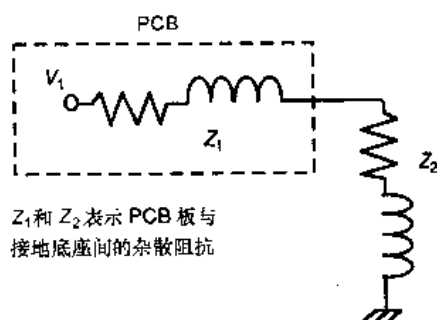


图 9.2 PCB 到机壳接地间的杂散电容

注 1: 这一电击危险的描述选自国际产品安全性标准 EN60950, 信息技术设备安全性规范包括电气商业设备的安全规范。

以安装在电源线入口处,线路滤波器串联在总线墙上插座与系统之间。线路滤波器内是一个从线路到地的电容器(“Y”电容器),这些电容器使 RF 电流分流流入地。对这种情况,地线就是射频电流的一个回路。

有时,把安全接地路径与射频产生电路分开是有益的。最好的作法是插入一个扼流线圈(射频导体),使其与接地回路串联。这个扼流圈为干扰电流留在系统中提供另一条路径。这些电流能借助法拉第屏蔽或高斯结构(金属覆盖层)避免辐射到外部环境中。

总之,不允许存在危险电压。在不正常的故障条件下,比如印刷电路板短路,造成给金属外壳充电,全部电压都降在这个外壳上,从而将产生电击危险。

9.5 信号电压参考地

与 EMC 有关的大多数设计内容归结为信号地及电路间参考基准的设置。如前面所讨论的那样,为了实现良好的电路功能,电源和负载必须有相同的电压参考电平。逻辑电路以 0V 电平作为电压跃迁状态的参考电平。如果两个电路的参考电平不一致,就会发生功能问题,比如噪音容限和逻辑开关门限电平(除了产生接地噪声电压外)的紊乱,这个接地噪声电压会导致共模电流的产生,而共模电流是不希望存在的。

“地”通常被定义为一个等位点,用来作为两个或更多系统的参考电平。实际应用时并不总是这样,因为数字地也许和模拟地完全不同,模拟地也许又和机壳地不同。这个定义也并没有强调射频电流的返回路径。一个有噪声的电路与接地点之间也许会比此电路与等位点之间较少的电感,射频电流通常会选择有“最小阻抗”的路径。当低频率时,即 $R \gg \omega L$, 电流会通过有最小电阻的路径,因为电阻在阻抗中起主要作用。而当高频率时,即 $R \ll \omega L$, 电感起主导作用了。

信号地的较好定义是一个低阻抗的路径,信号电流经此路径返回其源。这个定义适用于任何情况。我们主要关心的是电流,而不是电压。在电路中具有有限阻抗的两点之间存在电压差,电流就产生了(欧姆定律)。在接地结构中的电流路径决定了电路之间的电磁耦合。因为闭环回路的存在,电流在闭环中流动,所以产生了磁场(参看第 2 章)。闭环区域的大小决定着磁场的辐射频率,电流的大小决定着辐射噪声的幅度。

在设计产品的时候,设计者必须时时牢记射频电流将要走的路径。设计者们不能只关心产品的功能和在仿真数据的基础上所选择的逻辑器件工作得如何。在器件布局期间产品设计工程师和印刷电路板设计者必须一道工作,以确定返回电流的预期路径。必须问这样一个问题:“电流会流向哪里?”任何导体当电流通过时都会产生一个电压降,与相应的电流相对应。这个电流通常与 RF 电压相对应。

信号地系统是由产品设计的类型、运行时的频率、所用的逻辑设备、输入输出互连、模拟和数字电路、产品安全性(触电危险)所决定。

在图 9.3 中向我们展示的是一个典型的接地方案,用来描述信号地的概念。在此图中,负载与一个大地参考点相连接,电源与另一个参考点相连接,大地噪声电压 V_n , 是因为返回路径中的电

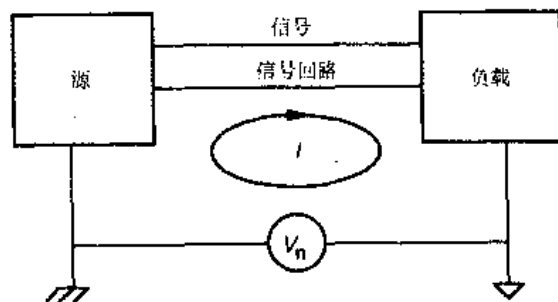


图 9.3 两个电路间的典型接地结构

流所引起的。

在实施接地方法时存在两类基本的方法:单点接地技术和多点接地技术。在每套方案中,又可能采用混合式的方法。针对某一个特殊的应用,如何选择最好的信号接地方法取决于设计方案。只要设计者依据电流流量和返回路径的概念,就可以同时采用几种不同的方法综合加以考虑。

9.6 接地方法

我们已经给出了许多接地方法和术语,包括数字地、模拟地、安全地、信号地、噪声地、纯净地、大地、单点接地和多点接地。在设计产品时,必须明确接地方法,而不能随意使用。从长远观点来看,设计一个好的接地系统是值得的。在印刷电路板中,必须在单点和多点接地技术这两种基本接地方法中任选一种,如果预先计划好了的话,这两种方法中的任何一种都可以和其它接地方法结合使用。接地方法的选择取决于产品的应用。必须牢记一点,如果采用了单点接地技术,那么在应用中必须保持一致性。这个法则同样适用了多点接地技术。除非设计允许在层面和功能子块之间具有隔离和分块,否则多点接地技术不能和单点接地技术混合使用。

接下来的讨论,分成3个部分:单点接地、多点接地和复合式接地。

9.6.1 单点接地技术

单点接地连接是指在产品的设计中,接地线路与单独一个参考点相连。这种严格的接地设置的目的是为了防止来自两个不同子系统(有不同的参考电平)中的电流与射频电流经过同样的返回路径,从而导致共阻抗耦合。

当元件、电路、互连等都工作在1MHz或更低的频率范围内时,采用单点接地技术是最好的,这意味着分布传输阻抗的影响是极小的。当处于较高频率时,返回路径的电感会变得不可忽视。当频率更高时,电源层和互连走线的阻抗更显著,如果线路长度是信号1/4波长的奇数倍(该波长依据周期信号上升沿速率确定),这些阻抗就可以变得非常大。在电流返回路径中存在有限阻抗,就会产生电压降,随之就产生了不希望有的射频电流。

由于RF时阻抗影响显著,这些走线和接地导体就像环形天线一样工作,辐射能量的大小取决于环路的大小。一个卷曲的环路,不管其形状如何,依然是一个天线。就是由于这个原因,当频率高于1MHz时通常不再采用单点接地技术。然而,例外是存在的,如果设计工程师意识到这个问题并采用更高专业水平的先进的接地技术。

在图9.4中,展示了单点接地技术的两种方式:串联接地和并联接地。串联接地是一个串级链结构,这种结构允许各个子系统的接地参考之间共阻抗耦合。当频率高于1MHz时这是不合理的。这个图只画出了接地线路中的电感,而分布电容在这3个接地电路中也是存在的。当电感和电容同时存在时,就会产生谐振。对于这种结构,可能有3种不同的谐振。

对于串联接地来说,通过最后返回路径 L_1 的总电流是 $I_1 + I_2 + I_3$ 。 $I_1(V_A)$ 和 $I_3(V_C)$ 的电压也不是零,而是由下面的式子来定义的

$$V_A = (I_1 + I_2 + I_3)\omega L_1 \quad (9.3)$$

$$V_C = (I_1 + I_2 + I_3)\omega L_1 + (I_2 + I_3)\omega L_2 + (I_3)\omega L_3 \quad (9.4)$$

对于这种广泛采用的结构来说,很大的电流在有限阻抗上会产生一个电压降。电路和基

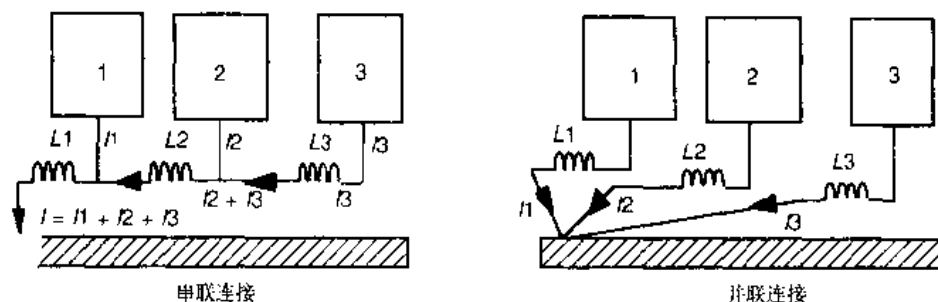


图 9.4 单点接地方法(注:不适用于高频情况)

准结构之间的电压参考值可能足够使系统不能如预期的那样工作。在设计阶段,设计者必须注意到采用单点接地的串联接地技术中所隐藏的问题。如果存在多种不同功率等级的电路,那么就不能采用这种接地技术,因为大功率电路产生大的回地电流,将影响低功率器件和电路。如果说一定要采取这种接地方法,那么最敏感的电路必须直接设置在电源输入位置处,并且尽量远离低功率器件和电路。

更好的单点接地方法是并联接地。然而使用这种方式有一个缺点,那就是因为每个电流返回路径可能有不同的阻抗而导致接地噪声电压的加剧。如果多个印刷电路板组合使用,或在一个最终产品中使用多个子组合体,那么某一条回路或许会很长,特别是如果这些线用互连的方式使用。这些地线也许还会存在一个很大的阻抗,这就会损坏低阻抗接地连接的期望效果。当多个印刷电路板采用这种并行方式连接到一起时,原以为严格接地会解决问题,但事实证明产品不能通过辐射检验。像串联连接一样,在每个电路到地中也存在分布电容,设计者在使用这种布局时,应使每条回地路径上的电感值大致相同,虽然实际情况很难做到。这样,每个电路与地之间的谐振就应该是大致相同的,从而对电路运行的影响不会出现多谐振。

使用单点接地技术的另一个问题是辐射耦合。这种现象可能会在导线之间,导线与印刷电路板之间或者导线与外壳(内部辐射噪音耦合在本章后面讨论)之间产生。除了射频辐射耦合外,也可能发生串扰,这取决于电流返回路径之间物理间距的大小。这种耦合可能以电容也可能以电感的形式发生。串扰存在的程度取决于返回信号的频率范围,高频元件比低频元件的辐射更严重。

单点接地技术常见于音频电路、模拟设备、工频及直流电源系统,还有塑料封装的产品。虽然单点接地技术通常在低频采用,但有时它也应用于高频电路或系统中。当设计者们清楚不同的接地结构中存在的有关电感的问题时,这种应用是可行的。

当在 CPU 母板或适配(子)卡上使用单点接地技术时,是允许接地平板和金属底座外壳之间存在环流的。环流会产生磁场。接地环流的讨论详见本章后续内容。

磁场产生电场,电场会感应出射频电流。因为不同的子组合体的外围设备在不同点直接与金属机壳相连,所以在个人计算机及类似设备中要采用单点接地技术几乎是不可能的。分布传输阻抗存在于机壳和印刷电路板之间,内部自行产生闭环结构。在多点接地技术中,这些闭环被安置在最不容易产生 EMC 问题的地方(例如对其进行控制,避免其随意辐射能量)。

图 9.5 向我们展示了一个失败的单点接地技术案例。在这个例子中,A/D 变换的数字电路部分和模拟电路部分的 0V 基准点是隔离的,假设前提是:只要模拟电路部分不和其它接地点连接,那么这个分立的连接点(桥)就会提供最好的单点连接。单向信号从变换元件及隔离

区的间隙中通过。为防止低频(kHz)噪声频率产生问题,0V 参考连接应尽量接近 A/D 变换设备。以一个合适的滤波器使模拟和数字电源必须彼此隔离。

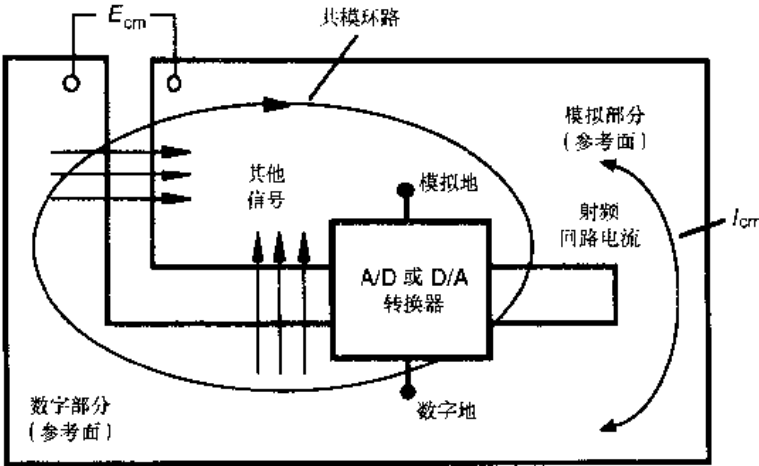


图 9.5 一个失败的单点接地技术案例

在图 9.5 中,存在着各种各样的电流和电压源。电桥对所有信号都提供了一个低阻抗射频回路,这些信号通过防护带或经由电桥流向模拟电路部分。因为信号必须有一个封闭的回路路径。任何通过防护带的 RF 能量必须通过电桥构成封闭环路。

因为存在防护带,所以会在离电桥最远的点产生一个共模电势。基于电源的电感和接地平板的结构,两个电源之间的阻抗会不一样。由于这个共模电势的存在,导致了共模射频环流的产生,这个电流流经模拟电路部分和数字电路部分。只要有射频电流流过的回路,就会产生电磁场,从而产生射频辐射。

图 9.6 详细给出了另一个单点接地技术在多电路系统中的错误应用。在此应用中,地线是不载流的导体(射频回路)。电路间的互连线被电路设计者或器件供应商定义为“GND”,这些接地连线为信号回路的一部分。这些接地走线产生射频电流回路,增加了这些走线的自感,在电路与 0V 参考点间产生杂散磁场。另外,电路 #1 与地之间,电路 #3 与地之间的寄生电容 C 以及所有电路与地之间的电感 L 也在图中标出。这个较小的 LC 可能会产生振荡,在适当频率时造成谐振。这样就加剧了系统级的 EMC 问题。

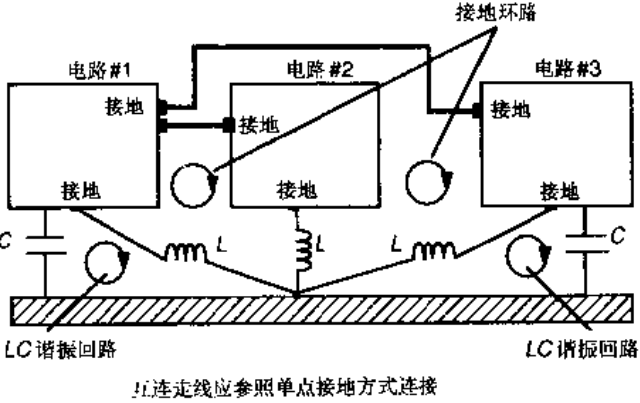


图 9.6 另一个失败的单点接地技术案例

现在总结一下,可以看出,当对工作频率高于 1MHz 的系统进行设计时,单点接地技术不是一个理想的方法。

9.6.2 多点接地技术

高频设计时为使接地阻抗最小,机座接地一般要使用多个连接点并将其连接到一个公共参考点上。多点接地之所以能减小射频电流返回路径的阻抗是因为有很多的低阻抗路径并

联。低平面阻抗主要是由于电源和接地平板的低电感特性或在机座参考点上附加低阻抗的接地连接。

当在多层 PCB 中使用低阻抗接地平板,或在 PCB 与金属机座之间使用底座接地引线时,就像单点接地一样,应让走线(或导线)长度尽量短,以便使引线电感极小化。在甚高频电路中,接地引线的长度必须远小于 1in 。在低频电路中,因为所有电路的地电流流经公共的接地阻抗或接地平面,所以应避免采用多点接地。这个接地平面的公共阻抗可以通过在材料表面采用不同的电镀工艺予以减小[2]。增加这个平板的厚度对减少其阻抗是毫无用处的,因为射频电流只流经其表层。

通用的经验法则是,对于低于 1MHz 的频率来说,优选单点接地。假设信号是上升沿长、频率低的信号,频率介于 1MHz 到 10MHz 之间,这时也只有当最长的走线或接地引线线长小于波长的 $1/20$ 时,才可用单点接地,而且每条走线的线长都应考虑在内。

多点接地可以减少噪音产生电路与 0V 参考点之间的电感,原因是存在许多并行 RF 电流回路,如图 9.7 所示。即使在 0V 参考点上有许多并连接地线,仍旧可能会在两个接地引线之间产生接地环路。这些接地环路容易感应 ESD 磁场能量或者容易产生 EMI 辐射。为了防止接地引线之间产生环流,有两点是重要的,一是测量接地引线之间的距离,二是采用在第 4 章中描述的设计技术,即两个接地引线之间的物理距离不能超过被接地的电路部分中的最高频率信号波长的 $1/20$ 。

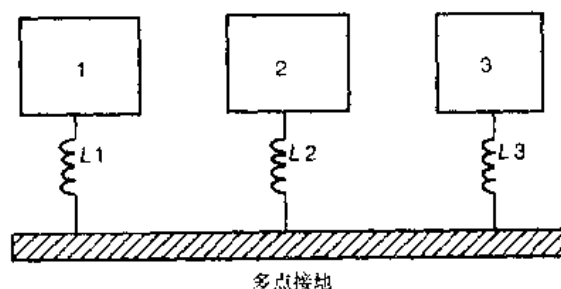


图 9.7 多点接地结构

在甚高频电路中,元件接地引线的长度要尽可能短。短于 0.020in (0.005mm) 的走线为电路增加的电感大致为每英寸 $15 \sim 20\text{nH}$ (取决于线路长度)。当它与接地平面和机座地之间的分布电容形成一个谐振电路时,这个阻抗就可能产生谐振。电容值 C 见公式(9.5),可以由铜板阻抗来决定。铜板的电感已在第 4 章中讨论过。

$$Z = \frac{1}{2\pi f \sqrt{LC}} \quad (9.5)$$

其中, Z = 阻抗(Ω), f = 谐振频率(Hz), L = 电路电感(H), C = 电路电容(F)。

公式(9.5)描述了频域问题的主要方面。这个公式尽管形式简单,但应需要知道怎样计算 L 和 C 。而 L 和 C 自身是很难确定、应用和实施的。

9.6.3 混和或选择接地

混和接地结构是单点接地和多点接地的复合。在 PCB 中存在高低频混和频率时,常使用这种结构。图 9.8 提供了两种混和接地方法。对于电容耦合型电路,在低频时呈现单点接地结构,而在高频时呈现多点接地状态。这是因为电容将高频 RF 电流分流到了地。这种方法成功的关键在于清楚使用的频率和接地电流的预期流向。

出于安全和低频连接的考虑而把多个接地引线连接到机壳参考地时,使用电感耦合型电路。扼流圈 L 阻碍 RF 电流进入机壳地,同时允许低频的交流或直流电压以它们各自的 0V 点为参考。扼流圈为 PCB 保持内部射频电流,并且使回流通流通过最低阻抗路径到达单点连接的

地,该路径的阻抗远小于扼流圈的阻抗。

在接地拓扑结构中使用电容和电感,使我们能用一种优化设计的方式控制射频电流。通过确定射频电流要通过的路径,可以控制 PCB 的布线。对射频电流回路缺乏认识可能导致辐射或敏感度方面的问题。

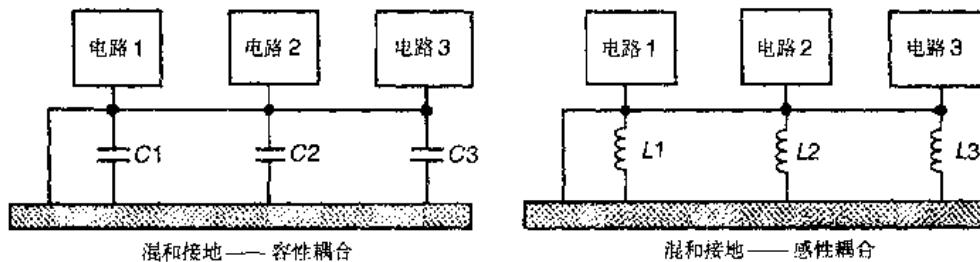


图 9.8 混和接地

9.6.4 模拟电路接地

许多模拟电路工作在低频状态下,对于这些灵敏的电路,单点接地是最好的接地方式。接地的主要目的是防止来自其它噪声元件(如数字逻辑器件、电动机、电源、继电器)的大接地电流争用敏感的模拟地线。接地环路也必须避开一切的敏感的低频模拟电路。使用低频模拟电路,容易对电流加以控制。

模拟接地所要求的无噪声度依赖于模拟输入的灵敏度。信噪比决定了电路出现功能性问题之前允许多少干扰存在。例如,对于低电平的模拟放大器,要求 $10\mu\text{V}$ 输入信号的会比要求 10V 输入信号的更易受干扰。因此, $10\mu\text{V}$ 输入的放大器需要一个更干净的接地系统。对于高电平的模拟电路,接地要求不是非常严格。

数字电路由于来自数字器件内逻辑门的开关噪声而影响模拟器件。通常在电源内和数字系统的分布地中有明显的地电平脉动。因为高速 CMOS 器件有较高的峰值开关电流,所以它注入参考地的噪声比 TTL 器件要多。由于相同原因,CMOS 也产生较多的辐射。

对数字和模拟电路,应该设置的各自独立的参考地,尤其在存在敏感的模拟电路时。对于 D/A 和 A/D 转换器,必须设置一个公共的参考点。任何时候都不允许将参考点设置在两个位置。有时,要求有一个无源滤波器,例如在数字和模拟电路之间的铁氧体垫片。这些滤波器在高频时有效,以防寄生电容形成一个接地环路。

有时,模拟和数字部分之间要求完全隔离。这可以通过光隔离器或隔离变压器的使用来实现,尤其当极敏感的模拟电路十分靠近数字器件的时候。

9.6.5 数字电路接地

因为高频电流是由接地噪声电压和数字设备布线区域的压降产生的,所以在高速数字电路中,优先使用多点接地。它的主要目的是建立一个统一电位共模参考系统。因为寄生参数改变了预期的接地路径,所以单点接地不能有效地发挥作用。只要保持一个低的接地参考阻抗,接地环路通常不会出现数字问题,这将在本章之后讨论。

许多数字环路并不要求具有滤波作用的接地参考源。数字电路具有几百毫伏的噪声容限,并且能够承受数十到数百毫伏的接地噪声梯度。在多层板中的接地“镜像”平面最适合信

号电流。而为了控制共模回流产生的损耗,机壳应使用多点接地。

9.7 控制走线间的共阻抗耦合

控制共阻抗耦合主要是为了减小两个金属体共用一个公共回路时产生的影响。控制共阻抗耦合用到了两个主要概念:

降低共用阻抗到最小值。

避免使用一个共用阻抗路径。

9.7.1 降低共用阻抗路径的长度

接地系统要求使用金属导体:走线、导线、带状线、机架、PCB 板等等。所有导体的频率响应取决于导体材料和其几何形状。任何导体都有一个直流电阻,这个电阻由下列公式计算:

$$R = \rho l / A (\Omega) \quad (9.6)$$

其中 R = 直流电阻

l = 电流方向上的导体长度(m)

A = 导体横截面积(mm^2)

ρ = 该材料的电阻率($\Omega \cdot \text{mm}^2/\text{m}$)

几种材料的电阻率如下:

铜: $1.7 \times 10^{-3} \Omega \cdot \text{mm}^2/\text{m}$

铝: $2.8 \times 10^{-3} \Omega \cdot \text{mm}^2/\text{m}$

钢: $1.7 \times 10^{-2} \Omega \cdot \text{mm}^2/\text{m}$

在共用阻抗耦合中,趋肤效应变成一个主要因素(趋肤效应在第 2 章已简要谈到)。随着频率的增加,通过导体的电流将移向导体表层。导体中电流可通过的有效面积减小,所以电阻增加。对于一个圆形导体,趋肤效应在图 9.9 中给出。

导体有一个内电感值,这个值不同于总的电感值,总的电感值被定义为外部电感,它是导体包围的环形区域面积的函数,而内电感不是这种环形区域面积的函数。对于圆形导体而言,内电感为

$$L = 0.2 \times l [\ln(4l/d) - 1] \quad (9.7)$$

其中 L = 内电感(μH), l = 导体长度(m), d = 导体直径(m)。这个公式表明:电感 L 随着长度 l 线性增加,而直径 d 的增加与总电感的减小呈对数关系。

矩形带状线和多层电源平板比圆形导线在单位长度上具有更小的电感,这是因为具有相同横截面积的扁平带状线比圆形导线具有较大的周长。接地带状线的电感由下式计算

$$L = 0.2 \times s [\ln(2s/w) + 0.5 + 0.2(w/s)] \quad (9.8)$$

其中, L = 接地带状线的电感(μH), s = 带状线长度(m), w = 带状线宽度(m)[宽度必须比厚度大 10 倍以上]。

当 s/w (长宽比) 大于 4 时,等式(9.8)可由下式近似代替:

$$L = 0.2 \times s \times \ln(2s/w) \quad (9.9)$$

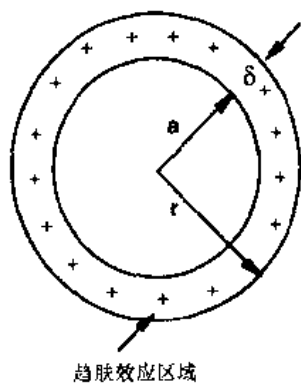


图 9.9 导体中的电流
——趋肤效应

式(9.9)表明,接地带状线比圆形导线有更小的电感,在高频情况下,可以提供低阻抗的接地连接。把这种分析推广到 PCB 内部的固体平板,可以看出,这个平板与导线或带状线比起来有非常小的电感,除非考虑导孔周围的环状绝缘衬垫引起的阻抗变化。这就是接地平板在高频时一样能很好地工作的主要原因,因为它能使共阻抗耦合极小化。

9.7.2 避免共阻抗路径

为了减少共阻抗接地耦合,必须仔细分析所有的回路。最好的实现方法是不同系统电路的参考连接都通过专用的隔离路径与一个单点接地进行连接。

图 9.10 给出了一个向各个子系统提供电源和接地的星形结构图,这种实现技术要求附加导线和互连硬件,花费自然不少。

为了改进共阻抗接地的方法,除了逻辑电路要求的 0V 参考外,对每个区域来说,功能电路必须通过电源分布网络加以分离。也就是说我们要按照逻辑功能分割电路。逻辑功能包括了下列几项:

数字、模拟、音频、视频、输入/输出、控制逻辑、电源。

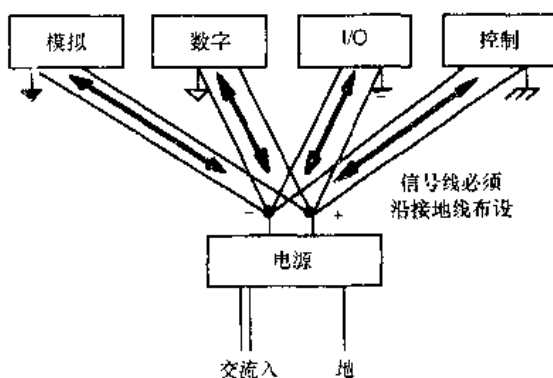


图 9.10 为避免共阻抗耦合而进行的分别接地

通过分离噪声产生电路以避免共阻抗耦合,提高噪声抗扰性。每个区域必须独自与主电源 0V 基准点,一般也是安全的导线接地连接点进行连接(如图 9.10 所示)。

据我们考察,单点接地连接能最好地避免共阻抗耦合,虽然在设计阶段,它不一定是实际中最好的选择。正如在下文中要论及的那样,当电路信号是 1MHz 或者更低频率时,单点接地是最好的方法,而多点接地是高频时较好的方法。

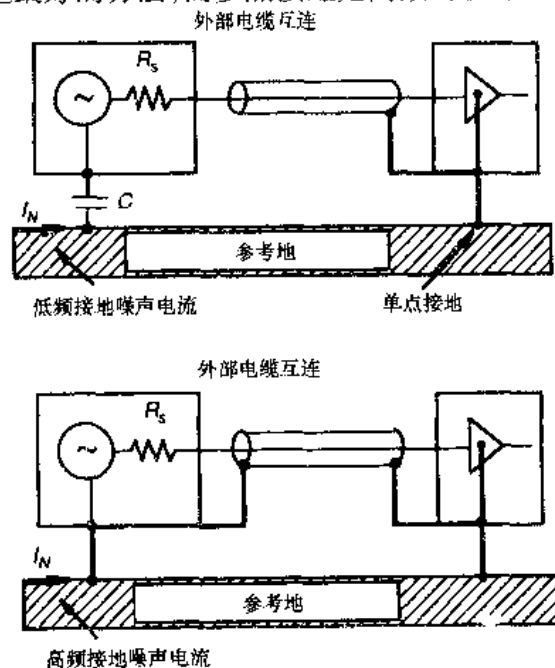


图 9.11 低频时的单点接地及高频时的多点接地

当一个产品必须采取多点接地及共阻抗耦合又必须避免时,又会发生什么呢? 对于图 9.11, 一个系统必须工作在低频环境下,而低频环境要求单点接地。一个输入/输出互连线,因为暴露于外部感应了高能辐射场,所以在线缆屏蔽层上有高频噪声。如果运行频率低于 1MHz,那么,导线屏蔽层必须采用单点接地。对于较高频信号,这个导线屏蔽层的两端都必须与 0V 基准平板相连。

为了解决在低频时单点接地问题,必须选择合适的旁路电容以满足频率范围,并安置在电缆屏蔽层的末端,该端不是直流接地端(电容如何选择已在第 5 章中描述过)。

除了单点接地技术外,其它的避免共阻抗耦合的方法也是可行的,它们是采用隔离变压器、共模扼流圈、光隔离器或平衡电路。这些方法将在后续章节的“接地环路”中介绍。

9.8 电源和接地结构中的共阻抗耦合的控制

当有许多电路同时接通时,电压和电流变动范围很大,所有的电源来自相同的电源分配系统,那么在设备之间就有可能产生射频能量耦合。电源分配系统总会有一个有限阻抗。由于在导电平板中阻抗的存在,且电流流经动态逻辑设备,所以将产生电压降。这个电压降导致产生共模接地噪声电压(接地噪声电压在第3章中已详细讨论)。因为一个平板是整个PCB的一部分,存在于PCB中的接地噪声电位,会传输到其它部分,影响系统质量,并导致EMC问题的产生。

图9.12说明了在电源和接地平板中共阻抗耦合的概念,在设备1的接地基准点的噪声由下式表示:

$$V_{\text{noise}1} = (I_1 + I_2)(R_{p1} + P_{g1} + Z) \quad (9.10)$$

如果设备2上消耗的电流比设备1上的电流多,且电源的输出阻抗可以忽略的话,那么,我们可以得到在设备1上总的接地噪声电压,如果设备1易受噪声破坏,那么严重的问题就会发生。

$$V_{\text{noise}1} = I_2(R_{p1} + P_{g1}) \quad (9.11)$$

如果试图在电源分配系统中找到一种使共阻抗耦合最小的设计方法,这种设计方法必须把此电源分配网络中存在的阻抗考虑在内。根据设计,供给电压和接地回路可采用圆形导体或一扁平带状线。公式(9.12)描述了各种结构的电感的计算。对于这些结构的电感的了解可以帮助设计者明白,为什么在一个设备中产生的射频噪声会对别的设备产生危害。表9.1提供了工作在1MHz状态下的这些电感值。

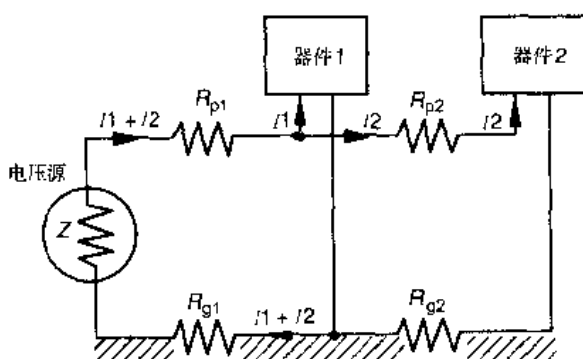


图 9.12 电源和接地结构中的共阻抗耦合

$$\begin{aligned} L_{0(\text{round})} &= \frac{\mu_0 s}{2\pi} [\ln(4s/d) - 1] && \text{圆导体} \\ L'_{0(\text{round})} &= \frac{\mu_0 s}{2\pi} \ln(4h/d) && \text{平板上的圆导体} \\ L_{0(\text{flat})} &= \frac{\mu_0 s}{2\pi} [\ln(8s/w) - 1] && \text{扁平带状线} \\ L'_{0(\text{flat})} &= \frac{\mu_0 s}{2\pi} \ln(2\pi h/w) && \text{平板上的扁平带状线} \end{aligned} \quad (9.12)$$

其中, s = 导体长度(m), w = 导体宽度(mm), h = 接地平板上方的高度(cm), d = 导体直径(mm), L = 电感(H), $\mu_0 = 4\pi \times 10^{-7} (\text{A/m})$ 。

表 9.1

频率为 1MHz 时各种导体的电感

导体类型	宽 (mm)	长 (m)	直径 (mm)	高 (cm)	电感 (μH)	电阻 (Ω)
圆面	—	1	1	—	1.7	11
参考面上方圆面	—	1	1	1	0.7	4
窄带	10	1	—	—	1.3	8
参考面上方窄带	10	1	—	1	0.37	2

资料来源: Oren Hartal, Electromagnetic Compatibility by Design ©1994, 经 R&B 公司同意出版。

电感随着导体长度的增长而增加, 随着其宽度的增加而减小, 因此, 使导体尽可能短就变得重要。同时, 导体越宽, 电感也越低。

在一个电源分配系统中减小共阻抗耦合的最好的方法是对不同的开关设备提供不同的电源和接地, 这对单面和双面 PCB 一样有用。在多层板中用分离的电源和接地平板, 使电源分配系统具有低阻抗。那么共阻抗耦合就会减小。

9.9 接地环路

接地环路是产生射频噪声的一个主要原因。当多点接地的接地点间实际距离较大(大于波长的 $1/20$)及主参考地连接在交流或机壳上时, 射频噪声容易产生。除此之外, 低电平模拟电路也形成接地环路。当出现接地环路时, 有必要隔离或阻止射频能量从一个电路耦合到另一个电路, 造成破坏。一个接地环路包括信号路径和接地装置。

图 9.13 给出了装在底板上的 PCB 的接地环路的外形。 V_n 代表 PCB 中的共模接地损耗。 I_{cm} 代表 V_n 通过底座产生的分流。两个独立的接地点提供了每个电路。由于公共参考走线之间存在有限阻抗导致两个电路间的参考地存在差异。不希望有的噪声将从一个电路传到另一电路。同电路中的信号电平相比, 接地噪音电压的大小不可忽略。如果信噪比受限受到影响, 则必须采取正确的设计技术以确保电路工作在最优状态。所有器件必须有一个参考点用以确定电路的 0V 参考位置, 从而使电压转换适合于所使用的逻辑器件。

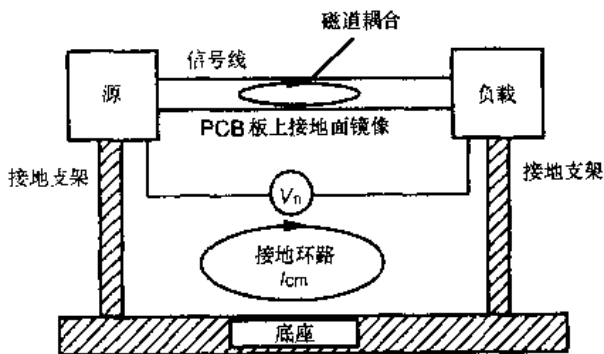


图 9.13 两个电路间的接地环路

当 0V 参考有差异的时候, 如何避免产生接地环路呢? 在 PCB 设计和布线期间可以使用两个主要的设计技巧:

- 去掉一个接地点(变成一个单点接地系统)
- 用下面任一种器件隔离两个电路: 变压器、共模扼流圈, 光隔离器或平衡电路

图 9.14 是用上述隔离方法对图 9.13 的改进, 减小了 I_{cm} 后的情况。第一个改进电路采用变压器隔离接地环路, 当使用了隔离变压器时, 接地噪声电压仅在变压器的输入端出现。任何

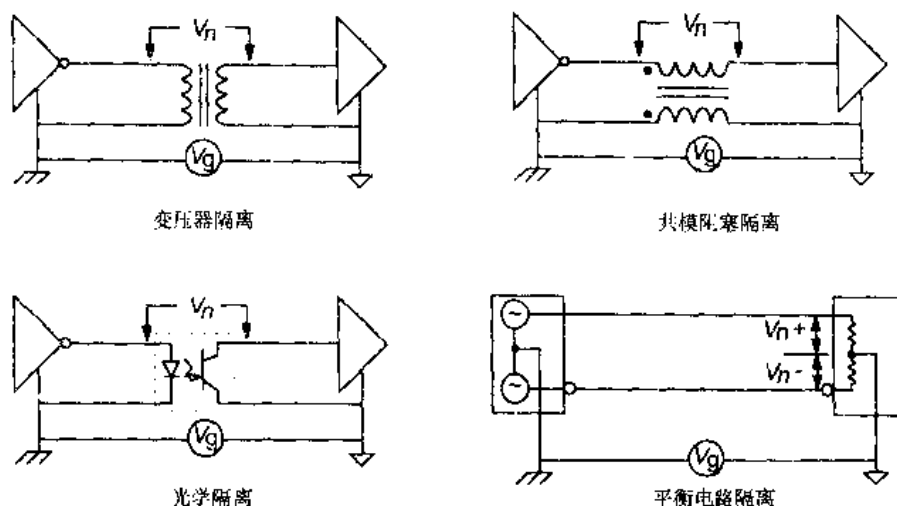


图 9.14 隔离两个电路间的接地环路

出现的噪音耦合都是由于变压器输入和输出绕组间存在寄生电容所致。为了减小寄生电容,可在原副绕组线圈之间使用屏蔽技术,屏蔽层可接到交流参考点或底座地上。使用变压器的缺点是体积过大、PCB 的实际成本及附加成本过高。除此之外,如果隔离区域间需要传送许多信号,每个信号都需要用一个变压器隔离。

共模扼流圈作为另一种技术也在图 9.14 中给出。这种技术的优点是消除了共模电流。如果由于回路有一定的阻抗,而使元件间有不同的零参考点,这个电压将产生共模噪声。一个共模扼流圈可使信号的直流成分通过,而对传输线中同样也存在的高频交流成分有衰减。它对所研究的差模信号没有影响。而我们希望要的正是这种差模信号,而不是共模电流。多个绕组可缠绕在同一个铁心上,它增加了扼流圈所能处理信号的数量或强度。

光隔离器件是用来防止接地环路和减小 I_{cm} 的另一种技术。光隔离器件完全隔断了传输路径,使两个电路间不存在连续的金属连接。电磁场沿 PCB 走线或导线传播时要通过这种金属连接。当两个电路间的参考电位差别很大时,最适合使用这些光隔离器。接地噪声电压出现在光发射机的输入端。由于用在模拟电路设备中会出现非线性,所以光隔离器最好用于数字逻辑电路设计。

平衡电路就是使用差分对从源到负载传送信号。使用差分传输线路时,两根线中的电流相同。这种平衡抵消了网络中可能存在的共模电流。许多差分输入元件产品制造商在其器件资料中都提供了共模抑制比的大小。共模抑制比(CMRR)定义为:共模电压 V_{cm} (即产生输出电压 V_o 所需要的两输入端的共同电压)与差模电压 V_{dm} (即产生输出电压 V_o 所需要的输入电压差)的比。

共模抑制比表明了进入设备的共模噪声被抑制的程度。差分对的对称性越好,共模抑制的程度就越大。在高频时,很难实现较高的共模抑制比。

共模抑制比在数学上定义为

$$CMRR = 20 \log \left| \frac{V_{cm}}{V_{dm}} \right| \text{ dB} \quad (V_o = \text{常数}) \quad (9.13)$$

根据图 9.15 的电路计算出共模抑制比为

$$CMRR = -20 \log \left| \frac{R_1 (Z_b - Z_a)}{(Z_a + R_1)(Z_b + R_1)} \right| \text{ dB} \quad (9.14)$$

图 9.15 中需要注意的是镜像平面和机座平面的位置。差模传输线系统以 0V 平面为参考,而不是以机座平面为参考。任意在源和负载间形成的 I_{cm} 都必须流入 0V(地)参考点。在使用差模部件时必须注意这个区别。为了确保两条路径阻抗匹配,终端阻抗 Z_a 和 Z_b 的选择必须十分严格。如果存在阻抗不平衡, I_{cm} 将增加。 I_{cm} 的产生过程详见第 4 章。

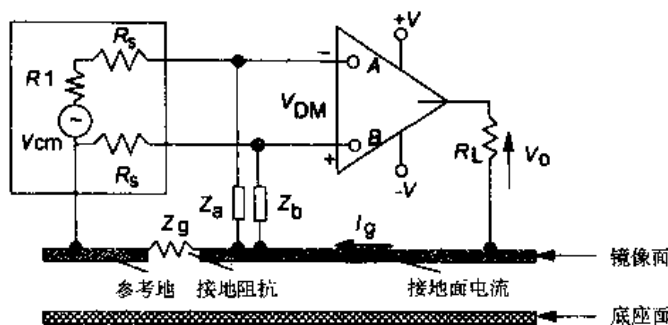


图 9.15 推导共模抑制比的电路

使用(9.14)公式时,电阻的精度是十分关键的一个参数,而电阻 R_s 必须与传输线阻抗匹配以确保电路正常工作。

当讨论差模电路以减小 I_{cm} 时应注意到:

- (1) 信号阻抗控制只取决于镜像平面。
- (2) 信号通量被限制到内部镜像平面,而不是机座。
- (3) 机座平面只短路掉了通过镜像平面产生的共模损耗。

9.10 多点接地中的谐振

在 PCB 中采用多点接地技术时容易出现的问题就是谐振,这种谐振发生在接地引线与交流参考平面或机座平板之间。尽管这个交流参考平面或底座平板相对于特定的接地体处于 0V 电压,但也许会与数字或模拟电路中的 0V 参考点完全不同。在高频、高上升沿速率信号的情况下,这种参考电平的差别将变得更为明显。

谐振的产生取决于接地引线位置之间的距离和激励信号的频谱。这种谐振的产生是因为除了由于接地机架及接地引线的电容和电感外,在电源和接地平板之间也存在着寄生电容和电感,如图 9.16 所示。

图 9.16 展示了一个固定于金属平板的 PCB 的镜像平面。在这个图中,我们可以看到同时存在着电容和电感。电容存在于 PCB 内部的电源和接地平板之间。而在平板的接地引线之间,存在着有限的阻抗。用公式 (9.5) 我们可以确定电源和接地平板装置的自谐振频率,这从数学上计算起来是很困难的。利用网络分析仪可以很快确定接地点之间的实际自谐振频率。因为 PCB 的自谐振频率是由平板的电感决定的,而平板的电感与网络分析仪的空间距离和测试探头的接地点有关,所以要多次测量。在电源和接地平板之间,电容是保持固定的。

因为 PCB 的电源和接地平板是在多种频率下发生自谐振的,所以可以用同样的方法来分析 PCB 的金属结构的自谐振。这种金属结构可以是母板的底座,也可以是用于插卡的背板,或者是两个 PCB 间的屏蔽隔板及其它应用。相对于 PCB 的实际位置,在安装支柱之间也会出

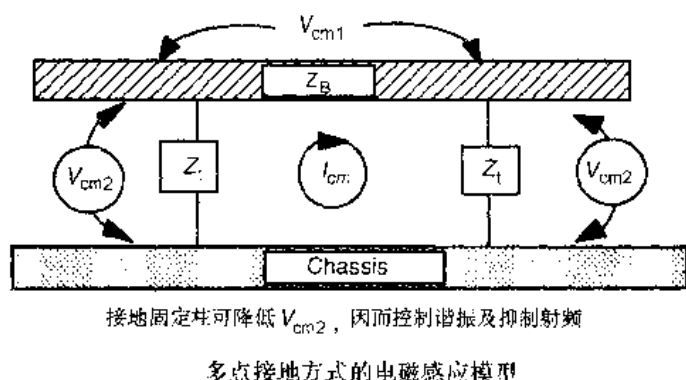
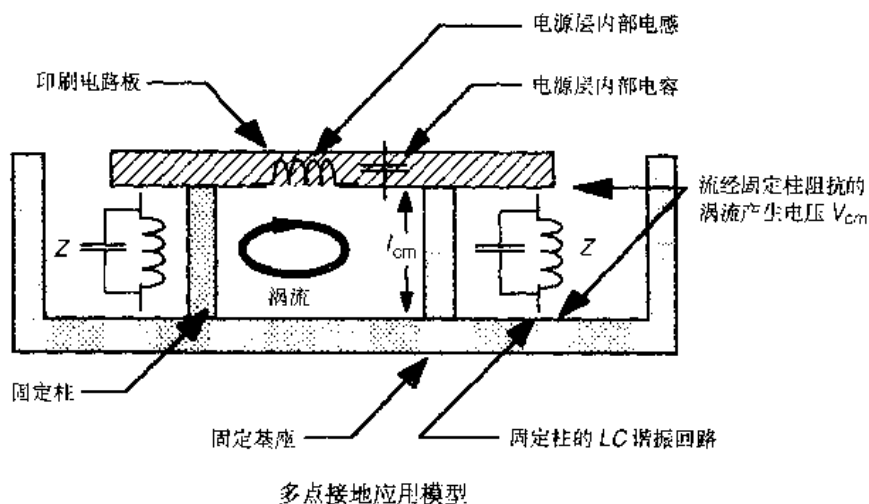


图 9.16 机壳底板多点接地时的共振

现电感。现在,我们已经明白电感的分布了,那么电容呢?

因为在 PCB 与金属体之间存在有限的距离,所以就存在电容和转移阻抗。例如,从电压的角度看,PCB 可以看作是一个电容的正极,而金属体是它的负极,电介质为空气。

除了金属材料之间的总电感(非常小)和在 PCB 与底板之间的寄生电容外,用于固定 PCB 和底座的支柱结构也极易产生电磁感应,如下文所述。这些支撑结构有时会产生 EMI 问题。

支柱结构为什么容易受感应与它本身并无主要关系,而是由其上使用的金属螺栓决定的。螺栓的电感比 PCB 的电感或整体结构中的寄生电感也许要大几个数量级。图 9.17 很好地解释了螺栓上容易产生感应的原因。因为导致这个电感产生的参数很多,所以对螺栓的电感进行建模是很困难的。这些参数包括材料的组成、与支柱体相接触的螺纹数目、螺纹的间距、螺纹的斜度、螺栓的镀层材料、压强大小及从顶到底的螺栓长度。

螺栓包括螺旋形的螺纹,并且这个螺纹的边缘才是与接线柱相啮合的一部分。我们不能保证所有的螺纹都会与接线支柱之间有 100% 的紧密接触。为了允许螺栓旋进,接线支柱的物理直径要比螺栓直径大。所以只是螺纹的某些部分会与支柱有接触,而不是在这个螺栓的整个长度上都接触,这在图 9.17 中可以看到。

当有射频电流流经螺栓时,螺旋形螺栓和螺旋天线有同样的功能。因为集肤效应,电流只集中在螺栓的最表层。在螺栓的顶部和底部将产生一个电压,这个电位差会加剧射频电流的

产生。

生产厂商还在螺纹表面电镀了材料。当在螺栓与接线柱两个金属之间产生接触或磨擦时,电镀层会被磨破而使螺栓暴露在外部环境中。发生电镀腐蚀的极端情况是这个螺栓变成了非导体(绝缘体)。如果期望的应用允许存在低阻抗、共模接地参考路径,当腐蚀发生时,这个路径就不通了。所以,螺栓只是用来紧固 PCB 和金属设备,而不能把射频电流转移到 0V 参考点或接地系统。位于 PCB 顶部的套在接线支柱上的大垫圈有利于实现所要求的低阻抗的接地连接,而不是螺栓实现的。PCB 的衬垫必须和接线支柱的柱面保持隔离。这个接线支柱通常被很好地焊接在底座上,这样,如果在 PCB 中要求低阻抗的接地路径,这将由接线柱来提供,而不是螺栓。

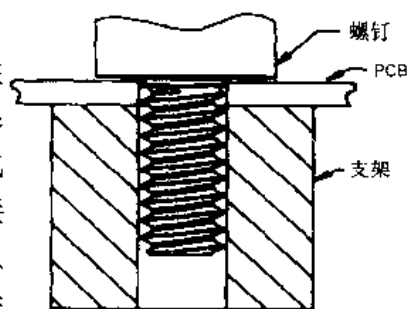


图 9.17 在支柱上使用螺栓的
PCB 存在的接地问题

数字电路可以被看作是高频的模拟电路。在任何包含许多数字电路的 PCB 中,都要求有一个好的低电感的 0V 参考回路。PCB 内部的接地层(比电源层多)通常为电源和信号回流提供了一低电感的接地镜像参考。这样,信号互连就可以使用固定阻抗的传输线。当接地平板(0V 参考)与机座平板连接时,为射频电流提供高频去耦是必要的。

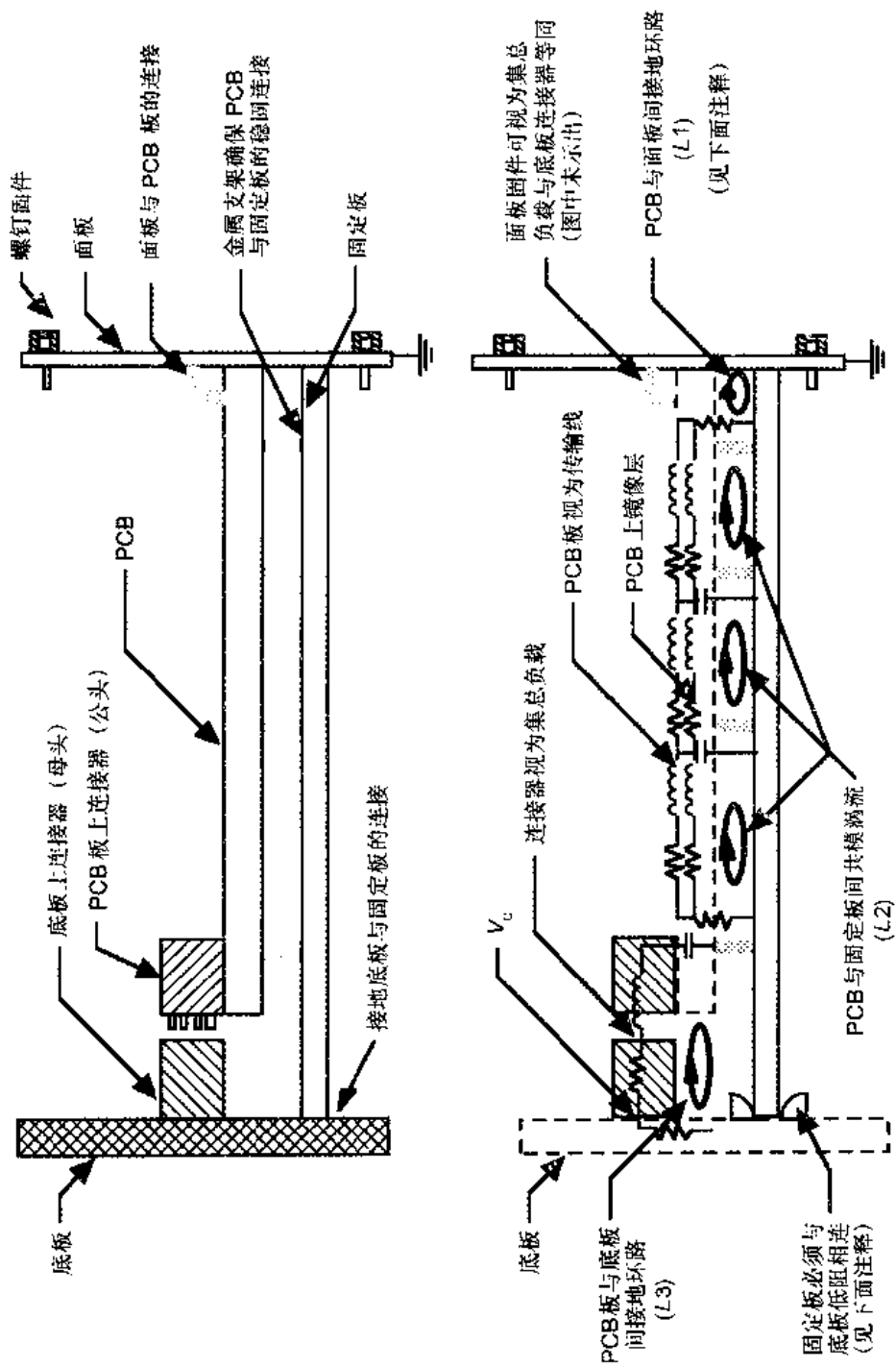
这些高频的 RF 电流是由于电源和接地平板结构内的自谐振而产生的,而电源和接地平板内的自谐振是由过孔和数字电路的开关噪声引起的,在每个电源与接地平板之间的地连接中应使用高质量的去耦电容,如何选择最佳去耦电容已经在第 5 章中详细讨论过了。

9.11 子卡与卡架之间的场耦合

由 PCB(元件、接地环路、互连电缆以及其他类似部分)产生的 RF 场会和金属结构耦合。所以,在结构中会产生 RF 涡流,涡流在结构中循环,从而产生场分布。该场可能耦合到其它电路、子系统、互连电缆、外围设备及电源中。该场分布最显著的影响就是在背板及金属卡架之间产生共模电压,该电压不仅在背板中,而且在子板中产生场能量。此外,在近场($< \lambda/4$)进行辐射测试时可以观察到这种场,在距场源 $\lambda/4$ 以外,它将以平面波的形式存在。当在 PCB 上采取合适的抑制技术,而且在背板和卡架之间提供合适的参考,以使分散产生的电位短路,会减小电路板与背板及卡架之间的场转移耦合。

上面提到的背板与卡架之间的合适参考是通过在背板和卡架间设立一个具有低阻抗的 RF 参考来实现的。为了短路由子卡与薄金属片之间的耦合而产生的涡流导致的电位,必需采用这种参考技术。这些电流通过分布转移阻抗(一般 $< 10\Omega$)耦合到卡架上,然后试图通过与背板耦合形成闭环。如果背板与卡架间的共模参考阻抗,不明显低于分布的“驱动源”(涡流)阻抗,那么在背板与卡架间会产生一个 RF 电压。它的频谱是由背板和子卡上的信号频谱合成的。这个电压会使得背板上的任意互连辐射频谱,即使是直流导线也不例外。在这种机理下产生的频谱电压也许应该归功于以背板与卡架之间的板间耦合。

简言之,在背板与卡架之间的共模频谱电压必须被短路。它是通过沿背板周长以固定的间隔与卡架(机壳)相连接来实施的。或者,可以将“交流接地底板”安置在背板内部,一般直接定位在逻辑回地平面附近。这样在交流接地底板和回地平面之间就会产生分布转移阻抗。这



注：为控制电压 V_c ，固定板必须与底板实现低阻抗连接，若不相连，固定板会将共模潮流耦合至底端或邻近印刷电路板。要达到 EMC 要求，任何时候都要避免共模潮流。要控制环路 L_1 ，面板必须与固定板连接良好。

图 9.18 背板的互连阻抗问题

个接地底板在装置内也同时起着法拉第隔离板的作用。背板中交流接地底板的位置,必须使其不会被用作是信号走线的镜像返回参考。也就是说它必需被逻辑接地平板覆盖。一般来说,为了更合理有效,逻辑接地平板和交流接地底板间的 RF 转移阻抗必须等于或小于 1Ω , 这样,就可以短路掉子卡—卡架—背板—卡架间的共模电压。

读者必须注意,要想取得最好的 EMI 和系统性能,必须使信号阻抗得到很好的控制,并以接地平板(或 0V 参考点)而不是以电压平板作基准。此外,内部并行平板上的电源阻抗分布必须使其阻抗值尽可能小。

在图 9.18 中,如果背板的顶层和底层或子卡是一个交流接地底板,那么,对于背板连接器和 PCB 的面板螺栓安全装置,都可以有一个低阻抗的与底座接地的连接。这个低阻抗路径中可以使 RF 电流流向底座地,这样就阻止了接地环路 $L1$ 和 $L3$ 在面板到 PCB 和背板到 PCB 之间分别产生 RF 电压。通过逻辑地与底座地之间的搭接可以使接地环路 $L2$ 产生的电压也被减小。

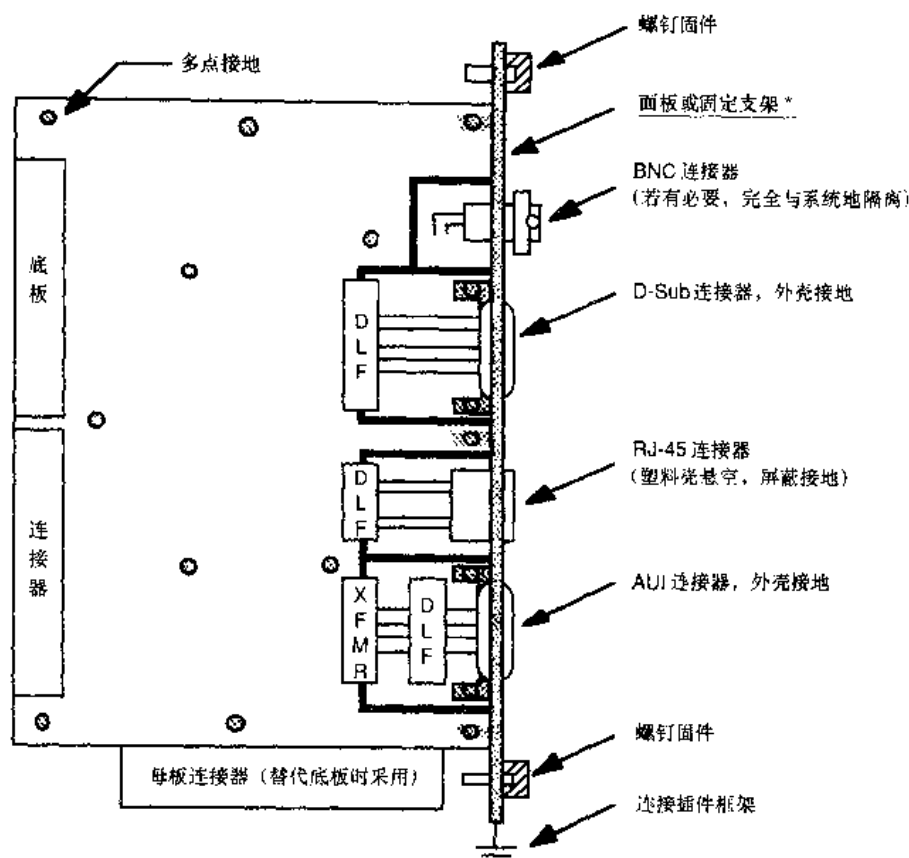
所有的布线层必须连接到背板上,而顶层和底层是交流接地底板。因为外层是交流平板,从逻辑地到底座地的直接连接可以通过在平板间使用旁路电容而轻易实现。

9.12 接地(输入/输出连接器)

对于工作在低频或可能使用单点接地技术的产品,一般可以不关心本部分的内容。对于低频产品,逻辑地与底座地之间的低阻抗连接不仅会导致电磁干扰,而且会影响产品的正确功能。对于很少采用数字处理的音频电路更是如此。从“低频”电路推广到适合单点接地的电路,信号电平、封装技术及所有的工作频率的选择都应该使通过分布转移阻抗流到机箱(或外部表面)的转移电流相对于工作信号电平或预期 EMC 要求来说不再重要。

对于使用多点接地技术的产品,无论是否使用输入/输出接口,都应该注意本部分内容。大多数 PCB 模块都包含安装支架、面板、隔板连接器或在逻辑控制和外部环境之间的安全设备。这个安全装置可能包括各种输入/输出连接器,也可能是空板(例如 EISA/ISA/PCI 适配器支架)。这个支架必须通过低阻抗金属路径直接把 RF 搭接到连接底座的地上。它也可能因为功能上的原因而与逻辑地搭接。

从 PCB 的接地平板到输入/输出支架之间必须提供多点接地连接。在合适位置的多个接地点使支架接地点到机箱的分布转移阻抗,及 PCB 对端之间的 RF 接地环路改变方向。接地越好,流向底座地的 RF 电流就越多。图 9.19 展示了如何将支架很好地与底座地和逻辑地相连接。所有输入/输出区域都通过一个防护带而与控制逻辑隔离,这个防护带通常也被称作隔离带、割裂板、间隙或隔离区域。



* 固定支架 (接地) 按图示在多个位置与PCB 相连。
利用螺钉或其他手段使面板与底座接地面稳网连接。
注意选择接地点, 使接地环路减至最小。
DLF 指数据线滤波器。

图 9.19 I/O 面板或支架的多点接地问题

参考文献

- [1] Montrose, M. 1996. *Printed Circuit Board Design Techniques for EMC Compliance*. Piscataway, NJ: IEEE Press.
- [2] Coombs, C. F. 1996. *Printed Circuits Handbook*. New York: McGraw-Hill.
- [3] Gerke, D., and W. Kimmel. 1994, January 20. "The Designers Guide to Electromagnetic Compatibility." EDN.
- [4] Hartal, O. 1994. *Electromagnetic Compatibility by Design*. W. Conshohocken, PA: R&B Enterprises. (Material reprinted by permission.)
- [5] Ott, H. 1988. *Noise Reduction Techniques in Electronic Systems*. 2nd ed. New York: John Wiley & Sons. (Material reprinted by permission.)
- [6] Paul, C. R. 1992. *Introduction to Electromagnetic Compatibility*. New York: John Wiley & Sons. (Material reprinted by permission.)
- [7] Van Doren, T. 1995. *Circuit Board Layout to Reduce Electromagnetic Emission and Susceptibility*. Seminar notes.
- [8] William M. King, United States Patent #4,145,674.

术 语 表

1. 电磁兼容性

衰减 能量的损耗,由分贝(dB)度量。

连接 在两个金属面之间建立低阻抗的电子连接。

电路 带有源阻抗、负载阻抗、相互连接的复合设备。对于数字电路,复合源和负载可以是一个电路的一部分,这部分中所有设备都涉及相同的点,或者使用同一条信号反馈线。电路通常起源于一个位置而终止于另一个位置。

电路参考 为相互交互的多个电路设立 0V 参考电压的过程。设立大地参考的最重要的原因就是电路参考。这个参考点不能故意传送功能电流。

共模 在设备的两个输入端,振幅和相位完全相同的信号;存在于中性点和地之间的电势或电压。

共模电流 产生不能相互抵消的电磁场的一个信号电流的分量。例如,一个由一条信号线和一条地线组成的电路会产生共模电流,它是在两条导线中的同一方向上的总信号电流流之和。共模电流是 EMI 的根本来源。

共模干扰 出现在信号线之间的或涉及到接地问题的电路终端的干扰。

共模抑制比 设备输入端的共模干扰电压与输出共模干扰电压之比。比值越大,性能越好。这个比值描述了设备抑制同时作用于两个输入端口的电压的影响的能力。

传导辐射 射频(RF)能量的分量,以传导波的形式在媒质中传播,一般通过电线或互连电缆传播。线性传导干扰(LCI)指的是在电源线或交流主干输入电缆中的射频能量。传导信号不能以场的形式传播,只能以传导波的形式传播。

传导抗扰度 产品通过它的外部电缆、电源线和输入输出连接抵抗电磁能量穿透它的能力。

传导灵敏度 通过输入输出连接电缆、电源线或信号电缆从设备外部耦合到内部的电磁干扰。

遏制 为防止射频能量外散,通常用金属罩屏蔽产品(法拉第罩或高斯结构体),或是用涂有导电漆的塑料遮盖物。反过来,我们可以称遏制为防止射频能量进入装置。

分贝 比率度量标准的对数。测量信号功率和强度的基本单位。电路中的功率电平加倍,则分贝值会增加 6dB,若减半则减少 6dB。

接地(英国术语) 在建筑的接入线中,安全接地线对地的连接。

电磁兼容性 电气和电子系统、部件和设备在下列条件下操作时——给定的电磁环境、预定的安全范畴和设计水平或性能要求,不会由于电磁干扰而遭受或引起不可接受的性能下降。

电磁干扰 缺乏电磁兼容性,即干扰的实质是兼容性的缺乏。分裂的电磁能量经发射

或传导途径(或两者皆有)从一个电子设备传到另一个设备,这个过程称为电磁兼容。在通常的应用中,这个术语尤指射频信号,但电磁干扰产生的频率范围是“直流到自然光”。

静电放电 在互相接近的电势不相等的物体或直接接触的电势不相等的物体之间电荷的移动。这个事件被看作高压脉冲,可能会造成灵敏电路功能的毁坏或丧失。尽管放电被看作是高压脉冲,ESD 这个术语适用于低电流的事件和由人工触发的特殊事件。然而为了讨论的需要,放电被包含在 ESD 类中,因为保护技术非常相似,虽然等级不同。

电磁干扰滤波器 一种电路或设备,包含能提供滤除高频 RF 能量的低阻抗路径的元件。滤波器也可用于保护特殊电路免受电磁场的干扰。

等电位接地面用作功率和信号参考公共连接点的金属板。这个面对于射频频率可以不是等电位的,因为它的电学尺寸比较大。

法拉第屏蔽 涉及传导屏蔽的一个术语,用于牵制或控制电场。这个屏蔽可以位于变压器的初级和次级绕组之间,也可以完全环绕一个电路(或系统)提供电磁屏蔽。不需要接地(注:法拉第屏蔽实际上是一个高斯结构。高斯定律描述了这个屏蔽的功能目的。然而,法拉第定律描述了时变磁场产生电场。法拉第是第一个证实或证明高斯定律正确性的人,因此,他的名字就与屏蔽功能联系在一起)。

铁氧体元件 具有多种形状的强磁材料,用于吸收双绞线、电缆和导线上的传导干扰。铁氧体通过作为损耗阻抗和增加自感应的方式将电磁干扰磁通量场转变成热(一个放热过程)。与滤波器是在其阻带内反射电磁干扰相比,使用铁氧体元件的一个好处是它不反射电磁干扰,这样既不会增强辐射,也不会干扰其他受损元件或电路。

铁氧体材料 一种金属氧化物,以铁为主要成分烧制成一种特殊的陶瓷形状。铁氧体有两个关键特性:(1)能集中和增强磁场的磁导率;(2)具有较高的电阻系数,能限制内部电流的流动。铁氧体损耗低,效率高,作用于高频(1MHz 到 1GHz)。

滤波器 通过必要的频率时,可阻挡射频电流的设备,例如 50/60/400Hz。在通信或高频电路中,滤波器抑制不必要的频率和噪声或者将信道互相分开。

接地环路 包括一个作为接地电位元件(面、引线、导线)的电路,返回电流可以通过这个元件(面、引线、导线)返回。一个电路中至少有一个接地环路。虽然一个接地环路是可接受的,通过环的电流问题的严重性依赖于出现的可以引起系统故障的不必要信号。

接地针脚式定位 从印刷电路板到金属性结构建立一条固定连接的过程,目的是提供系统范围的接地参考,不管使用的接地方法。

接地 一个通用术语,有多少工程师就有多少种定义。这个词的前面必须加一个修饰语。

接地方法 所选择的一种能满足特定要求的引导电流的最佳方法。

纯接地 有时作为实际使用位置的参考。参见单点接地节。

混合接地 同时包括单点接地和多点接地的接地方法,方法的选择依赖于电路的功能性和现有的频率。

抗扰度 一种对设备或系统在维持预定的性能等级的前提下抵抗电磁干扰辐射能力的相关度量措施。

插入损耗 在某个特定频率下,放入滤波器前后负载上吸纳的功率的比值,或为特定目的滤波器可提供的损耗的能量。

多点接地 不同电路都以公共等电位或参考点做参考的方式。可以在需要的位置以任何方式建立连接。

寄生电容 通过元件(寄存器、感应器、滤波器、绝缘变压器、光隔离器等)的电容泄漏,反过来又对高频性能产生影响。寄生电容也存在于有源器件(或印刷电路板)和底板上的片状金属或外壳之间。

磁导率 材料可被磁化的程度,经常用作描述与所加磁场感应的磁通密度有关的一个参数。

辐射发射 以电磁场的形式通过媒体传播的射频能量的分量。射频能量通常通过自由空间传播,然而也可能以其它形式的场传播。

辐射抗扰度 产品抵抗通过自由空间传播而到达的电磁能干扰的相对能力。

辐射灵敏度 从外界感应的电磁场辐射,通过自由空间传播进入设备内的电磁干扰

射频 一个频率范围,包括对通信有用的相干的电磁辐射能量,粗略范围是 10kHz ~ 100GHz。这种能量可能作为电气设备操作的副产品被传播。射频以两种基本模式传播:辐射和传导。

参考点 在两个电路之间建立电连接或电结合的过程,允许两个电路接相同的 0V 参考点。

射频接地 为了允许产品满足发射和抗扰度两者的要求,采用特殊方法提供一个接地参考点;辐射或传导。

安全接地 为了防止电击的危险,通过适当的连线以及连接电源和负载的永久、连续、低阻抗,并有一定容错能力的导线布线,提供接入大地回路的一个过程。

屏蔽接地 为内部电缆或主机壳提供 0V 参考点或电磁屏蔽。

单点接地 多个电路使用同一位置作参考点以便于不同点之间通信的方式。因此所有信号将参考同一位置。

抑制 不依靠辅助方式,如金属套或壳,降低或消除存在的射频能量的过程。

灵敏度 与设备或系统被电磁干扰破坏或毁坏的倾向有关的度量标准。是抗扰度的不足。

2. 信号完整性术语*

交流(AC)阻抗 由交流或时变电压得到的电阻、是电阻与容性电抗和感性电抗的联合。

交变电流(AC) 随时间变化的电流。这个称号通常适用于每秒多次变换极性的电源,例如有用功。它可以是正弦波,也可能是方波或三角波。

幅值 相对于参考点,例如信号地,测得的信号的高度或大小。

衰减 信号在媒质中传播会产生损耗,由于损耗而导致的信号幅值的减小就称为衰减。

后肩现象 当一个具有快速上升或下降沿的信号沿着没有正确匹配的长传输线传输时,将产生类似阶梯函数的反射信号,这样现象叫做后肩现象。

后向串音 从信号源端的静态链路终端看,噪音由一个动态链路进入与它相邻的静态链路的现象。

汇流条 在 PCB或底板上用于携带高强电流的一个比较大的铜或黄铜条。

* 术语——信号完整性由 ICP-2141 提供。见 *Controlled Impedance Circuit Boards and High Speed Logic Design*, and IPC-D-317A, *Design Guidelines for Electronic Packaging Utilizing High-Speed Techniques*. ©经 IPC 协会同意出版。

电容 一种度量标准,用于度量当在被绝缘体(一种电介质)隔开的两个邻近导体之间加电压时的充电能力。

特性阻抗 并联导电结构对交流电流的阻抗。通常适用于在PCB和电缆中携带高速信号的传输线。一般情况下在一个宽频带内是恒定值。

共轴 用于描述具有相同中心轴的导体的术语。采用导管包围中心导线的形式,外围导管用于屏蔽和接地。导体之间除了空气之外也可以是一种电介质。

交叉 绝缘的两个导体间的交叉。

电流 由于两点之间电压的不同而产生的导体内电子的流动。

去耦 为防止开关或数字逻辑注入到电源线的噪声脉冲干扰同一电源电路的其他逻辑,提供一个局部定位的充电电源,通常用去耦电容来实现。电源电路的其它逻辑电路。通常由电容完成。

介电常数 见相对介电常数。

差分对 并行发送信号在线路之间产生的互阻抗,典型值是 $50 \sim 100\Omega$ 。

直流 由恒定的电压源产生的电流。通常由电源产生,提供给电路。

边缘速率 逻辑信号变换时电压变化的速率。通常用伏特每纳秒表示。

边缘变换衰减 因为吸收传输线中的最高频成分而引发的在交换边缘陡度处的损耗。

有效相对介电常数 传导路径中传播的电信号要经历的相对介电常数。

扁平导线 宽比高长的矩型导线。通常指信号导线或印刷电路板中的走线。

前向串音 从离信号源最远的静态电路终端看,噪音由一个动态链路进入与它相邻的静态链路的现象。

接地 用于描述作为系统中所有电压测量参考的电压源终端子的一个术语。通常是负的电源端子,有时是正端子。

阻抗 对电网中电流的阻碍作用。可以是电阻性的,电抗性的或两者皆有。

自感应 导体允许在由经过它的电流引发的磁场中存储能量的特性。度量单位——亨利。

线耦合 在传输线之间由互感应和两者间的电容引发的耦合。

负载电容 由逻辑电路或其它信号源的输出端看进去所得的电容。通常是所有负载电路的干扰线电容和输入电容的总和。

逻辑电路 用于描述执行计算功能的功能电路的一般术语。

噪声预分配/噪声容限 允许在满足设备操作要求的特定限值内改变系统的直流和/或交流电压的现象。噪声预分配由两个基本部分组成:每个综合电路的直流电源和逻辑信号交流噪声预分配。

过冲 高于电源限值或低于地参考点的过压对元件或设备的影响。

磁导率 用于表示磁感应强度和磁化力之间关系的一般术语。

相对介电常数 材料的介电常数与自由空间介电常数的比率。介电常数不是恒定的,它随参数的不同而不同,参数包括测量的电频、温度和材料吸水膨胀系数。

电源分配 定义电源分配的直流和交流特性被分为两类:传导损耗(DC)和电介质损耗(AC)。

直流电源分配 包括电源输出到设备输入。

交流电源分配 分为三种干扰阻抗,作为一个电源干扰阻抗网来看,有

(1) 开关瞬时阻抗 去耦电容和设备之间的阻抗。这部分也涉及地或电源的电位跳变。这是电路的最高频部分。

(2) 大容量 IC 去耦电容的充电阻抗这个阻抗中的电流与第一部分相比频率较低,幅值较大。这个电压降比开关瞬时阻抗压降低。压降低是由于低数操作时的阻抗低。

(3) 去耦电容阻抗 由去耦电容为集成电路提供电流时产生。去耦必须为设备提供充足的电流。这包括设备开关时所需的峰值电流。印刷电路板的电源系统必须在提供的电压不低于设备要求的最低等级的前提下提供这个电流。

电源/地电位跳变 同时的开关输出可能在电源和地参考之间诱发耦合。耦合延时可以引起边缘速率跃迁(上升或下降)。电源和地没有精确的模式,包括包装模式,要想精确模拟很困难。宽导体的低自感连接的使用进一步减小了自感的影响。

传输延时 信号通过传输线所需要的时间,或逻辑设备为执行功能从输入到输出所需要的时间。

脉冲 一种逻辑信号,它从一种状态转换为另一种状态并在短时间内返回,并且大部分时间保持这种状态。通常用作逻辑设备时钟。

反射 来自高速信号边缘返回信号源的能量,产生的原因是信号所在传输线的阻抗的改变。

相对介电常数 存储在非导电性绝缘体内的单位电场能的数量,是在这个绝缘介质附近的一对导体之间的电容与真空中的相同导体间的电容比值的度量。

回铃 逻辑转换的上升沿达到并超过逻辑需求,在回零之前再次达到门限的现象。逻辑驱动器和接收机不匹配,恶劣的终端工艺和设备接入网阻抗不匹配都能产生回铃问题。

振铃 传输线路中在达到一个静止电平之前出现过冲(电压超过电路的最大电压值)和下冲(超过最低电压参考值)现象的影响。

上升时间 逻辑信号从它的低态转换成高态所需要的时间。通常测量电压值从 10% 上升到 90% 经过的时间。

信号线 将逻辑信号从一个电路传到另一个所使用的任何导线。

畸变 由于路径长度不同信号相对另一个信号被延时,或设计中可能引起定时错误的传输状态中的延时的影响。传导阻抗、不同传导长度、电源变化、设备容限和本地输入电容都能影响畸变。

短线 信号网主线的分支,一般用于连接不直接在信号路径上的负载。

开关噪声 设备开关时,电流通过电源/地路径来自或经过电源。当这个电流包含高频分量时,组件引线和走线的自感在瞬态在开关态变得很重要。瞬态现象由电源/地回路引发。布线的设计必须尽可能减小自感。

门限 当脉冲上升沿没有达到设备输入门限电压时引发门限妨碍。性能较差的驱动器或终端经常引发门限妨碍,虽然它也可被具有与脉冲宽度时间相比较长上升时间的设备驱动器引发。

传输线 任何形式的传输从源到负载间的信号的导体。传输时间与信号速率或上升时间相比通常很长,因此耦合、阻抗和端子对于保持信号完整性很重要。

下冲 电压值不能达到期望的最大和最小传输幅值的情况。

附录 A 分 贝

在工程领域中,需要一个通用的测量或参考单位。这个经常被理解错的单位分贝(dB),是一个对数函数。由于要对单位进行比例缩放,所以引入这个对数函数。多数比值是无量纲的,而有些比值是由分贝(dB)这个量纲来表示的。

测量的基本单元是两个物理量的比值的对数。绝对功率、电压或电流值,可以通过将它们的值与某个基准值比较,表示成 dB 的形式。下面描述了系统中功率增益($P_2 > P_1$)或损耗($P_2 < P_1$):

$$\text{功率增益(dB)} = 10\log\left(\frac{P_{\text{out}}}{P_{\text{in}}}\right)$$

在许多情况下,为了用电压、电流、场强等代替功率,必须使用参考值。下面描述了电压和电流增益比的公式,单位 dB 是无量纲的:

$$\text{电压增益(dB)} = 10\log\left(\frac{V_{\text{out}}^2/R}{V_{\text{in}}^2/R}\right) = 10\log\left(\frac{V_{\text{out}}}{V_{\text{in}}}\right)^2 = 20\log\left(\frac{V_{\text{out}}}{V_{\text{in}}}\right)$$

$$\text{电流增益(dB)} = 10\log\left(\frac{I_{\text{out}}^2/R}{I_{\text{in}}^2/R}\right) = 10\log\left(\frac{I_{\text{out}}}{I_{\text{in}}}\right)^2 = 20\log\left(\frac{I_{\text{out}}}{I_{\text{in}}}\right)$$

下一部分是关于电压和电流的。特别的,当 dB 在公共参考值上或下以 1mW 为单位度量时,就记为 dBm。发射电磁场由场密度描述:用 V/m(伏特每米)表示电场强度或用 A/m(安培每米)表示磁场强度。则下面是电压和电流场强强度测量的通用单位:

$$1\mu\text{V/m} = 0\text{dB}\mu\text{V/m}$$

$$1\text{mV/m} = 0\text{dBmV/m}$$

$$1\mu\text{A/m} = 0\text{dB}\mu\text{A/m}$$

$$1\text{mA/m} = 0\text{dBmA/m}$$

$$1\text{mW} = 0\text{dBm}(\text{注意模式不同})$$

多数调整限值用 $\mu\text{V/m}$ 描述。例如, $100\mu\text{V/m}$ 限值转变为 $40\text{dB}\mu\text{V/m}$ 。描述这个转变的等式如下:

$$1\text{dB}\mu\text{V/m} = 20\log_{10}\left(\frac{\text{V/m}}{1\mu\text{V/m}}\right)$$

$$1\text{dB}\mu\text{A/m} = 20\log_{10}\left(\frac{\text{A/m}}{1\mu\text{A/m}}\right)$$

单位之间的转换很简单,例如:

$$1\mu\text{V} = 0\text{dB}\mu\text{V} = -107\text{dBm}$$

50Ω 的系统

$$V(\mu\text{V}) = 90 + 10\log_{10}(Z) + P(\text{dBm}) \quad \text{阻抗为 } Z\Omega \text{ 的系统}$$

分贝一般有 5 个变量。下面的这些变量是为了介绍使用不同单位的分贝概念而举的例子。

$$\text{dBm} = 10\log\left(\frac{P}{0.001\text{W}}\right)$$

$$\text{dB}\mu\text{V} = 20\log\left(\frac{V}{1\mu\text{V}}\right)$$

$$\text{dB}\mu\text{A} = 20\log\left(\frac{A}{1\mu\text{A}}\right)$$

$$\text{dB}\mu\text{V/m} = 20\log\left(\frac{V}{1\mu\text{V/m}}\right)$$

$$\text{dB}\mu\text{A/m} = 20\log\left(\frac{A}{1\mu\text{A/m}}\right)$$

$$\text{dB}\mu\text{V/m}/120\text{kHz} = 20\log\left(\frac{A}{1\mu\text{V/m}}\right) \quad 120\text{kHz 带宽}$$

由于系统的阻值不同,有几种与分贝的使用有关的易犯的错误。并不是所有的系统都有相同的阻值,因此在这种情况下将得到不同的分贝值。

- $\text{dBm} = 10\log\left(\frac{P_1}{0.001\text{W}}\right)$

- 在 50Ω 系统中 1 伏特等于

$$\text{dBm} = 10\log\left(\frac{1\text{V}^2/50\Omega}{0.001\text{W}}\right) = 10\log(20) = 13\text{dBm}$$

- 在 600Ω 系统中 1 伏特等于

$$\text{dBm} = 10\log\left(\frac{1\text{V}^2/600\Omega}{0.001\text{W}}\right) = 10\log(1.67) = 2\text{dBm}$$

当计算分贝时,多数工程师会犯的一个错误就通常是被称为 6dB 的问题。我们必须问我们自己:“什么时候 6dB 不等于 6dB”? 下面是这种错误的举例。如果参考电平值加倍,对数函数增加 6dB。参考值增加 3 倍,对数函数增加 9.5dB。

- $1000\mu\text{V} = 60\text{dB}\mu\text{V}$

- $\frac{1000\text{mV}}{2000\mu\text{V}} = 60\text{dB}\mu\text{V}$

- $\frac{1000\mu\text{V}}{3000\mu\text{V}} = 60\text{dB}\mu\text{V}$

- $3000\mu\text{V} = 69.5\text{dB}\mu\text{V}$

附录 B 傅里叶分析

每一个周期信号都可以在时域和频域两个范围内描述。时域和频域之间的转换由傅里叶分析实现。数字 PCB 经常就晶振器或处理器的工作频率展开讨论。虽然此频率对工作速度来说是十分重要的,但晶振器的边沿速率将决定产生能量的射频频谱分布。数学分析很复杂,但结果很简单。大多数时域中的周期连续波形都可以在频域中观测。

相同的信号可以通过示波器(时域)观测,也可以通过频谱分析仪(频域)观测。

周期信号由一系列的正弦和余弦函数表示:

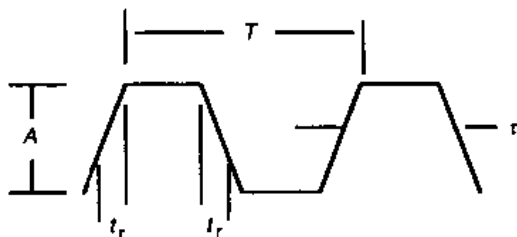
$$f(t) = \frac{A_0}{2} + \sum_{n=1}^{\infty} (A_n \cos(n\omega_0 t) + B_n \sin(n\omega_0 t))$$

其中, $\omega_0 = \frac{2\pi}{T}$ 是自然基频, $A_0 = \frac{2}{T} \int_{t_0}^{t_0+T} f(t) dt$, $A_n = \frac{2}{T} \int_{t_0}^{t_0+T} f(t) \cos(n\omega_0 t) dt$, $B_n = \frac{2}{T} \int_{t_0}^{t_0+T} f(t) \sin(n\omega_0 t) dt$ 。

这些等式表明周期信号是由多个频率和振幅的正弦信号叠加成的。因此,一个周期信号对应一个特定的频率范围。傅里叶变换将基于时间的信号转换成频域能量。傅里叶变换的公式是

$$F(\omega) = \int_{-\infty}^{\infty} f(t) e^{-j\omega t} dt$$

傅里叶包络可用于快速计算最差情况频率谱包络。对于一个给定的周期矩形波信号,上升和下降时间已经限定,频率谱包络计算方法如下图所示:



图中, A = 峰值振幅(伏特或安培), τ = 脉冲宽度(在最大值一半处测量), T = 脉冲周期, t_r = 边沿跃迁的 10% ~ 90% 的上升时间, t_f = 边沿跃迁的 10% ~ 90% 的下降时间。如果 $t_r \neq t_f$, 使用两者中最小的一个。

在频域中信号的振幅 A_f , 由下式计算:

$$A_f = 2A \frac{\tau}{T}$$

其中 A 是时域中的峰值振幅。角频率 f_1 和 f_2 , 使用下述方法计算, 占空比 δ 也已列出:

$$f_1 = \frac{1}{\pi\tau} \quad f_2 = \frac{1}{\pi\tau_r} \quad \delta = \frac{\tau + \tau_r}{T}$$

通过观察角频率, 我们得知周期信号的上升和下降边沿可能不同, 并且经常差别很大。鉴于这种情况, 必须使用两个角频率中较快的一个, 这就是通常的由高向低状态的转换。

下图举例说明了将两个角频率视为相同时的周期波形(梯形)的频谱表示。直到角频率 f_2 , 信号的振幅都按 $-20\text{dB}/十倍频$ 的规律下降。超过 f_2 , 信号的振幅按 $-40\text{dB}/十倍频$ 的规律下降。超过 f_2 的频谱幅值定义为

$$A_f = \frac{2A}{f^2 \pi^2 \tau_r T}$$

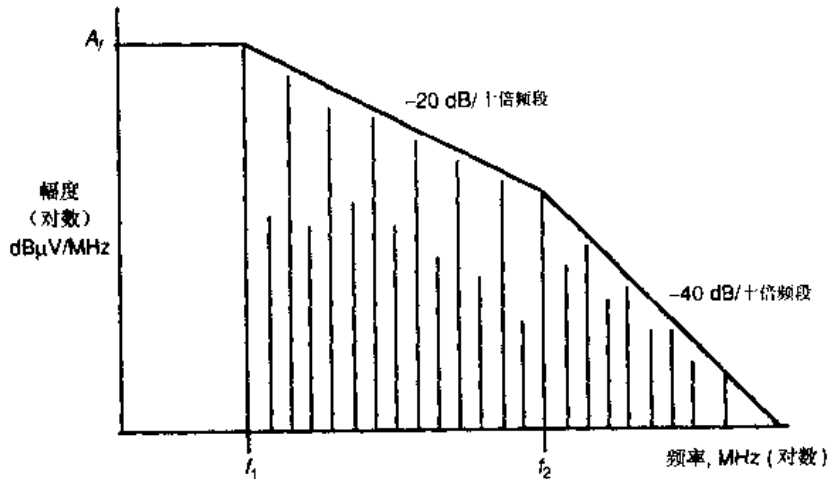
在第 n 个谐波中的电流为

$$I_n = 2I_d \frac{\sin(n\pi d)}{n\pi d} \frac{\sin(n\pi\tau_r/T)}{n\pi\tau_r/T}$$

其中, I = 波形的峰—峰值, d = 占空比, τ_r = 上升时间, T = 信号周期, n = 谐波数。

I_n 的单位与 I_d 的单位相同, 因此, 等式是无量纲的。对于谐波的计算, 我们假设上升和下降边沿时间是相同的。如果两个不同, 则必须使用两者中较小的一个做最差情况分析。对于 50% 的占空比 ($d = 0.5$), 一次谐波(基波)包含电流的幅值 $I_1 = 0.64I$, 只存在奇次谐波。这是针对上升时间(τ_r)远远小于周期(T)的情况。

下面图形描述的是对称波的谐波包络。直到频率值为 $1/\pi\tau_r$ 处, 谐波幅值都是按照 $-20\text{dB}/十倍频$ 的规律随频率下降的。超过这个值后, 谐波以 $-40\text{dB}/十倍频$ 的比率下降。由于上升时间增加(变慢), 高次谐波中的能量下降。



占空比和过渡时间的改变将减小频率谱包络。如果所有参数不变, 则频率加倍, 辐射增加 6dB。如果频率加倍, 我们必须将上升时间减半以适应这个快速信号。这个边沿速率的减少将会使信号幅值增加 12dB。

如图所示, 对于占空比为 50% 的信号, 只呈现奇次谐波。对于小占空比, 也就是当与脉冲持续时间相比周期变得十分长时, 只有包络中的少数谐波可以达到最大值。这些谐波由于它们的幅值很大就被视为电磁干扰(EMI)。

信号的频谱轮廓包络的描述并不能说明相位和极性。在每一个频率为 $1/\tau$ 的倍数的位

置,根据谐波遵循的是频率的正弦还是余弦函数将有一个 180° 的转变。测量设备,如频谱分析仪,对相位不敏感,只能显示绝对值。

当谐波间(很多谐波)位置很接近时,不能叠加。当使用频谱分析仪测量时,我们将分析仪调到某个特定分辨率带宽上。频谱分析仪的分辨率带宽是在一个特定频率范围内显示离散频率分量的能力。显示出的周期信号的噪声以窄带信号的形式出现。这就意味着接收端在选定的分辨率带宽内一次只能观测到一个谐波。

设计者必须努力限制和控制数字信号的噪声谱。典型的交换噪声在 MHz 范围内,它是数字电器设备的副产品。这种交换噪声会寻找预先设定的环境以外的路径,从而导致电磁兼容问题。在观察脉冲频谱时,要观测一些参数的特性。频谱由幅值控制,这些幅值取自一个脉冲幅值函数 A 。限制脉冲幅度对射频噪声的产生有直接的影响。边沿过渡时间越长,产生的射频谱能量越小。宽脉冲与窄脉冲相比能量集中在更低的频率。

附录 C 变换表

通用后缀

后缀	含义
dBm	1mW
dBW	1W
dB μ W	1 μ W
dBV	1V
dBmV	1mV
dB μ V	1 μ V
dBV/m	1V/m
dB μ V/m	1 μ V/m
dB μ A	1A
dB μ A	mA
dB μ A/m	1 μ A/m

功率和电压/电流比值

比值	V 或 I (dB)	P (dB)
10^6	120	60
10^5	100	50
10^4	80	40
10^3	60	30
10^2	40	20
10	20	10
9	19.08	9.54
8	18.06	9.03
7	16.9	8.45
6	15.56	7.78
5	13.98	6.99
4	12.04	6.02
3	9.54	4.77
2	6.020	3.01
1	0	0
10^{-1}	-20	-10
10^{-2}	-40	-20
10^{-3}	-60	-30

续表

dB	功率比	电压/电流比值
120	10^{12}	10^6
100	10^{10}	10^5
80	10^8	10^4
60	10^6	10^3
40	10^4	10^2
30	10^3	32
20	10^2	10
10	10.0	3.2
6	4.0	2.0
3	2.0	1.4
0	1.0	1.0
-3	0.50	0.71
-6	0.25	0.50
-10	0.10	0.32
-20	10^{-2}	0.10
-30	10^{-3}	0.03
-40	10^{-4}	10^{-2}
-60	10^{-6}	10^{-3}
-80	10^{-8}	10^{-4}
-100	10^{-10}	10^{-5}
-120	10^{-12}	10^{-6}

dBV、dBmV 和 dB μ V 变换

dBV	dBmV	dB μ V
-120	-60	0
-100	-40	20
-80	-20	40
-60	0	60
-40	20	80
-20	40	100
0	60	120
20	80	140
40	100	160
60	120	180

线性 V/m 和 mW/cm² 和 dB 值的变换

V/m	dB μ V/m	mW/cm ²	dBmW/cm ²
1.00×10^{-6}	0	2.67×10^{-16}	-155.8
1.00×10^{-5}	20	2.67×10^{-14}	-135.8
1.00×10^{-4}	40	2.67×10^{-12}	-115.8
1.00×10^{-3}	60	2.67×10^{-10}	-95.8
1.00×10^{-2}	80	2.67×10^{-8}	-75.8
1.00×10^{-1}	100	2.67×10^{-6}	-55.8
1.00	120	2.67×10^{-4}	-35.8
1.00×10^1	140	2.67×10^{-2}	-15.8
1.00×10^2	160	2.67	-4.2
1.00×10^3	180	267	-24.2
1.00×10^6	6	1.06×10^{-15}	-149.7
2.00×10^6	12	4.24×10^{-15}	-143.7
6.00×10^6	15	9.55×10^{-15}	-140.2
8.00×10^6	18	1.70×10^{-14}	-137.7

Z = 50 Ω 时 dB μ V 与 dBm 的对应值

dB μ V	μ V	dBm	功率
-20	0.1	-127	0.0002 pW
-10	0.316	-117	0.002 pW
0	1.0	-107	0.02 pW
5	1.778	-102	0.063 pW
7	2.239	-100	0.1 pW
10	3.162	-97	0.2 pW
15	5.623	-92	0.632 pW
20	10.0	-87	2.0 pW
30	0.03162	-77	0.02 pW
40	0.10	-67	0.2 pW
50	0.312	-57	2.0 pW
60	1.0	-47	20.0 pW
70	3.162	-37	0.2 μ W
80	10.0	-27	20.0 μ W
90	31.62	-17	200.0 μ W
100	100.0	-7	2000.0 μ W
120	1.0V	+13	20 mW

频率—波长—趋肤深度

频率	λ	$\lambda/2\pi$	趋肤深度
10 Hz	30,000 km	4,800 km	820 mil
60 Hz	5,000 km	800 km	340 mil
100 Hz	3,000 km	480 km	260 mil
400 Hz	750 km	120 km	130 mil
1 kHz	300 km	48 km	82 mil
10 kHz	30 km	4.8 km	26 mil
100 kHz	3 km	480 m	8.2 mil
1 MHz	300 m	48 m	2.6 mil
10 MHz	30 m	4.8 m	0.8 mil
100 MHz	3 m	0.48 cm	0.3 mil
1 GHz	30 cm	4.8 cm	0.08 mil
10 GHz	3 cm	4.8 mm	0.03 mil

λ = 波长

$\lambda/2\pi$ = 近场到远场距离变换

距离:公制(m)

附录 D 国际 EMC 规范

1. 国际 EMC 规范的简单摘要

基本标准

关于测量方法和测试技术的统一标准。由国际电工技术委员会(IEC)监督国际无线电干扰特别委员会(CISPR)制定。国际无线电干扰特别委员会负责确定发射限值、灵敏度水平和测试过程。

通用标准

为了在特定环境下应用(例如居民区、商业区、轻工业区、重工业区),通用标准适用于所有不存在专用或特定 EMC 标准的产品或产品系列。这个标准由欧洲电子产品标准化委员会和欧洲通信标准化机构批准并提交,经欧洲议会采纳后,刊登在欧洲联盟的官方期刊上。提交的用于发表的标准是以 IEC 和 CISPR 制定的标准为基础的。

产品/产品系列标准

为特殊的产品或产品系列而制定标准(例如信息技术装备)。特殊产品系列标准的使用优先于通用标准。修改权属于 IEC、CENELEC 或 CISPR。

注:根据不同调整代理的判断性,测试要求会有所改变。读者迫切要求核实产品设计和发表时有效的适用的通用要求。

通用标准(简单列表)

- | | |
|--------------|-------------------------------------|
| EN 50081 - 1 | 电磁兼容——通用发射标准
第 1 部分:居民区、商业区和轻工业 |
| EN 50081 - 2 | 电磁兼容——通用发射标准
第 2 部分:重工业区 |
| EN 50082 - 1 | 电磁兼容——通用抗扰度标准
第 1 部分:居民区、商业区和轻工业 |
| EN 50082 - 2 | 电磁兼容——通用抗扰度标准
第 2 部分:重工业区 |

注:由于欧洲联盟不断改变标准的要求,采纳和发表,不规定所有标准的发表日期。

产品/产品系列标准(简单列表)

- | | |
|----------|---|
| EN 55011 | 工、科、医疗(ISM)无线频率设备的无线干扰特性的限定和测量方法(CISPR 11)。 |
| EN 55013 | 广播接收和相关设备的无线干扰特性的限定和测量方法(CISPR 13)。 |
| EN 55014 | 家用电器设备、便携式工具和简单电器设备的无线干扰特性的限定和测量方法(CISPR 14)。 |
| EN 55020 | 广播接收和相关设备的无线干扰特性的限定和测量方法(CISPR 20)。 |

EN 55022 信息技术装备的无线干扰特性的限定和测量方法(CISPR 22)。

EN61000-3-2 谐波电流发射的限值。

EN61000-3-3 电压变化和闪烁的限值。

注:采纳或发表日期没有列出。这些标准已经被多次整体修改或重新发表。每一次都改变发表的有效日期。当为了一致性的目的而需要使用这些标准时,应该参考与产品相适应的最新版本或发表日期。

2. 分类标准的定义——发射

北美(美国和加拿大)有相同的定义

A类:为应用于商业、工业或贸易环境而销售的数字设备,用于一般公共场所和家庭的除外。

为满足一致性,产品自我鉴定。

B类:为应用于居民区而销售的数字设备,不管它在商业、工业或贸易环境中的应用。

产品需要获得联邦通信委员会(FCC)的认证。加拿大接受 FCC 认证。

国际定义,在 EN 55022 和 CISPR-22 中规定

A类:满足 A 类干扰限值但不满足 B 类限值的信息技术设备。在一些国家,这些设备在销售和/或使用上受到限制。

注:用于 A 类设备的限值是从标准商业设施中得到的,为得到这个限值使用的是 30 米的保护距离。对于家用设施和一些居民区,A 类限值可能太宽松。

B类:满足 B 类干扰限值的信息技术设备。这些设备在销售上不受限制,通常在使用上也不受限制。

注:用于 B 类设备的限值是从标准商业设施中得到的,为得到这个限值使用的是 10 米的保护距离。

3. 联邦通信委员会(FCC)/加拿大工业发射限值

对 FCC 和加拿大工业,测量频率范围基于内部时钟频率的最高基频,经下表列出。

低于 1.705MHz	测试 30MHz
1.705MHz 到 108MHz	测试 1GHz
108MHz 到 500MHz	测试 2GHz
500MHz 到 1GHz	测试 5GHz
高于 1GHz	测试 5 次谐波或 40GHz,或者低一些的频率

FCC/DOC A 类辐射发射限值

频率(MHz)	距离(m)	峰值限值(dBμV/m)
30~88	10	39.0
88~216	10	43.5
216~960	10	46.5
高于 960	10	49.5

FCC/DOC A 类传导发射限值

频率	峰值限值
0.45 ~ 1.705 MHz	60.0dB μ V
1.705 ~ 30.0 MHz	69.5 dB μ V

FCC/DOC B 类辐射发射限值

频率 (MHz)	距离 (m)	峰值限值 (dB μ V/m)
30 ~ 88	3	40.0
88 ~ 216	3	43.5
216 ~ 960	3	46.0
高于 960	3	54.0

FCC/DOC B 类传导发射限值

频率	峰值限值
0.45 ~ 30.0 MHz	48.0 dB μ V

4. 概述列表——FCC 和 DOC

FCC/DOC 限值

频率	A 限值	B 限值
0.45 ~ 1.705	60 dB μ V*	48 dB μ V*
1.705 ~ 30 MHz	69.5 dB μ V*	48 dB μ V*
30 ~ 88 MHz	39 dB μ V@10 m	40 dB μ V@3 m
88 ~ 216 MHz	43.5 dB μ V@10 m	43.5 dB μ V@3 m
216 ~ 960 MHz	46.5 dB μ V@10 m	46 dB μ V@3 m
大于 960 MHz	49.5 dB μ V@10 m	54 dB μ V@3 m

* 这是窄带限值,宽带限值要提高 13dB。

国际发射限值概述——简单列表

光工业设备和基本住宅领域的 B 类限值

频率范围, MHz										
0.15		0.5		5		30		230		1000
SPECIFICATION	dB μ V		dB μ V		dB μ V		dB μ V/m	dB μ V/m	Notes	
	QP(1)	AVG(1)	QP	AVG	QP	AVG	QP(1)	QP		
EN 50081-1	66 ~ 56	56 ~ 46	56	46	60	50	30	37	@10 m, B 极限	
EN 55011*	66 ~ 56	56 ~ 46	56	46	60	50	30	37	@10 m, B 极限	
EN 55013(2)	66 ~ 56	56 ~ 46	56	46	60	50	45 ~ 55(3)	—	dBpW, 干扰 Clamp(3)	
EN 55014	66 ~ 56	56 ~ 46	56	46	60	50	45 ~ 55(3)	—	dBpW, 干扰 Clamp(3)	
EN 55020	66 ~ 56	56 ~ 46	56	46	60	50	45 ~ 55(3)	—	@10 m	
EN 55022	66 ~ 56	56 ~ 46	56	46	60	50	30	37	@10 m	

续表

工业领域的 A 类限值									
EN 50081-2	79	66	73	60	73	60	30	37	@30m, A 极限
EN 55011 [*]	79	66	73	60	73	60	30	37	@30m, A 极限
EN55022	79	66	79	66	73	60	30/40	37/47	@30m/@10m

注:(1) 在两个数字之间的短划线(例如 66-56)表示限值降低的频率对数值。

(2) 对接收机和电视的发射,EN 55013 有其它的限值。

(3) 吸收钳位测量只限于 30~300MHz 的频率范围。

* EN 55011 用于 EN 50081-1 和 EN 50081-2 覆盖下的设备,是针对工、科、医疗设备群 1 的产品标准。这个标准为辐射和传导发射制定了限值。EN 55011 产品群 2 的详细规范限值将在下一部分中讲到。

EN 55013 用于 EN 50081-1 覆盖下的设备,不会有意从家用电器产生射频。

EN 55014 用于 EN 50081-1 覆盖下的设备,不会有意产生射频,如电刷电动机和 50Hz 速率控制器。这也是家用设备(HIHA)的发射标准。

EN 55020 用于 EN 50082-1 覆盖下的设备,规定了家用电器无线干扰抗扰度。

EN 55022 用于 EN 50081-1 和 EN 50081-2 覆盖下的产品的发射要求,包括信息技术设备(IET)。

5. 发射标准——EN 55011 工科医(ISM)设备

对其它所有 EN 55XXX 规范,参考国际发射限值概述。

注意:因为 EN55011 的统一规范限制,提供这一部分时一定要完全。

ISM 设备等级

ISM 第 1 组——第 1 组包括所有由于设备自身内部功能的需要而有意产生和/或使用传导耦合无线频率能量的 ISM 设备。

ISM 第 2 组——第 2 组包括所有以电磁辐射的形式产生和/或使用无线频率能量的 ISM 设备,用于材料处理和瞬间放电腐蚀设备。

线性传导发射标准 发射电平低于 A 类限值(表 IIA),或同有能力的实体相一致。标准考虑了原位置 A 类设备主要终端干扰电压限值的要求。

表 IIA 在测试点测得的 A 类设备的主要终端干扰限值

A 类设备限值 dB(μV)				
频带(MHz)	1 组		2 组 [*]	
	峰值	平均	峰值	平均
0.15~0.50	79	66	100	90
0.50~5	73	60	86	76
5~30	73	60	90	80
			随频率减小到 70	随频率减小到 60

* 考虑到了第 2 组 A 类设备主要终端干扰电压限值要求电流大于 100A 的情况。

表 II B

在测试点测得的 A 类设备的主要终端干扰限值

A 类设备限值 dB(μ V)		
频带(MHz)	1 和 2 组	
	峰值	平均
0.15 ~ 0.50	66 随频率减小到 56	56 随频率减小到 46
0.50 ~ 5	56	46
5 ~ 30	60	50

表 III A

第 1 组设备辐射发射限值

频带 MHz	测试场测量		现场测量
	1 组 A 类 30m 测量距离 dB(μ V/m)	1 组 B 类 10m 测量距离 dB(μ V/m)	1 组 A 类 limits with measuring distance 30 m from exterior wall outside the building in which the equipment is situated dB(μ V/m)
0.15 ~ 30	Under consideration	Under consideration	Under consideration
30 ~ 230	30	30	30
230 ~ 1000	37	37	37

表 III B

第 2 组 A 类设备辐射发射限值

测量 30m 距离的限值		
频率范围(MHz)	设备置于建筑物内, 距离建筑外墙 30m 处的测量 dB(μ V/m)	测试场测量 dB(μ V/m)
0.15 ~ 0.49	75	85
0.49 ~ 1.705	65	75
1.705 ~ 2.194	70	80
2.194 ~ 3.95	65	75
3.95 ~ 20	50	60
20 ~ 30	40	50
30 ~ 47	48	58
47 ~ 68	30	40
68 ~ 80.872	43	53
80.872 ~ 81.848	58	68
81.848 ~ 87	43	53

测量 30m 距离的限值		
频率范围(MHz)	设备置于建筑物内, 距离建筑外墙 30m 处的测量 dB(μ V/m)	测试场测量 dB(μ V/m)
87 ~ 134.786	40	50
134.786 ~ 136.414	50	60
136.414 ~ 156	40	50
156 ~ 174	54	64
174 ~ 188.7	30	40
188.7 ~ 190.979	40	50
190.979 ~ 230	30	40
230 ~ 400	40	50
400 ~ 470	43	53
470 ~ 1000	40	50

表 III C 在测试点测得的第 2 组 B 类设备辐射发射限值

频带 MHz	10m 测量范围 dB(μ V/m)
0.15 ~ 30	处考虑估算中
30 ~ 80.872	30
80.872 ~ 81.848	50
81.848 ~ 134.786	30
134.786 ~ 136.414	50
136.414 ~ 230	30
230 ~ 1000	37

6. 当前国际抗扰度规范的概述

抗扰度的国际标准由 IEC1000-4-X 系列提供。这一系列描述了基本标准的测试和测量方法,对 EMI 现象的特殊类型方法是特定的。它并不局限于产品的某一特殊类型。以下是抗扰度系列标准的内容。

- 术语
- 电磁干扰现象的描述
- 检测设备
- 测量和测试方法
- 关于设备抗扰度的严格等级范围

国际电工技术委员会(IEC)1000-4-X 系列基于大家都很熟悉的 IEC 801-X 规范。IEC 标准,一经欧洲议会采纳,便会使用一个新的编号 EN 61000-X 系列重新发表。目前,抗扰度

测试在欧洲是命令性的,但是在北美只是建议性的,在世界范围内是可选性的。并不是所有的 IEC 1000-4-X 标准都已经转换为 EN 61000-4-X 标准。IEC 和 EN 系列标准之间存在微小差别。

注:在开始任何应用程序之前,应该核实申请特殊测试的要求,以及使用的标准是否已被新的方案更新和是否已从被建议状态转入强制状态。在欧洲,标准已取得了持续性的发展。

(1) 基本抗扰度标准

- IEC 1000-1 综合考虑
- IEC 1000-2 环境
- IEC 1000-3 限值/一般标准
- IEC 1000-4 测试和测量技术
- IEC 1000-5 安装和缓解方针
- IEC 1000-6 其它

IEC 61000-6-1 电磁兼容(EMC)一般标准。用于居民区、商业区和轻工业区的抗扰度标准。

在 IEC 1000-4 之后是 EN 61000-4-X 抗扰度规范,详细情况在后面列出。

(2) 抗扰度标准综合列表

标准	说明
EN 61000-4-2	静电放电(ESD)抗扰度试验
EN 61000-4-3	电磁辐射场抗扰度试验
EN 61000-4-4	电快速瞬变脉冲抗扰度试验
EN 61000-4-5	浪涌抗扰度试验
EN 61000-4-6	由射频场引起的传导抗扰度试验
EN 61000-4-7	谐波和间谐波测量的通用指导(不是标准,只是规程)
EN 61000-4-8	电源频率磁场抗扰度试验
EN 61000-4-9	脉冲磁场抗扰度试验
EN 61000-4-10	阻尼振荡磁场抗扰度试验
EN 61000-4-11	电压跌落和短期中断抗扰度试验
EN 61000-4-12	环形振荡波抗扰度试验
EN 61000-4-13	1MHz 振荡波抗扰度试验
EN 61000-4-14	谐波、间谐波和电网信号抗扰度试验
EN 61000-4-15	电压波动抗扰度试验
EN 61000-4-16	闪烁仪
EN 61000-4-17	在直流到 150Hz 范围内的传导骚扰
EN 61000-4-18	未指定
EN 61000-4-19	未指定
EN 61000-4-20	瞬变电磁法(TEM)单元
EN 61000-4-21	模式扰动室
EN 61000-4-22	测量方法指导
EN 61000-4-23	HEMP 传导骚扰保护装置测试方法

EN 61000 - 4 - 24	HEMP 传导骚扰保护装置测试方法
EN 61000 - 4 - 25	设备和系统的测试方法, HEMP
EN 61000 - 4 - 26	测量电磁场的探测器和工具的标度
EN 61000 - 4 - 27	三相干线的不平衡性
EN 61000 - 4 - 28	电源频率的变化

注:多数 EN 61000 - 4 - X 规范从来没有编写和发表过。这包括已经通过鉴定的标准,如 - 12 和上面提到的标准。标题已经发表,这些测试标准中的大多数都已经被分派了工作组。当进行应用测试时,应该核实对于一个产品哪些标准是必须的,同时核实请求测试等级和性能标准。

(3) 抗扰度测试的性能标准

在电磁兼容测试中或作为电磁兼容测试结果的功能描述和性能标准的定义,由厂商提供,记录在基于下列标准的测试报告中:

① **性能标准 A** 设备要按照预定方式持续运行。当设备按照预定方式运行时,不允许性能衰退或功能降低超过厂商指定的性能级别。在某些情况下,性能等级可能由一个允许的降低的性能代替。如果厂商没有指定最小性能等级或可允许的性能降低,则两者可以从产品描述和文件(包括传单和广告)中获得,使用者期望的内容可从按预定方式使用的设备中获得。

② **性能标准 B** 测试后,设备要按照预定方式持续运行。当设备按照预定方式运行时,不允许性能衰退或功能降低超过厂商指定的性能级别。在某些情况下,性能等级可能由一个允许的降低的性能代替。然而,在测试过程中允许性能的衰退。不允许改变实际操作状态和储存数据。如果厂商没有指定最小性能等级或可允许的性能降低,则两者可以从产品描述和文件(包括传单和广告)中获得,使用者期望的内容可从按预定方式使用的设备中获得。

③ **性能标准 C** 允许暂时的功能下降,功能下降可以自我修复或由控制操作修复。

大多数产品的抗扰性国际标准

	EN61000 - 4 - 2	EN61000 - 4 - 3	ENV50204	EN61000 - 4 - 4	EN61000 - 4 - 5
规范	静电放电	辐射射频抗扰度	辐射射频抗扰度	电快速瞬时现象	瞬态信号通路
EN 50082 - 1	8kV(Air)	80 ~ 1000MHz	900 ± 5MHz	500V, Signal	1.2/50µs
轻工业设备	4kV(Direct)	3V/m	Pulse modulated	500V, DC power	AC Power: 1kV - CM
通用限值		1kHz, 80% AM	50% duty cycle	500V, Process	500V - DM
			200Hz	1000V, Power	DC Power: 500V - CM
(注 1)				5/50ns, 5 kHz	500V - DM
	准则 B	准则 A	准则 A	准则 B	Process: 500V - CM
EN 50082 - 2	8kV(Air)	10V/m	900 ± 5MHz	1000V, Signal	1.2/50µs
重工业设备	4kV(Direct)	1kHz, 80% AM	Pulse modulated	2000V, Power	AC Power: 4kV - CM
通用限值		80 ~ 1000MHz	50% duty cycle	5/50ns, 5 kHz	2kV - DM
		except 3V/m@	200Hz		DC Power: 500V - CM
(注 2)		87 ~ 108MHz			500V - DM
		174 ~ 230MHz			Process: 2kV - CM
		470 ~ 790MHz			1kV - DM
	准则 B	准则 A	准则 A	准则 B	准则 B

续表

	EN61000-4-2	EN61000-4-3	ENV50204	EN61000-4-4	EN61000-4-5
规范	静电放电	辐射射频抗扰度	辐射射频抗扰度	电快速瞬时现象	瞬态信号通路
EN 55014-2	8kV(Air)	80 ~ 1000MHz	无提议	500V, Signal	1000V, DM
家用设备和 电力设备	4kV(Direct)	3V/m		1000V, AC	2000V, CM on power only 1.2/50 μ s
	准则 B	准则 A		准则 B	准则 B
EN60601-2			仍无提议		1000V, DM
医疗设备	8kV(Air)	26 ~ 1000 MHz		500V, Signal/10	2000V, CM
	3kV(Direct)	3v/M		1000V, AC	1.2/50 μ s
		80% AM - 1 kHz		5/50ns, 5kHz	power lines only
	准则 B	准则 A		准则 B	准则 B
规范	EN61000-4-6 传导射频抗扰度	EN 61000-4-8 辐射磁性	EN61000-4-11 电压跌落, 中断, 变化	EN61000-3-2 电源线谐波	EN61000-3-3 闪变
EN 50082-1	0.15 ~ 80 MHz	3A/m	+ 10%, - 15%(A)		
轻工业设备	3V	50 Hz	- 30%, 10ms(B)		
通用限值	1 kHz		- 60%, 100ms(C)		
(注 1)	80% AM, 150 Ω Source		- 95%, 5000ms(C)		
	准则 A	准则 A	准则(x) above		
EN 50082-2	0.15 ~ 80 MHz	30A/m	+ 10%, - 15%(A)		
重工业设备	10V	50Hz	- 30%, 10ms(B)		
通用限值	80% AM, 1kHz		- 60%, 100ms(C)		
(注 2)	150 Ω Source		- 95%, 5000ms(C)		
	准则 A	准则 A	准则(x) above		
EN 55104-2	0.15 ~ 230 MHz	仍无	仍无	仍无	仍无
家用设备	Category II	提议	提议	提议	提议
和电力设备	0.15 ~ 80 MHz Category IV 1V, Signal 3V, Power				
	准则 A				
EN 60601-2	仍无	仍无	仍无	仍无	仍无
医疗设备	提议	提议	提议	提议	提议

注 1: 严格的等级和频率范围是可以变化的, 详情参阅当前值的测试标准, 这些值在测试和认证的日期内有效。

注 2: 存在额外的测试标准, 详情没有在上面给出, 可参考 EN50082-2。

性能准则:

等级 A, 设备应如预期情况持续工作, 不允许出现性能降级或功能失效。

等级 B, 设备应如预期在测试后持续工作。

等级 C, 允许暂时性的功能失效, 但可以提供自我恢复。

作者介绍

Mark Montrose 在电磁兼容性和产品安全性设计领域有多年的经验。他的阅历非常广博,包括信息技术设备的设计,测试和鉴定。他在包括欧洲 EMC、机械和低电平指南的轻工业、家电和重工业设备的国际领域均有贡献。

Montrose 先生毕业于加州 San Luis Obispo 加州州立工艺大学,获得电子工程和计算机科学的学士学位。他拥有加州 Santa Clara, Santa Clara 大学的工程管理硕士学位(1983)。

Montrose 先生是 IEEE EMC 学会理事会的成员,是电子和电气工程委员会(IEEE)的高级会员,是具有爱好者特别等级许可权的美国无线中继联盟的终身会员,K6WJ。此外,他还是 IEEE EMC 学会的杰出讲师,TC-8(IEEE EMC 学会的产品安全技术委员会)的主任,以及 dB 学会的一员。Montrose 先生积极参与 IEEE 和 EMC 学会组织的本地、国内及国际的各项活动。

他在国际电磁兼容学术会议和北美、欧洲及亚洲学术讨论会上编纂和提交多篇论文,论文涉及高技术产品的电磁兼容性及信号完整性、印刷电路板(PCB)设计和电磁兼容理论等领域。Montrose 先生在印刷电路板技术方面获得加州理事会颁发的个人中级以上教育和职业教育的认证。

在 1996 年, Montrose 先生编写了一本最畅销的参考书《Printed Circuit Board Design Techniques for EMC Compliance》,这本书由 IEEE Press 出版,并且由 Ohmsha 翻译为日语。这本书对电磁兼容和印刷电路板的设计、理论和布线可以提供有益的帮助。

图书在版编目(CIP)数据

电磁兼容和印刷电路板 理论、设计和布线/(美)蒙切斯(Montrose, M.I.)著;刘元安译.
—北京:人民邮电出版社,2002.12
ISBN 7-115-10674-6

I. 电... II. ①蒙...②M...③刘... III. 印刷电路-电磁兼容性 IV. TN41

中国版本图书馆 CIP 数据核字(2002)第 076575 号

内 容 提 要

本书从理论、设计和布线的角度分析研究了电磁兼容(EMC)和印刷电路板(PCB)所涉及的问题,全书内容共有 9 章。第 1~3 章介绍了 EMC 的基本原理、PCB 中的 EMC 以及元件设计中的 EMC,第 4 章论述了 PCB 中镜像面的原理与特性,第 5 章和第 6 章详尽地阐述了 PCB 中的旁路与去耦以及传输线的设计原理。第 7~9 章就信号的完整性与串扰、PCB 走线终端以及 PCB 布线中的接地原理进行了论述。

本书集理论和实践于一体,适合于那些涉及逻辑设计和 PCB 布局设计的工程技术人员,测试工程师和技师,从事机械、加工、制造和兼容调试工作的人员,EMC 顾问以及负责对硬件工程设计进行监察的人员阅读参考。

电磁兼容和印刷电路板 理论、设计和布线

- ◆ 著 Mark I. Montrose
译 刘元安 李书芳 高攸纲
审 校 刘元安
责任编辑 徐享华
- ◆ 人民邮电出版社出版发行 北京市崇文区夕照寺街 14 号
邮编 100061 电子函件 315@ptpress.com.cn
网址 <http://www.ptpress.com.cn>
读者热线 010-67129258
北京汉魂图文设计有限公司制作
北京隆昌伟业印刷有限公司印刷
新华书店总店北京发行所经销
- ◆ 开本: 787×1092 1/16
印张: 15.25
字数: 360 千字 2002 年 12 月第 1 版
印数: 1-5 000 册 2002 年 12 月北京第 1 次印刷

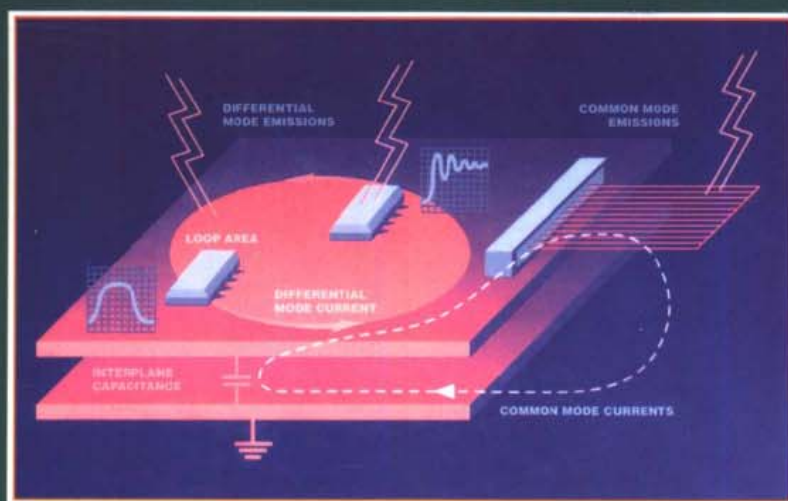
ISBN 7-115-10674-6/TN · 1929

定价: 27.00 元

本书如有印装质量问题,请与本社联系 电话:(010)67129223

电磁兼容 和印刷电路板

理论、设计和布线



ISBN 7-115-10674-6



9 787115 106742 >

ISBN7-115-10674-6/TN·1929

定价: 27.00 元

人民邮电出版社
<http://www.ptpress.com.cn>